

超高速ADCの低FoM化技術

松澤 昭 宮原 正也

東京工業大学
大学院理工学研究科

- ミリ波ブロードバンド通信には6bit, 3~10Gsps, <30mW程度の超高速ADCが不可欠。
- フラッシュADCのFoMは比較器1個あたりの消費エネルギーと有効ビット劣化の積で決定される。
- 低FoM化を実現するにはコア面積の縮小が重要。
- 低FoM化は微細な素子を用いたダイナミック回路と、ミスマッチを補償するデジタルアシスト技術で実現できる。
- デジタルミスマッチ補償回路を開発 ミスマッチを1/10以下にした。
- ダイナミック比較器のノイズ式を導出した。
ノイズの低減には大きなノード容量と、低い V_{eff} が必要であり、高分解能ADCの消費エネルギーは指数的に増大する。
- 世界最小のFoMを有する6bit ADCを開発した。
 - 直並列型A/D変換アーキテクチャの採用
 - 容量DACによる電圧発生
 - ゲート補間による下位A/D変換

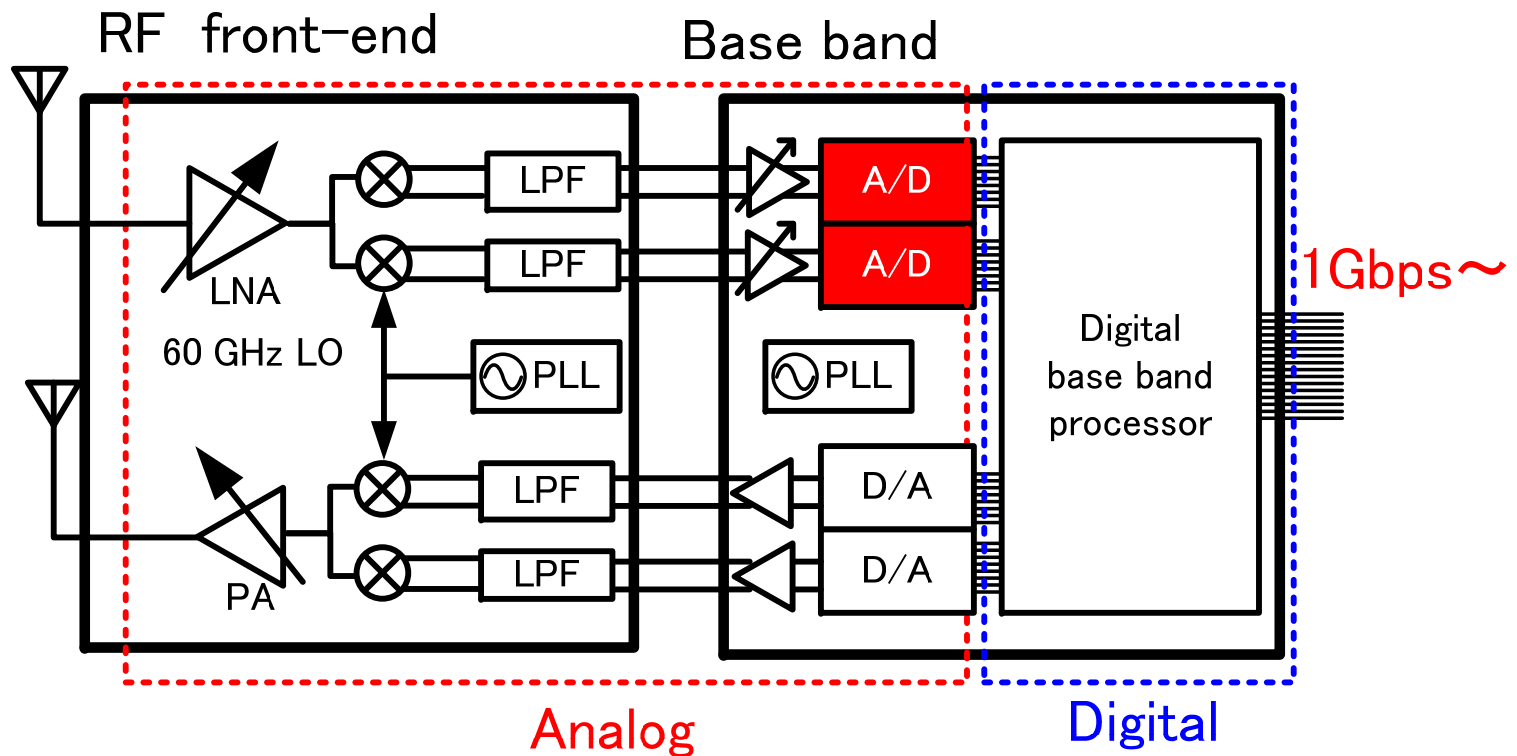
フラッシュADCの高速・低FoM化技術

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

ミリ波受信機には6bit 3GSp—10GSps程度のADCが不可欠である。

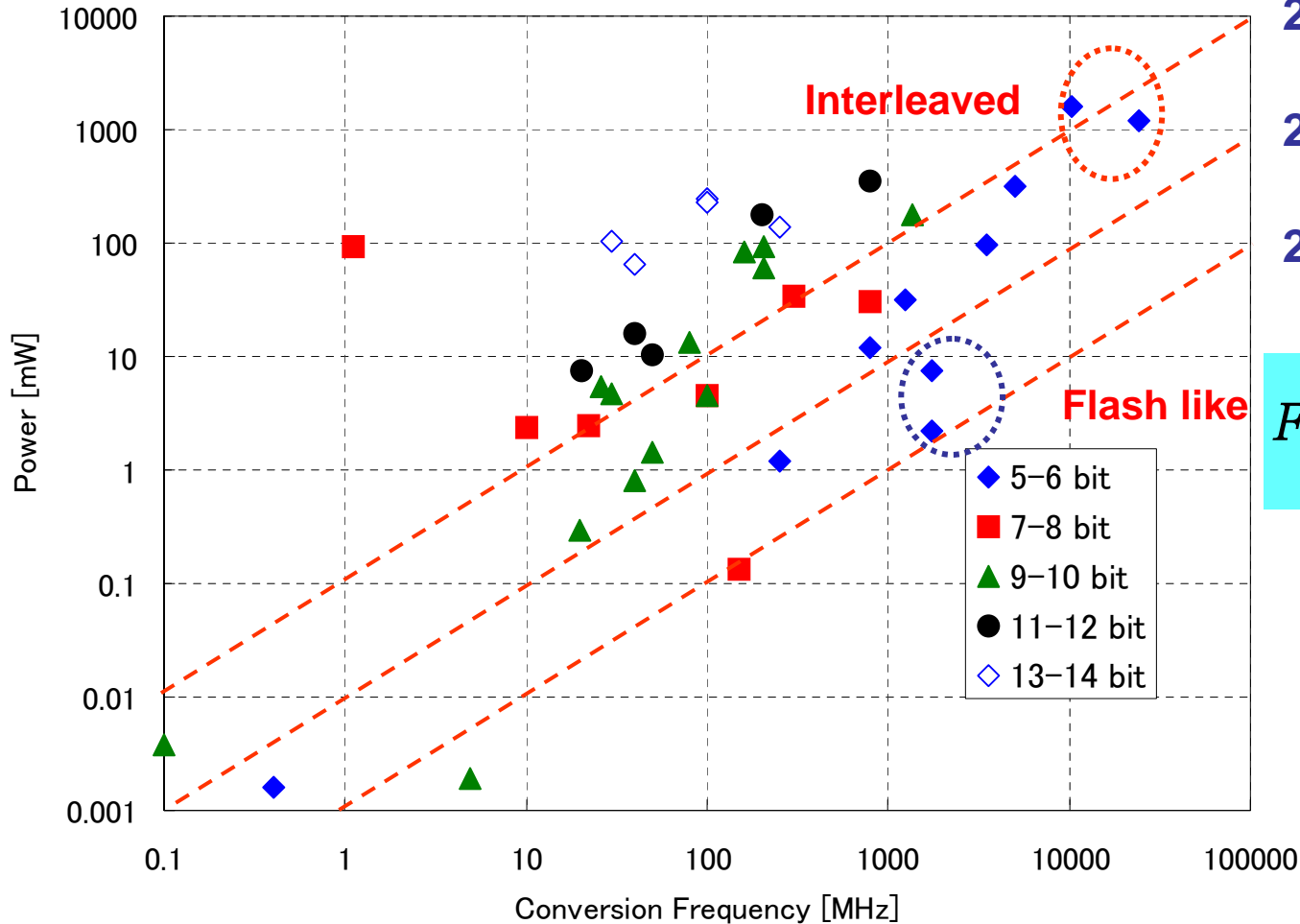
SoC搭載のためには消費電力が30mW程度以下であることが求められる。

低FoMが必要



ADCの変換速度・消費電力・FoM

ADCのFoMは20fJ台に低減されたが、未だ2pJ台もあり、広がっている。



2pJ@5.5bit

200fJ@5.5bit

20fJ@5.5bit

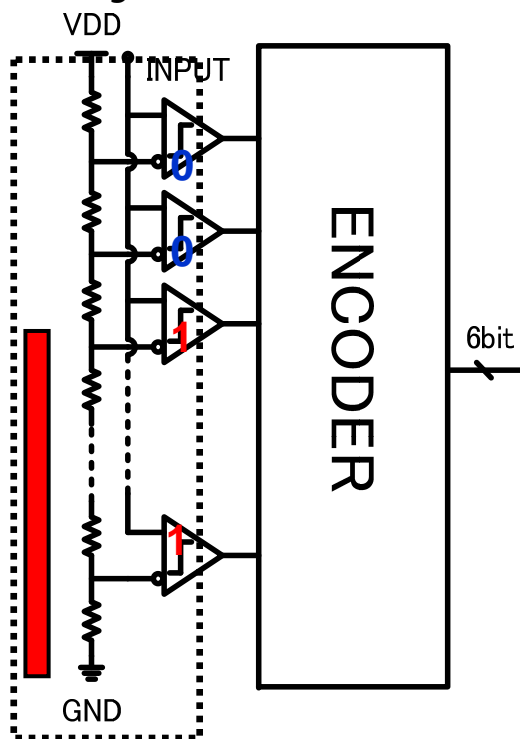
$$FoM = \frac{P_d}{f_s \times 2^{ENOB}}$$

- 最も高速
- 比較器が性能を決定する

低オフセット電圧化と低ノイズ化が不可欠である

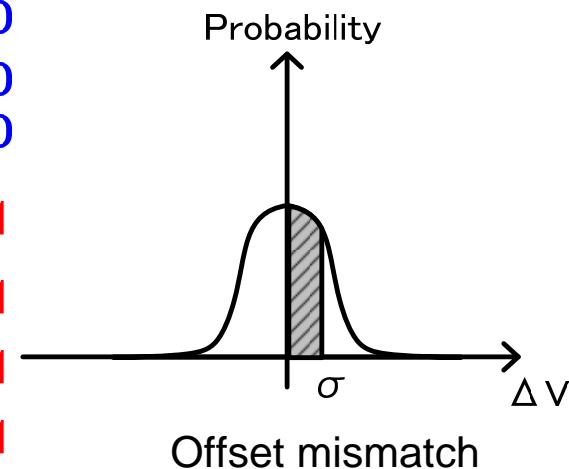
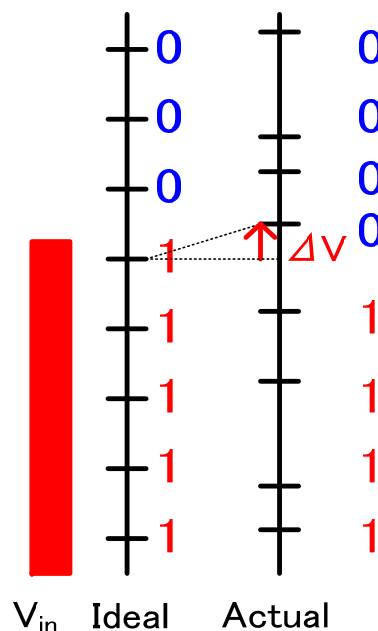
Flash ADC

Comparator Array 6b: 63

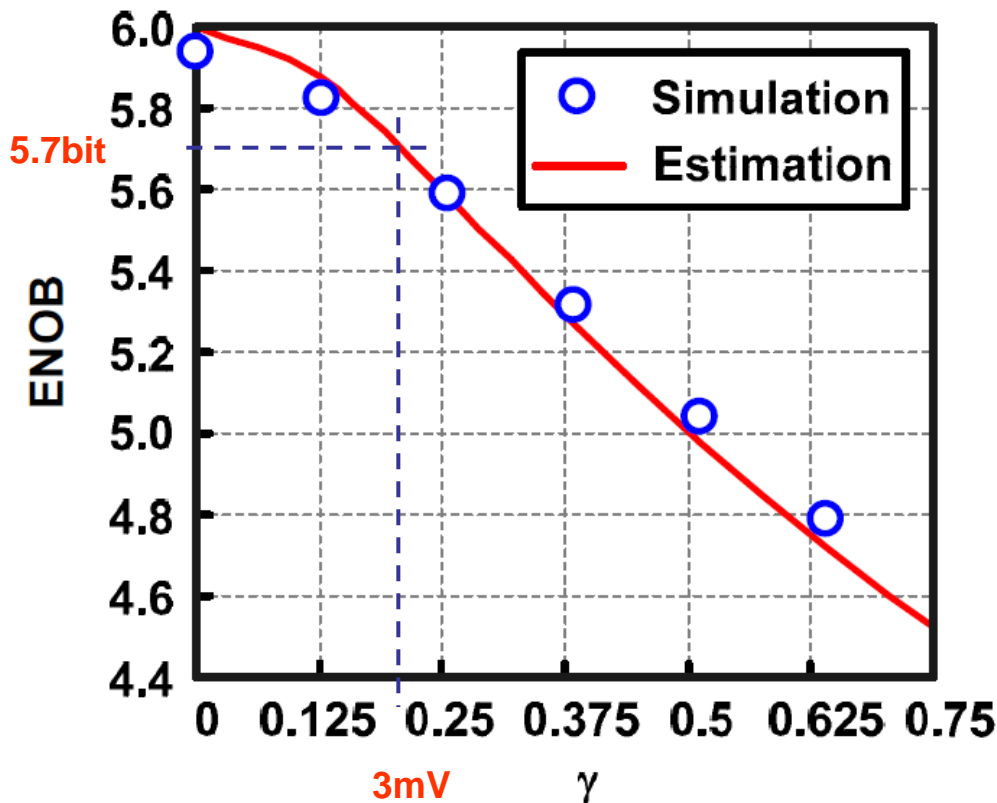


$$V_q = \frac{V_{FS}}{2^N}$$

$V_q=16\text{mV}$, Mismatch $<3\text{mV}$



フラッシュADCのENOB劣化は、比較器のオフセット電圧分布とノイズで決定される。



For example; 6bit ADC, ENOB=5.7bit
 $V_q=16\text{mV}$, $V_{\text{off}} < 3\text{mV}$

$$\Delta ENOB = \frac{1}{2} \log_2 (1 + 12\gamma^2)$$

$$\gamma^2 = \left(\frac{V_{\text{off}}(\sigma)}{V_q} \right)^2 + \left(\frac{V_n(\sigma)}{V_q} \right)^2$$

$V_{\text{off}}(\sigma)$: Distribution of offset

$V_n(\sigma)$: Distribution of noise

フラッシュADCのFoMはENOB劣化と比較器あたりの消費エネルギーで決定される。

$$FoM = E_c \cdot 2^{\Delta ENOB}$$

$$E_c = CV_{DD}^2 \quad \Delta ENOB : \text{有効ビット劣化}$$

E_c : Energy/Comparator

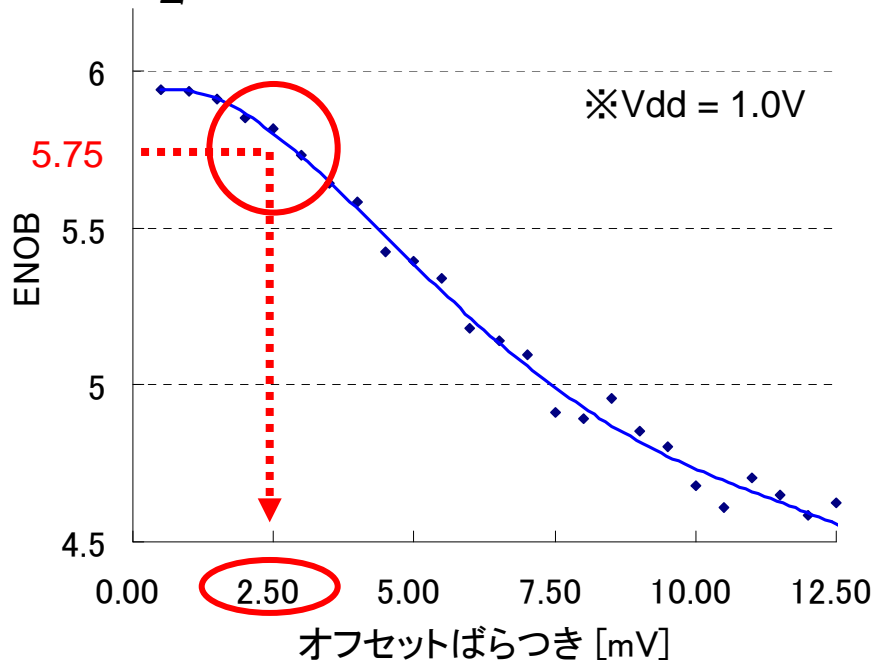
$$FoM = \frac{P_d}{f_s \times 2^{ENOB}} \approx \frac{E_c \cdot f_s \cdot 2^N}{f_s \times 2^{N-\Delta ENOB}} = E_c \cdot 2^{\Delta ENOB}$$

E_c は基本的に容量(面積で決定される)

オフセットばらつきにより有効分解能が劣化する
 しかしながら、トランジスタサイズを大きくしての対処は消費電力増大を招く。
 したがって、サイズを最小にしてオフセット補償により精度を確保することが必要

6bit, Flashの例

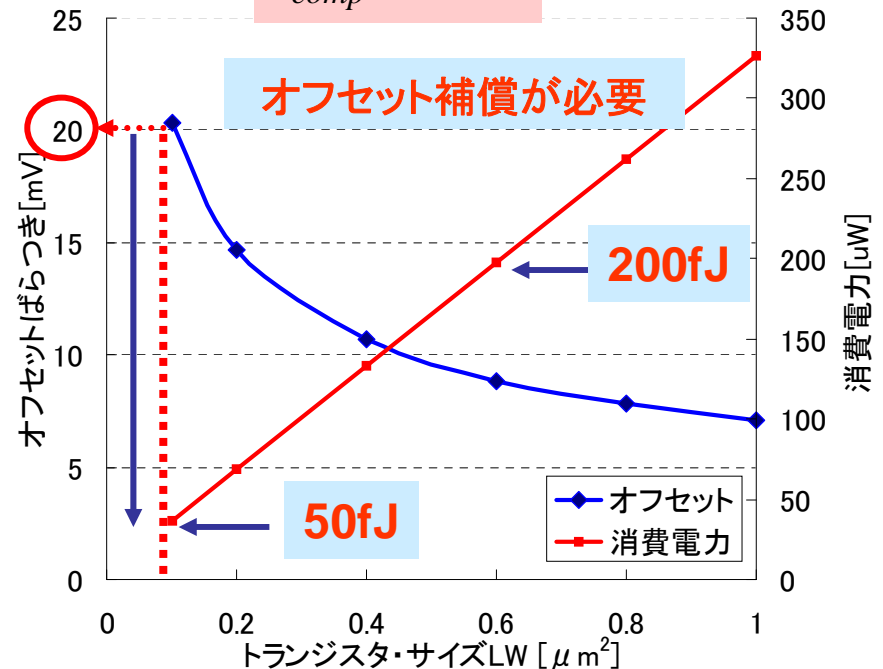
$$V_q = \frac{V_{FS}}{2^N} \quad V_q = 16\text{mV}, \text{ ミスマッチ} < 3\text{mV}$$



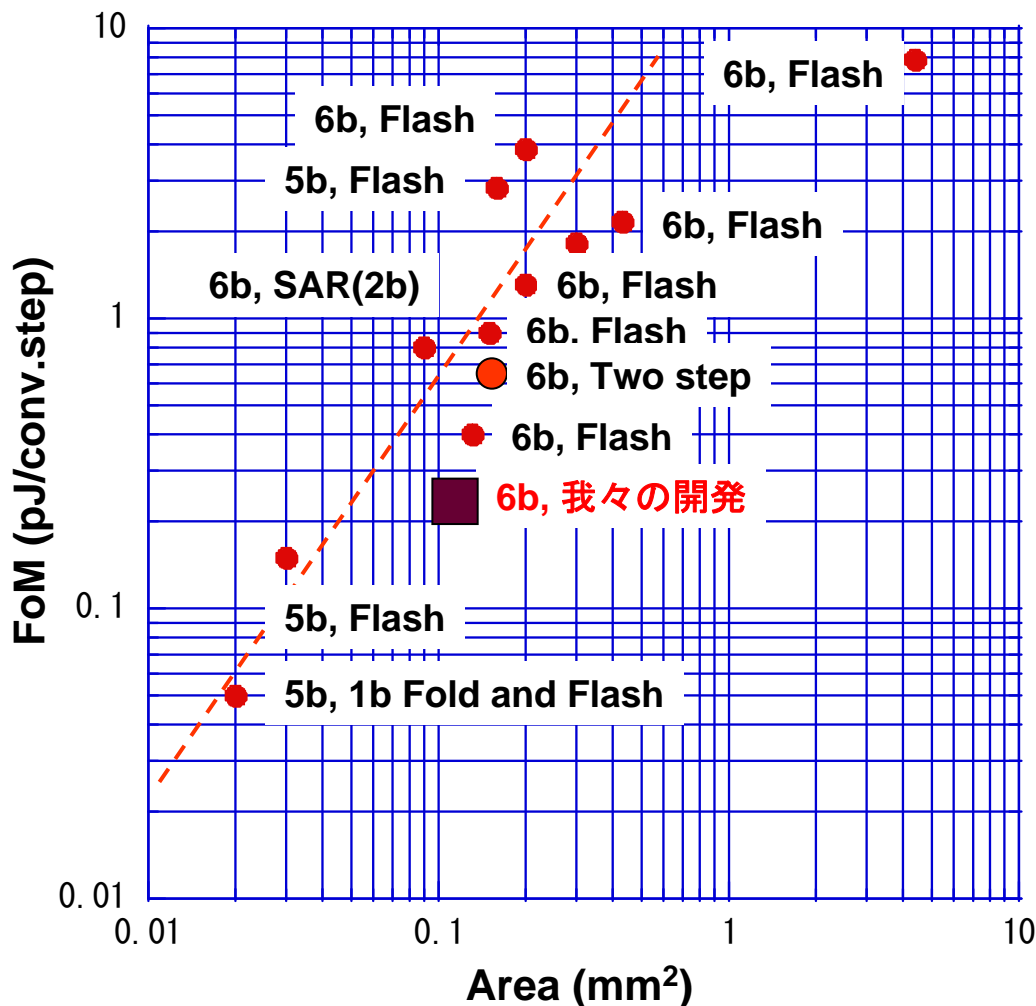
$$V_{\text{offset}} (\sigma) \propto \frac{1}{\sqrt{LW}}$$

※90nm CMOS
Fs = 1GS/s

$$P_{\text{comp}} \propto LW$$



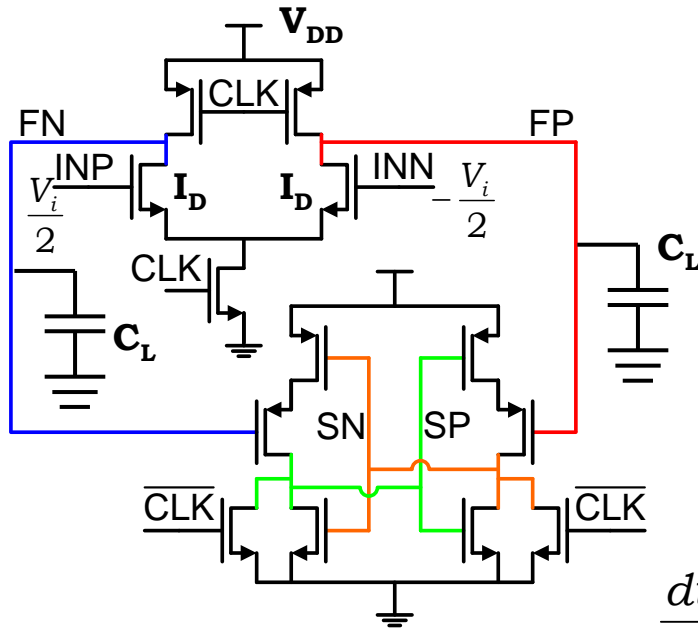
発表されたADCの面積とFoMには強い相関
FoMを小さくするには回路面積の縮小が極めて重要



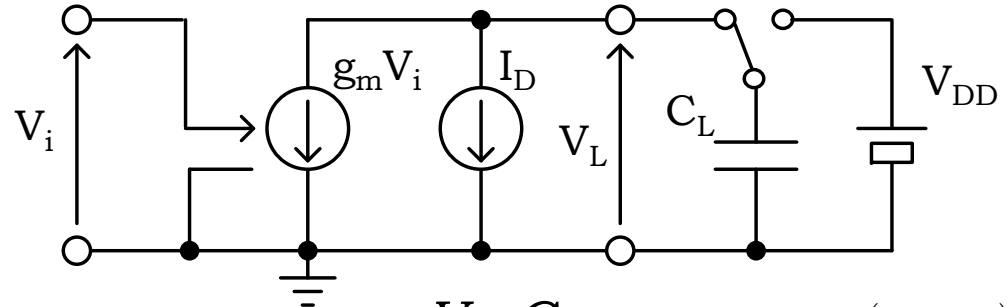
5bit and 6bit ADCs

$$E_c \propto C \propto Area$$

容量と電流を変化させることによりオフセット電圧が補償できる。



Equivalent circuit of the first stage.



Delay time $t_d = \frac{V_{DD} C_L}{2I_D}$

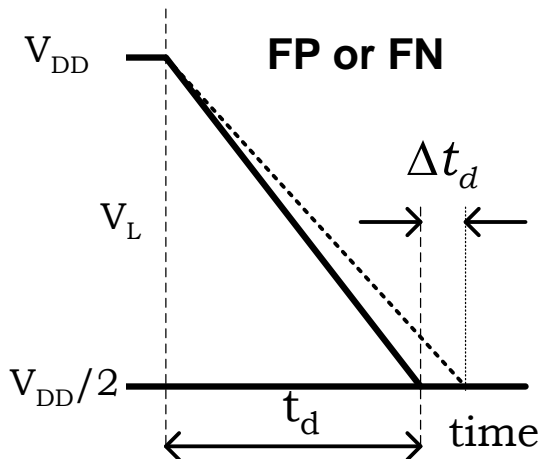
$$I_D \propto (V_{gs} - V_T)^\alpha = V_{eff}^\alpha$$

$$g_m = \frac{dI_D}{dV_{eff}} = \alpha \frac{I_D}{V_{eff}}$$

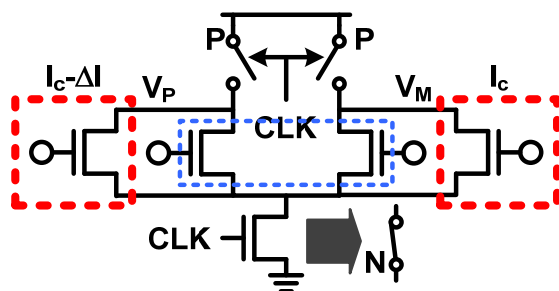
$$\frac{dt_d}{dV_i} = \frac{dt_d}{dI_D} \cdot \frac{dI_D}{dV_i} = -\frac{V_{DD} C_L}{2I_D} \frac{g_m}{I_D} = -t_d \frac{\alpha}{V_{eff}} \quad \therefore \frac{g_m}{I_D} = \frac{\alpha}{V_{eff}}$$

$$\therefore \frac{\Delta t_d}{t_d} = \alpha \frac{\Delta V_i}{V_{eff}} \quad \frac{\Delta t_d}{t_d} = \left(\frac{\Delta C_L}{C_L} - \frac{\Delta I_D}{I_D} \right)$$

$$\therefore \frac{\Delta t_d}{t_d} = \alpha \frac{\Delta V_i}{V_{eff}} \quad \Delta V_i = \frac{V_{eff}}{\alpha} \left(\frac{\Delta C_L}{C_L} - \frac{\Delta I_D}{I_D} \right)$$

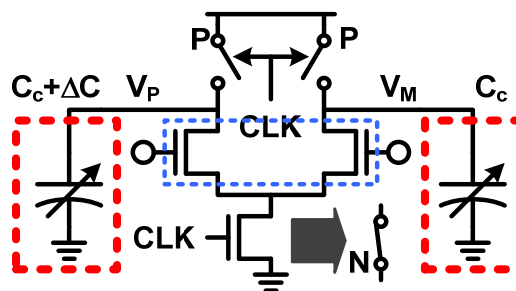


Resistor ladder type

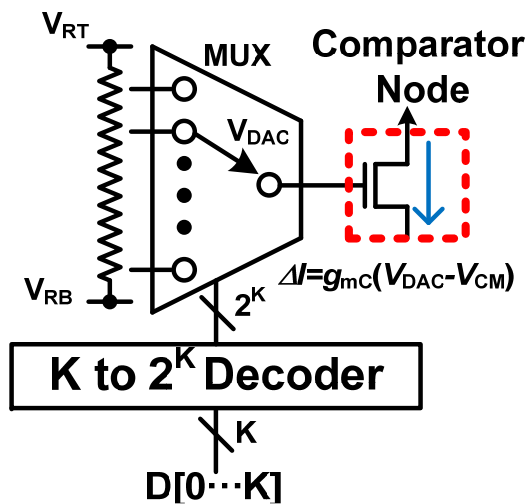


Current calibration

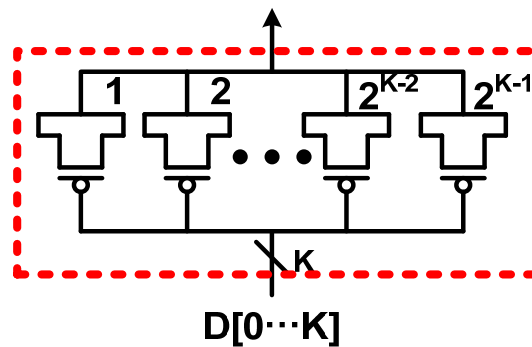
Capacitor array type



Capacitance calibration



Comparator Node



Binary weighted capacitor array

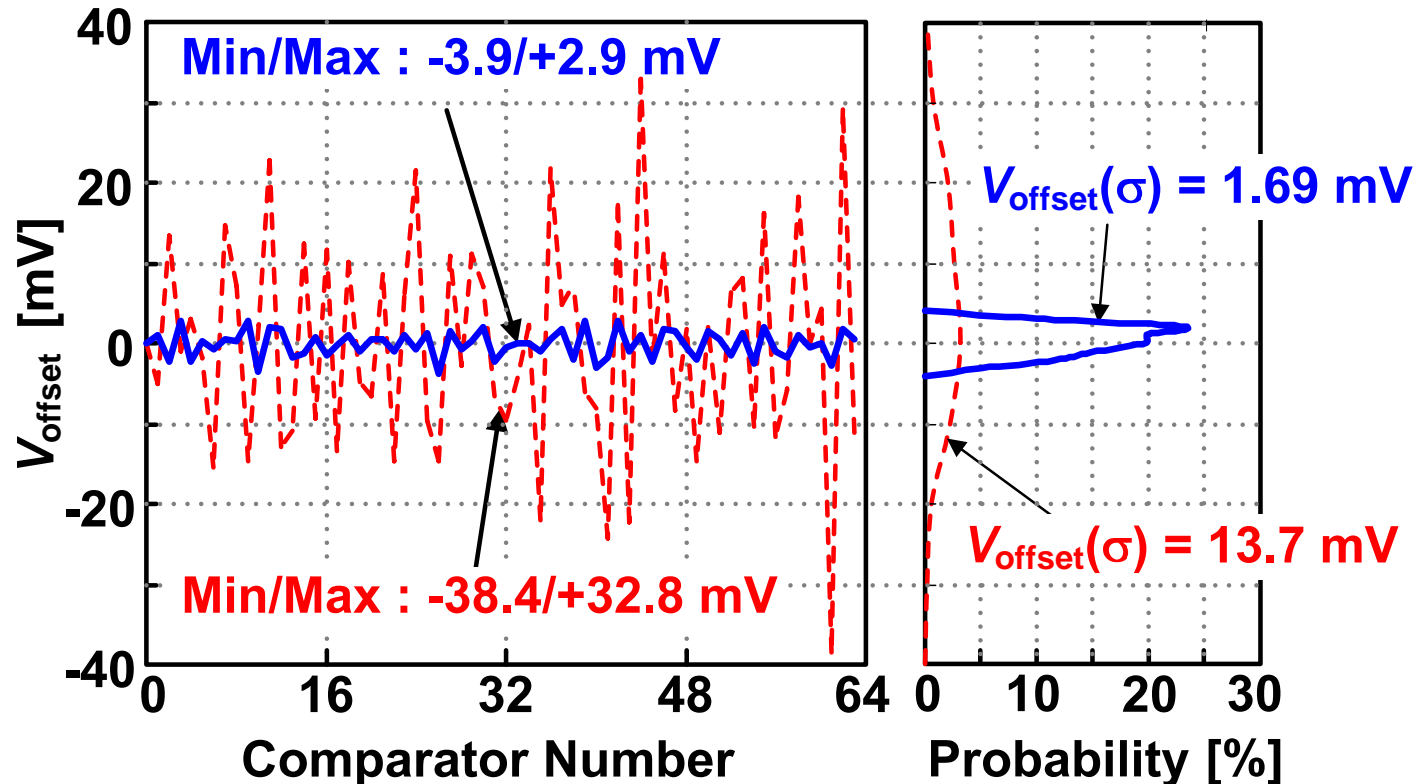
オフセット補償結果

13.7 mV のオフセット電圧を1.7mVに低減した

Measured result

— Calibration ON

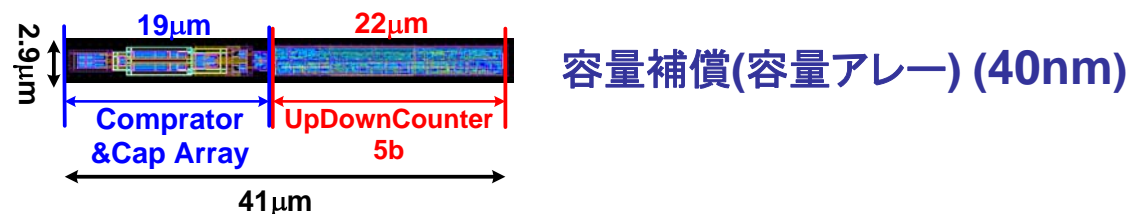
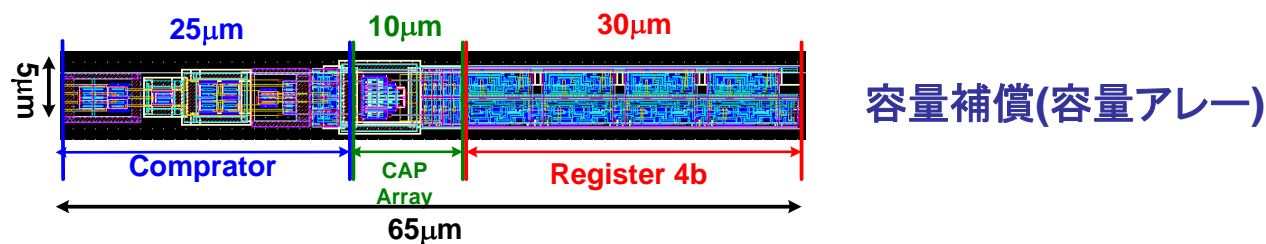
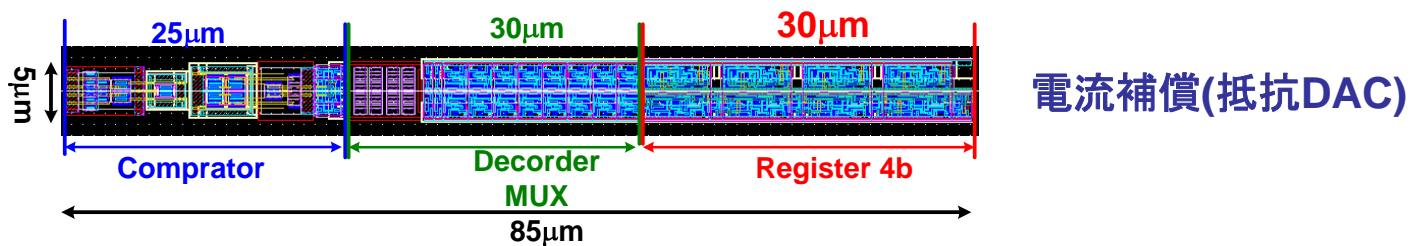
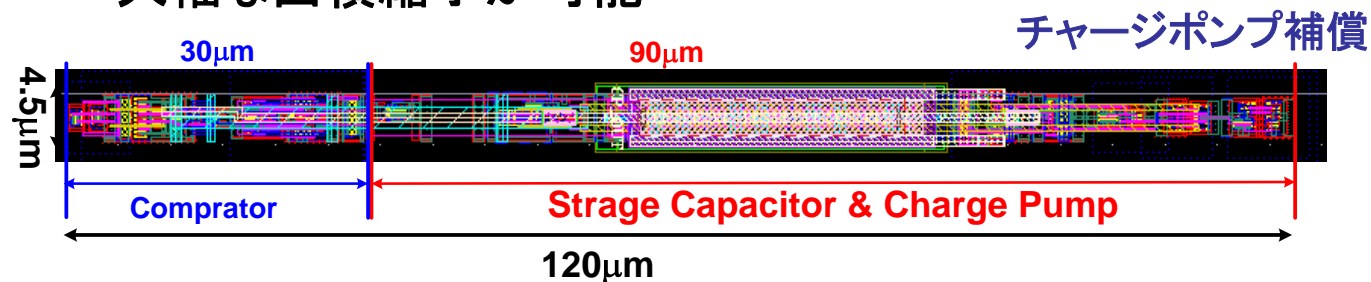
- - - Calibration OFF



M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

比較器の面積

デジタル補償回路を搭載しても、微細 CMOS の利用により、
大幅な面積縮小が可能

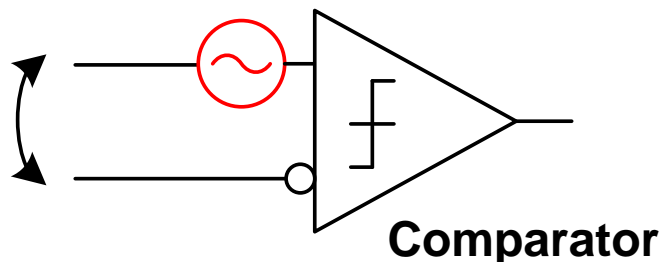


(90nm)

比較器はノイズを持ち、ENOBを劣化させる

Noise

10ビット以上のSAR ADCで顕著

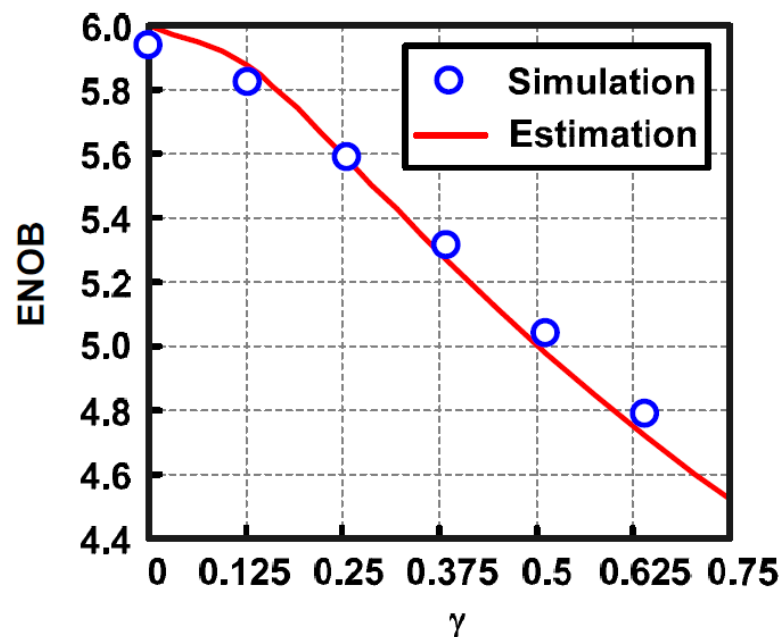
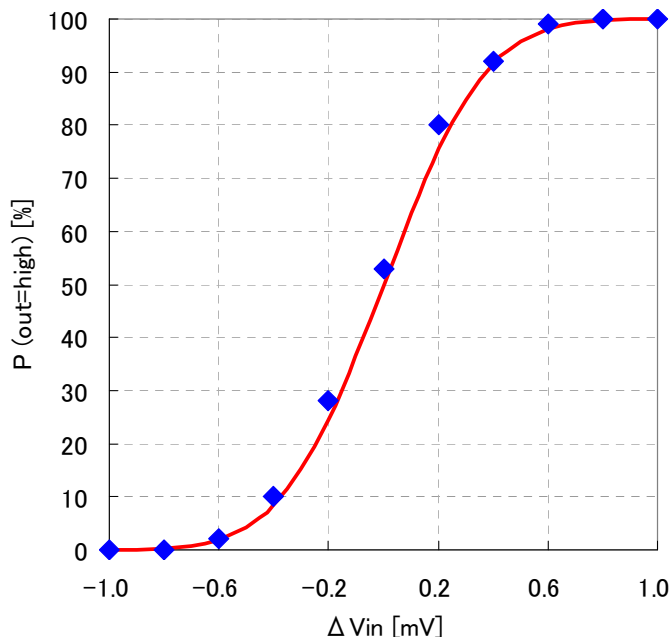


$$ENOB = N - \frac{1}{2} \log_2(1 + 12\gamma^2)$$

$$\gamma = \frac{V_n(\sigma)}{V_q}$$

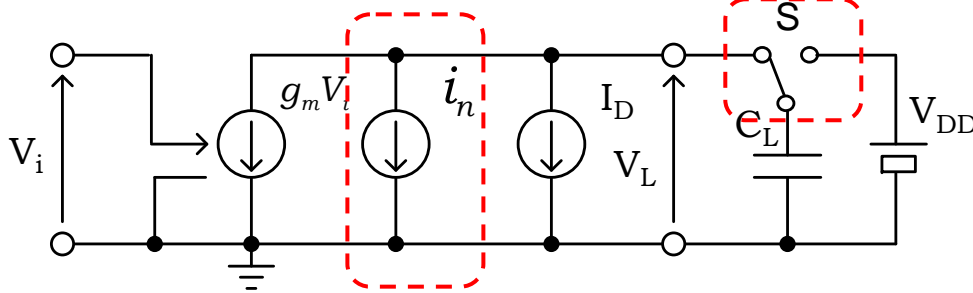
ENOB vs. γ

Probability of output code



Transistor noise

Sampling noise



1) Sampling noise of Switch

$$\langle v_n^2 \rangle = \frac{kT}{C_L}, \quad \delta_{t_d}^2 = \frac{\langle v_n^2 \rangle}{\left(\frac{I_D}{C_L}\right)^2} = \frac{kTC_L}{I_D^2}$$

Timing fluctuation

2) Transistor noise

$$\delta t = \frac{C_L}{I_D} \delta v \quad \text{Noise voltage of output by current noise}$$

$$v_n = \frac{1}{C_L} \int_0^{t_d} i_n dt \quad \delta_{t_d}^2 = \frac{C_L^2}{I_D^2} \delta_{v_n}^2 = \frac{1}{I_D^2} \left\langle \left(\int_0^{t_d} i_n dt \right)^2 \right\rangle$$

$$\left\langle \left(\int_0^{t_d} i_n dt \right)^2 \right\rangle = 2t_d \gamma k T g_m \quad \therefore \delta_{t_d}^2 = \frac{2t_d}{I_D^2} \gamma k T g_m$$

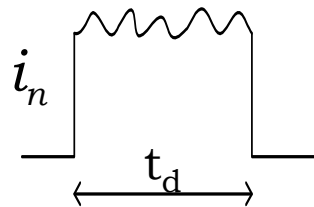
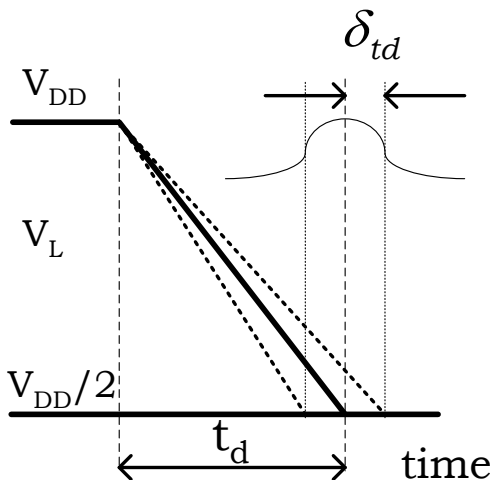
$$I_D \propto (V_{gs} - V_T)^\alpha \quad g_m = \alpha \frac{I_D}{V_{eff}}$$

Voltage and timing

TR noise

$$\therefore \delta_{t_d}^2 = \frac{2kT\alpha\gamma}{I_D V_{eff}} t_d = \frac{kTC_L \alpha \gamma V_{DD}}{I_D^2 V_{eff}} \therefore t_d = \frac{C_L V_{DD}}{2I_D}$$

Equivalent circuit



$$\delta V_{in}^2 = \frac{4kTV_{eff}^2}{\alpha^2 C_L V_{DD}^2} \left(1 + \alpha \gamma \frac{V_{DD}}{V_{eff}} \right) \approx \frac{4kTV_{eff}}{\alpha C_L V_{DD}}$$

Akira Matsuzawa, "High speed and low power ADC design with dynamic analog circuits," IEEE ASICON 2009, pp.218-221, Changsha, China, Oct. 2009.

1) Sampling noise $\delta_{t_d}^2 = \frac{kTC_L}{I_D^2}$

2) Transistor noise $\delta_{t_d}^2 = \frac{kTC_L \alpha \gamma V_{DD}}{I_D^2 V_{eff}}$

Delay fluctuation by noises

$$\delta_{t_d}^2 = \frac{kTC_L}{I_{ds}^2} \left(1 + \alpha \gamma \frac{V_{dd}}{V_{eff}} \right)$$

$$I_{ds} \propto V_{eff}^\alpha, \quad 1 < \alpha < 2$$

γ : noise factor

Input referred input voltage fluctuation

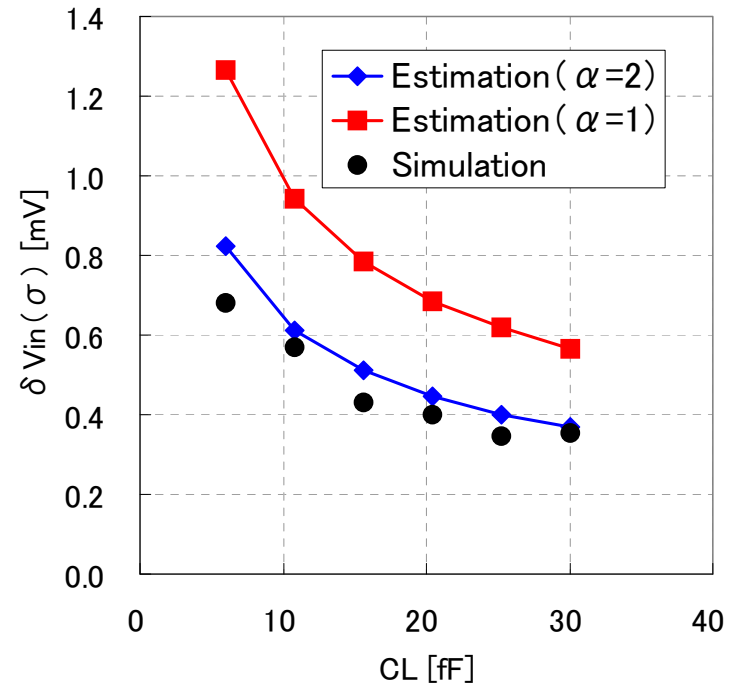
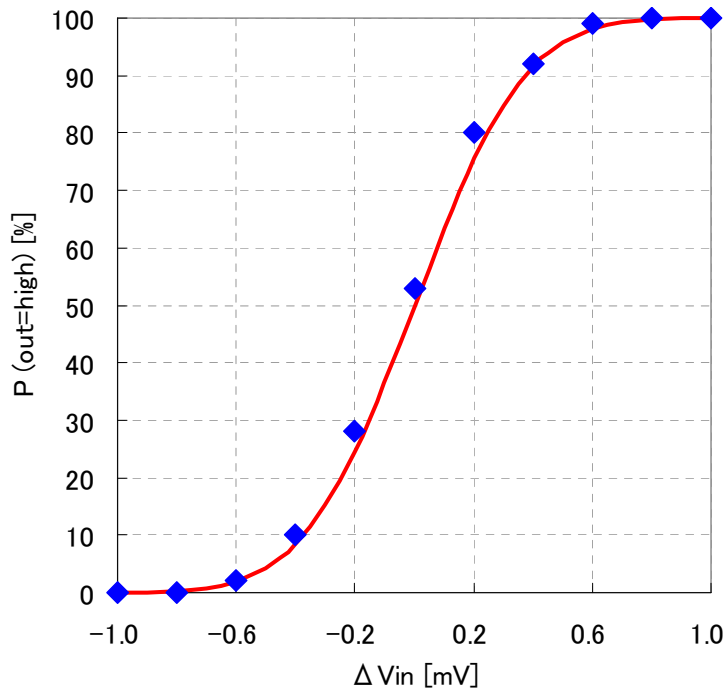
$$\frac{\delta_{t_d}}{t_d} = \frac{\delta_{I_D}}{I_D} = \frac{V_{in} g_m}{I_D} \quad \therefore V_{in} = \frac{\delta_{t_d}}{t_d} \frac{I_D}{g_m} \quad \therefore t_d = \frac{C_L V_{DD}}{2I_D}$$

$$\delta V_{in}^2 = \left(\frac{V_{eff}}{\alpha} \frac{\delta_{t_d}}{t_d} \right)^2 = \left(\frac{V_{eff}}{\alpha t_d} \right)^2 \frac{kTC_L}{I_{ds}^2} \left(1 + \gamma \frac{V_{dd}}{V_{eff}} \right) = \frac{4kTV_{eff}^2}{\alpha^2 C_L V_{dd}^2} \left(1 + \alpha \gamma \frac{V_{dd}}{V_{eff}} \right)$$

得られたノイズ式はシミュレーションと良い一致.

低ノイズ化のためにはノード容量の増加、 V_{eff} の減少が重要

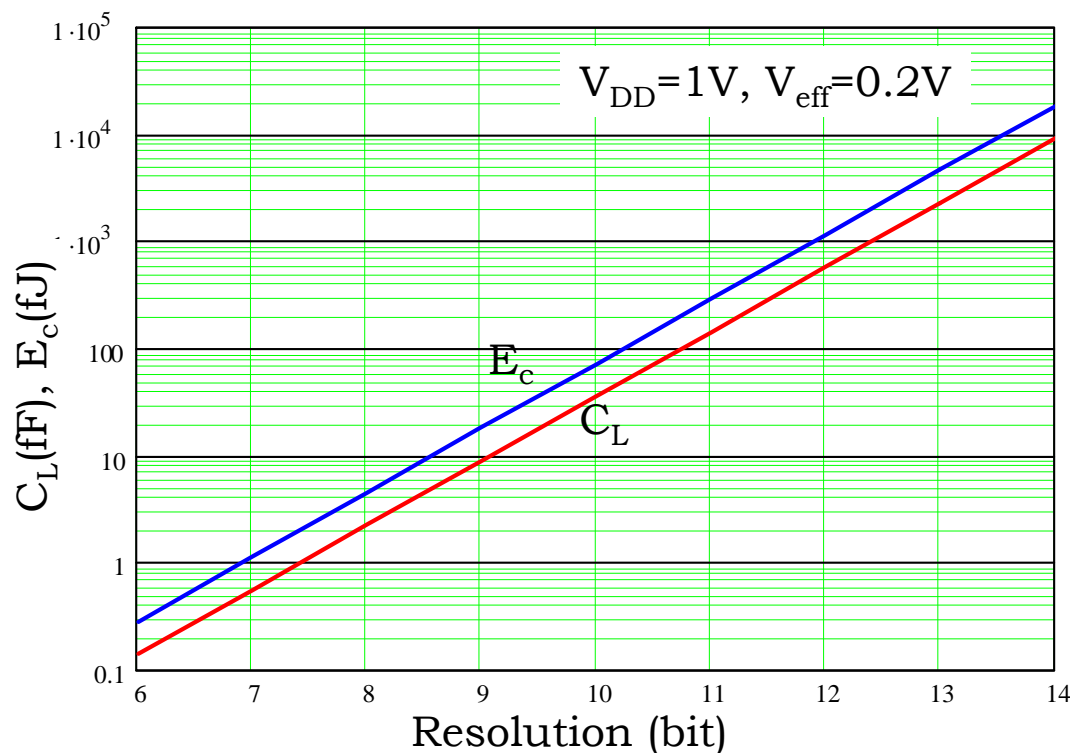
$$\delta V_{in} \approx 2 \sqrt{\frac{kTV_{eff}}{\alpha C_L V_{DD}}}$$



高分解能ADCの比較器には大きなノード容量が必要だが、

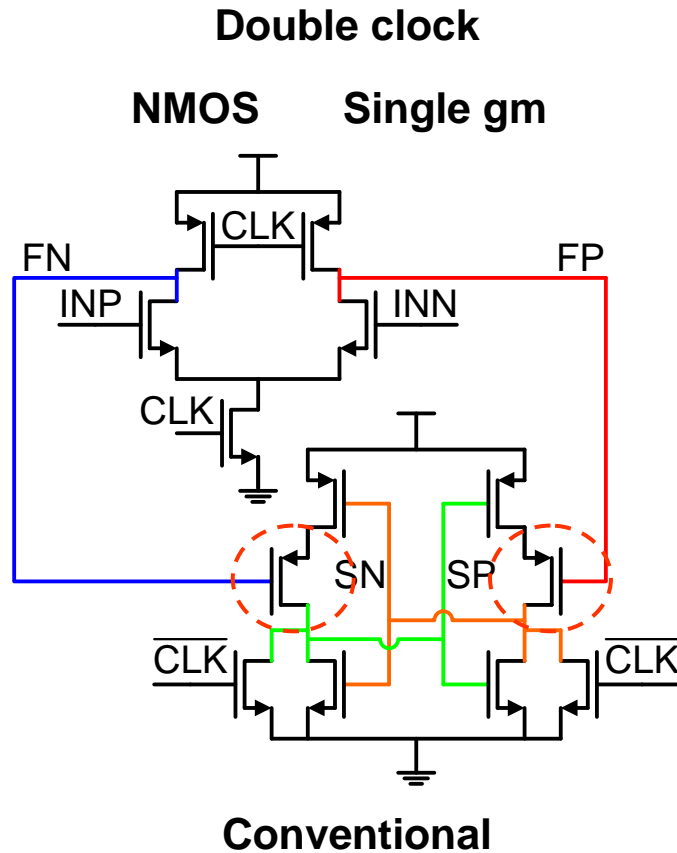
12bit以上の分解能に必要な容量と消費エネルギーは無視できない大きさ

Flash ADC: E_c : FoMの最小値を規定
SAR ADC: E_c : 高分解能ADCでは急激に増大

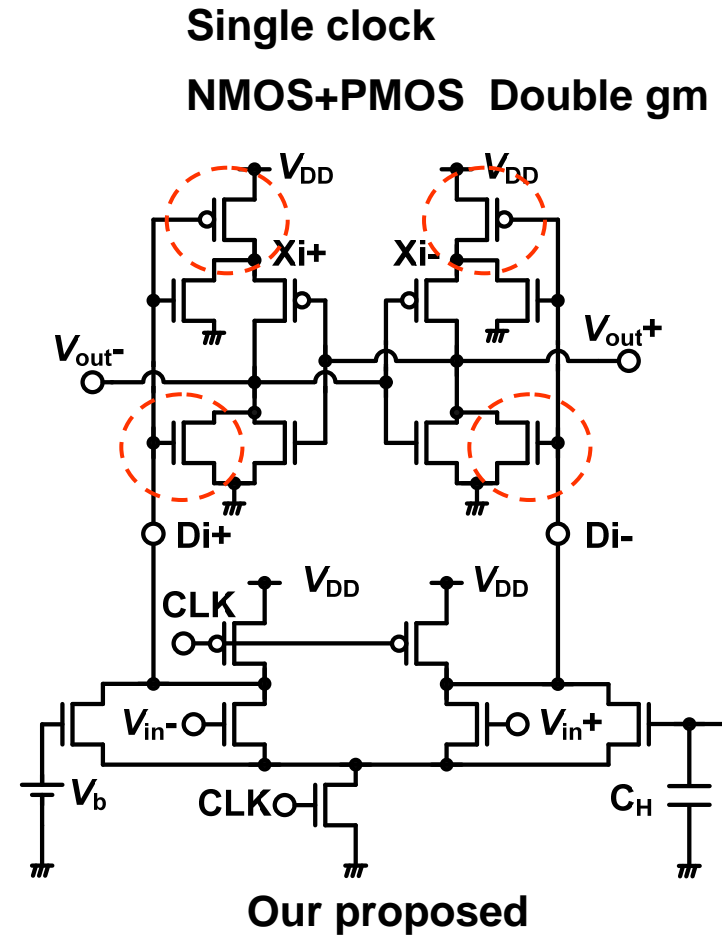


2fF & 4fJ @8bit
40fF & 80fJ @10bit
0.6pF & 1pJ @12bit
10pF & 20pJ @14bit

低ノイズ化のためにダブルテールラッチをベースとした新ダイナミック型比較器を開発



M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.



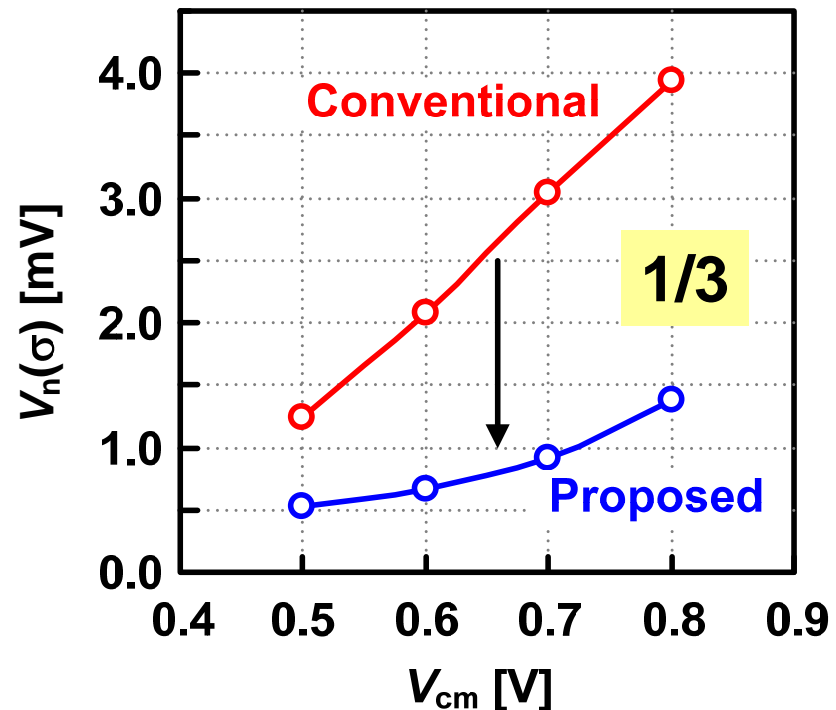
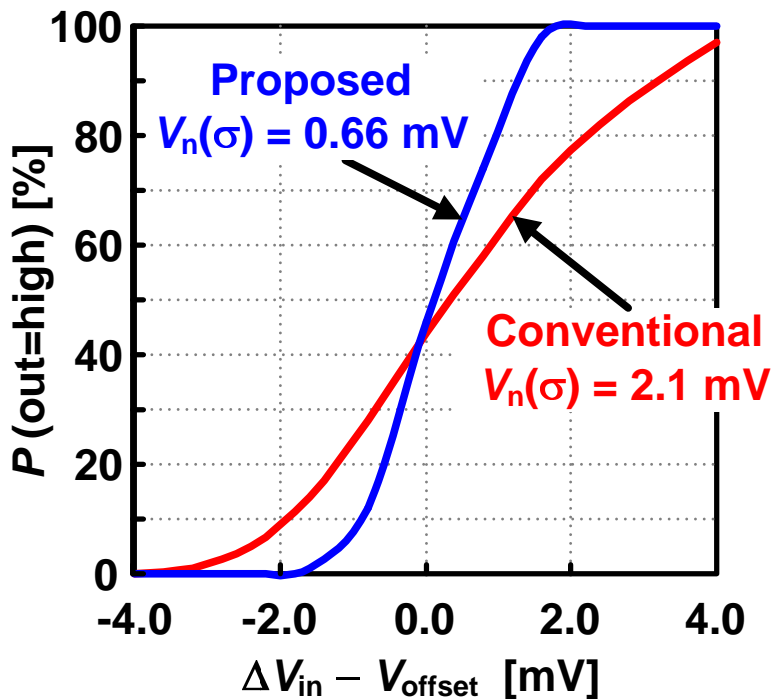
M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

新型比較器のノイズは従来型の1/3

$V_{DD} = 1.0 \text{ V}$, $F_c = 4 \text{ GHz}$, Transient-Noise simulations.
(Offset calibration is not used.)

M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa,
"A Low-Noise Self-Calibrating Dynamic Comparator
for High-Speed ADCs," A-SSCC, Nov. 2008.

@ $V_{cm} = 0.6 \text{ V}$



世界最小FoMの6bit 700MSps ADCの開発

$$FoM \text{ (直並列型)} \approx \frac{E_c \times f_c \times 2^{\frac{N}{2}}}{f_c \times 2^{N-\Delta ENOB}} = \frac{E_c}{2^{\frac{N}{2}}} 2^{\Delta ENOB}$$

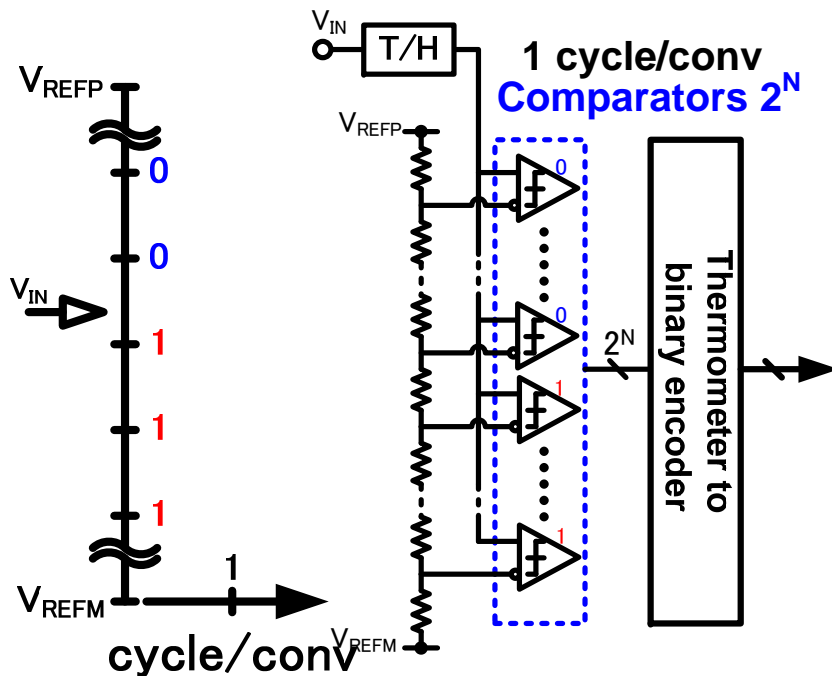
Y. Asada, K. Yoshihara, T. Urano, M. Miyahara and A. Matsuzawa,
“A 6bit, 7mW, 250fJ, 700MS/s
Subranging ADC” A-SSCC, pp. 141-144, Nov. 2009.

直並列型ADCは変換を複数回に分けて行うもので、
変換速度をあまり落とさず、面積と電力を大幅に削減できる。

Flash ADC

of comparators: 2^N
Conversion freq.: f_s

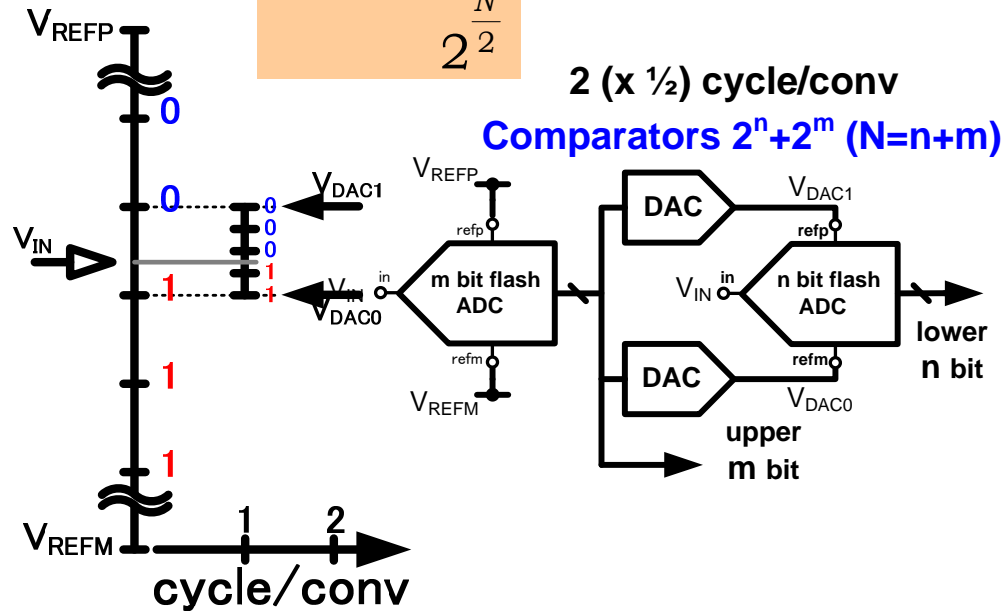
$$FoM \propto E_c$$



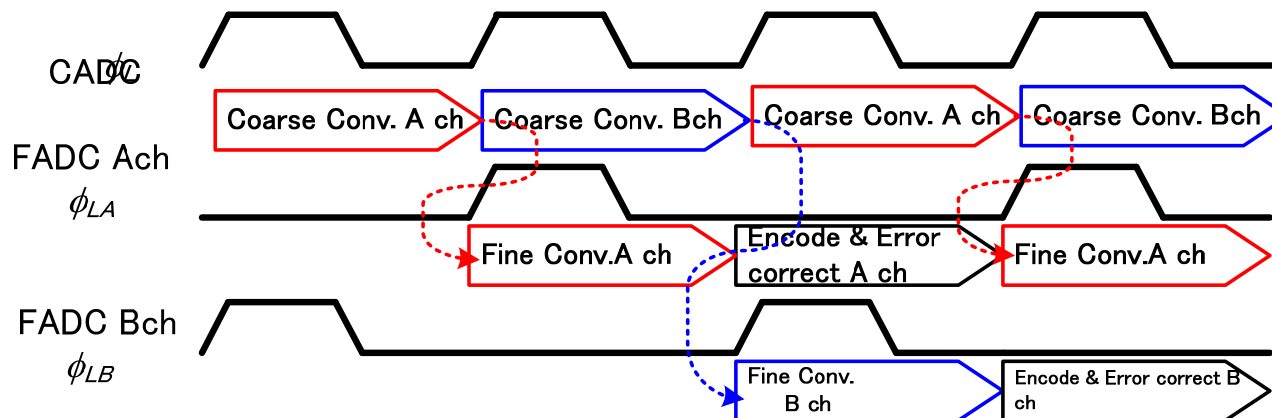
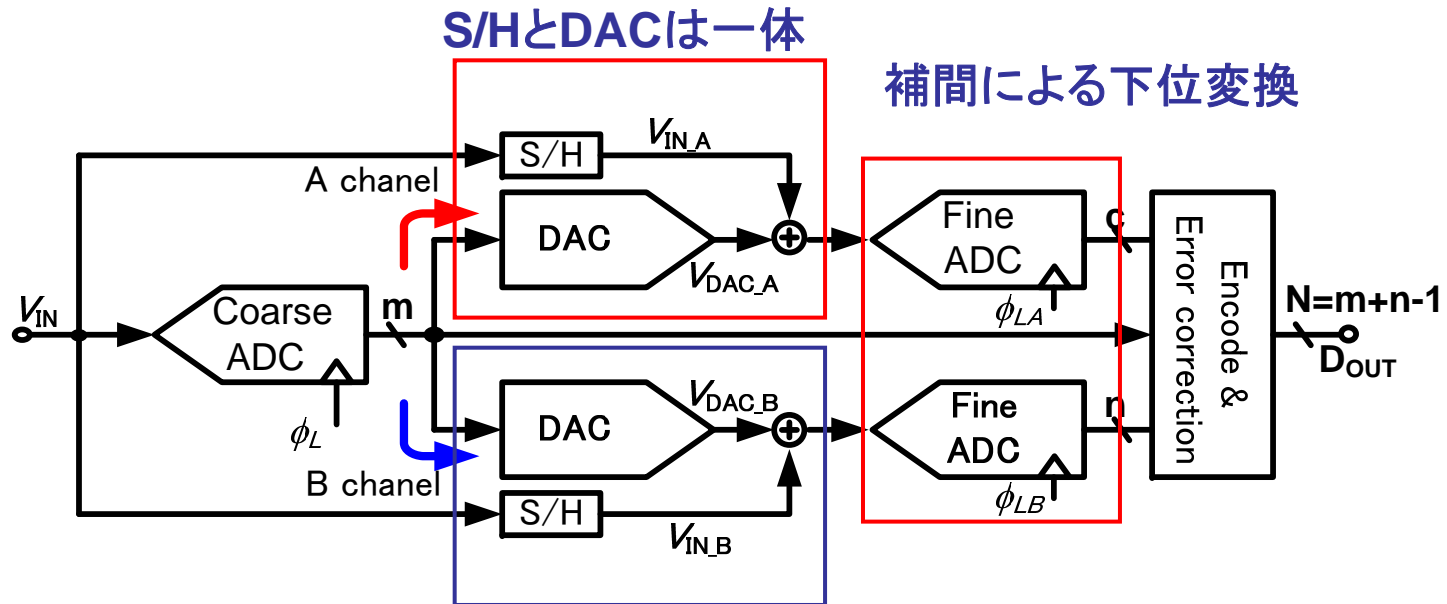
Sub-ranging ADC

of comparators: $2^{\frac{N+1}{2}}$
Conversion freq.: $f_s/2$

$$FoM \propto \frac{E_c}{2^{\frac{N}{2}}}$$



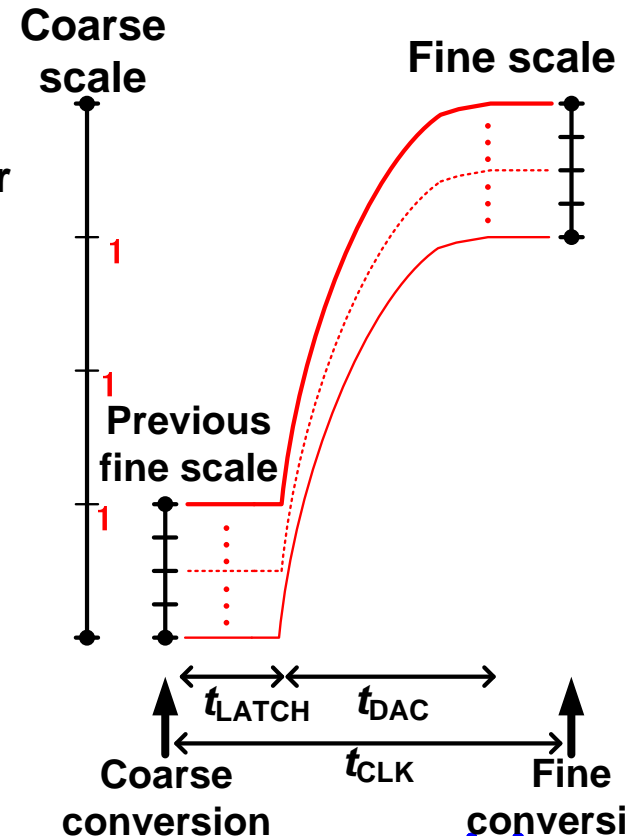
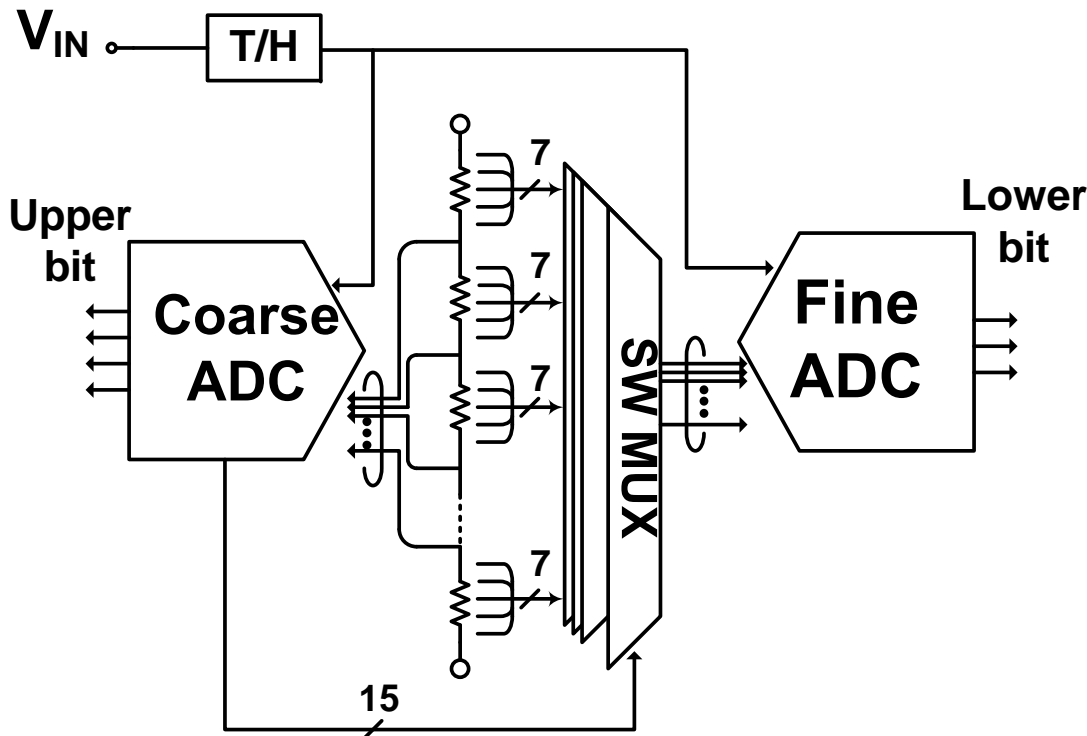
上位は1つのADC、下位は半分の周波数の2つのADCで倍速動作



従来の直並列型ADCの課題

抵抗を用いると定常電流が流れ、応答と消費電力はトレードオフ

$$\tau_{ref\ max} \approx \left\{ \frac{R}{4} + R_{on} \right\} C_{pr} = \left\{ \frac{V_{ref}}{4I_{ref}} + R_{on} \right\} C_{pr} \quad \tau \propto \frac{1}{I}$$



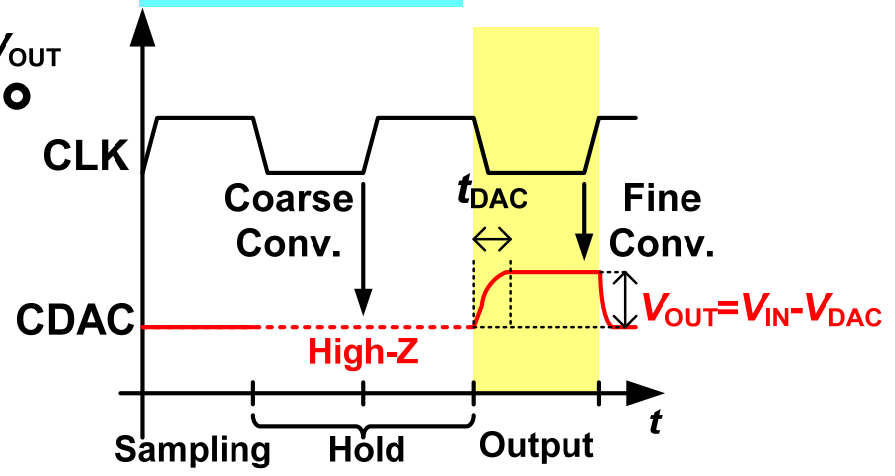
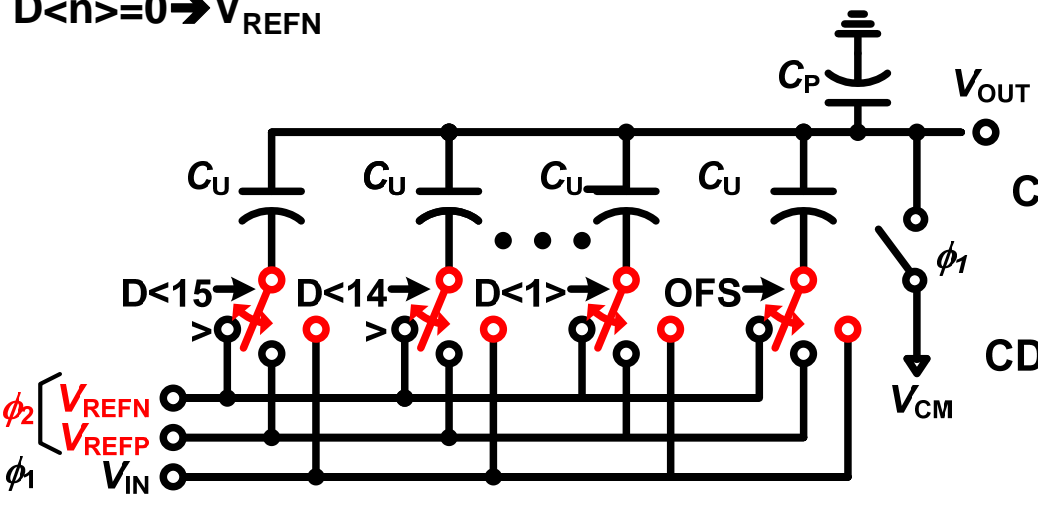
容量型DACは定常電流が流れず、しかも高速
高速化のために R_{on} を下げてても消費エネルギーは変わらない

$$V_{out} = \frac{-1}{1 + \frac{C_p}{C_{tot}}} (V_{IN} - n \cdot V_{REF})$$

$D\langle n \rangle = 1 \rightarrow V_{REFP}$
 $D\langle n \rangle = 0 \rightarrow V_{REFN}$

$$\tau \approx 2R_{on}C$$

$$E_d \approx CV_{DD}^2$$



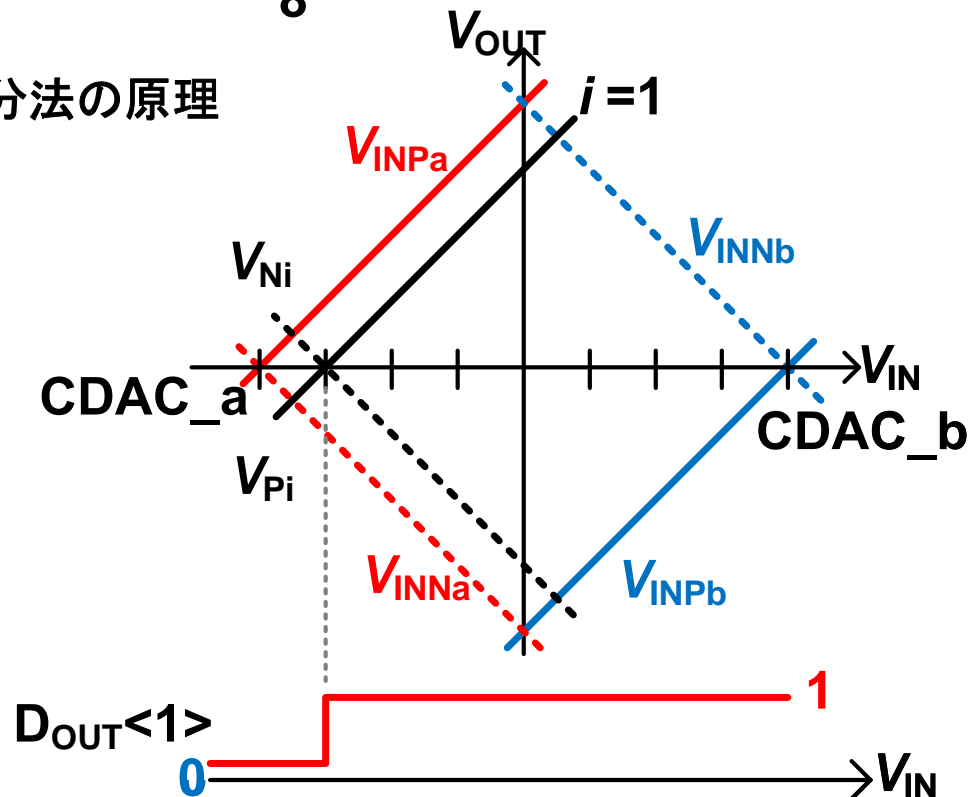
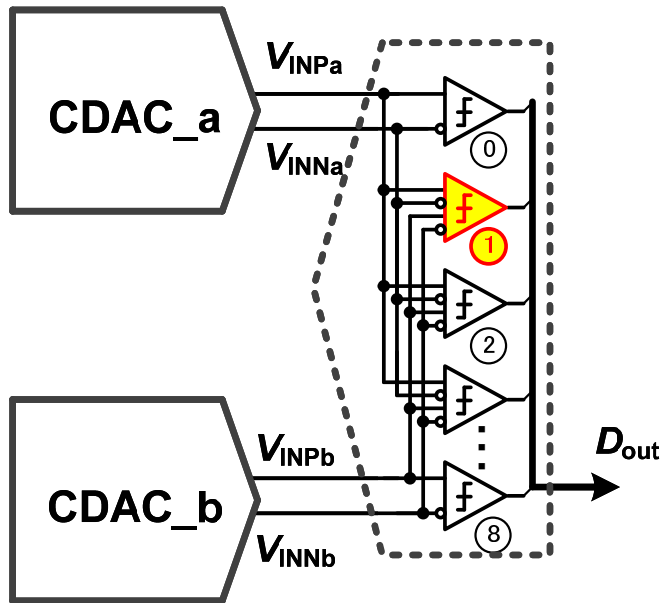
Advantage :

- Operating as **S/H circuit**
- **No static power consumption** (360 μ W@1GHz)
- Smaller C_u realize **faster settling time**
($t_{DAC} = 3.4 r_{on} C_u < 80ps$ @ $r_{ON} = 1k\Omega, C_u = 15fF$)

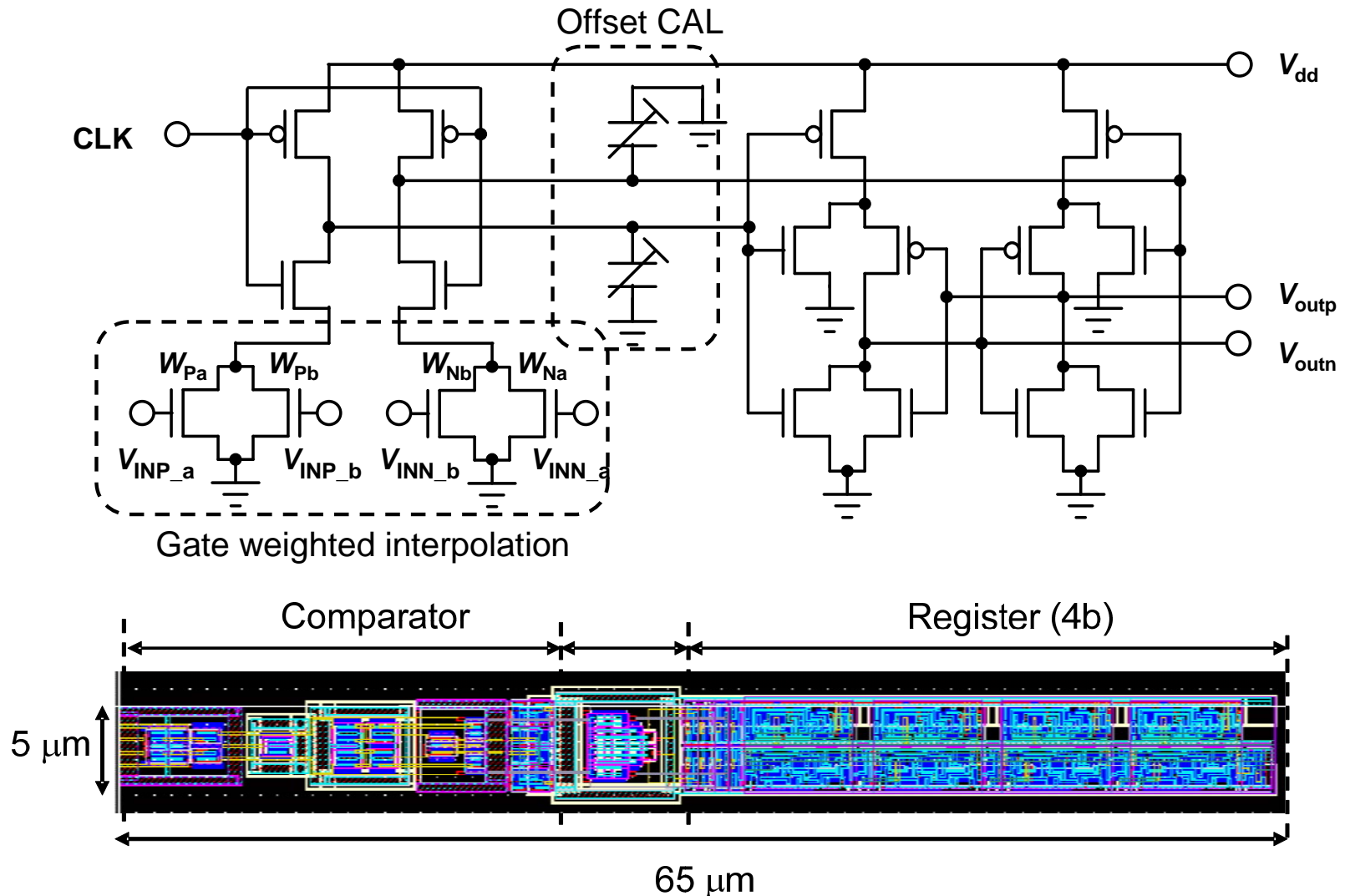
下位比較を補間で行うことにより、寄生容量による利得変動に対し不感
2つの信号を重み付けして加算することで2つの信号間をM等分できる

$$V_{Pi} = \frac{(8-i)V_{INPa} + iV_{INPb}}{8}, V_{Ni} = \frac{(8-i)V_{INNa} + iV_{INNb}}{8}$$

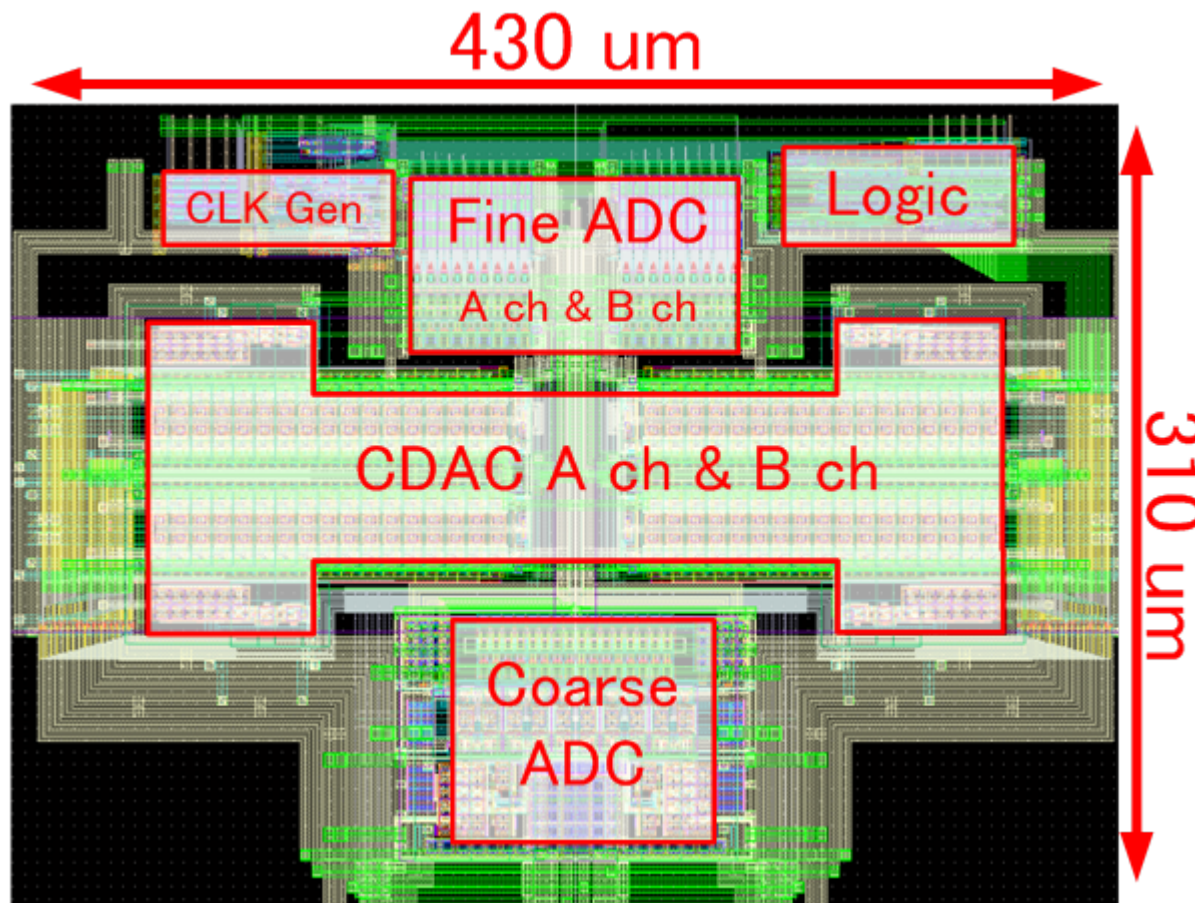
内分法の原理



ゲートの重付けによる補間、容量型オフセット補正を有するダイナミック型比較器



6 bit ADC has been realized in a 90 nm 10M1P CMOS technology with a chip area of 0.13mm²



世界最小 FoM のADCを実現

	[1]	[2]	[3]	[4]	[6]	This Work
Resolution(bit)	6	6	6	6	6	6
fs(GS/s)	0.8	1.2	0.7	1.25	1	0.7
SNDR(DC/Nyq.)	35/32	34/33	31/30	34/28	35/33	35/34
Pd (mW)	12	75	24	32	30	7
Active area(mm ²)	0.13	0.43	0.052	0.09	0.18	0.13
VDD(V)	1.2	1.2	1.2	1.2	1.2/1.0	1.2
FoM(pJ)	0.44	2.17	1.31	1.22	0.8	0.25
CMOS Tech.(nm)	65	130	130	130	90	90
Architecture	Flash	Flash	Pipeline	2b-SAR	Subrange	Subrange

[1] C-Y. Chen, VLSI Circuits 2008.

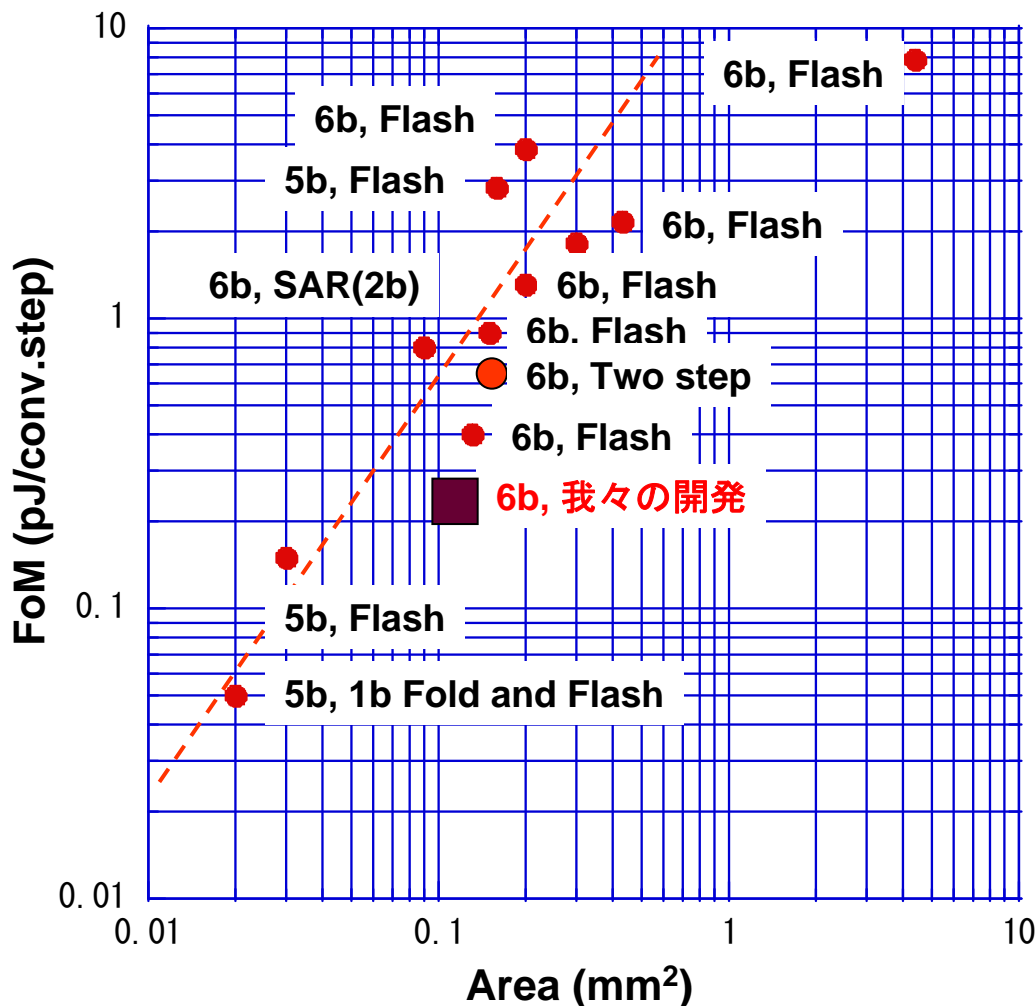
[2] B-W. Chen, A-SSCC 2008.

[3] F. C. Hsieh, A-SSCC 2008.

[4] Z. Cao, ISSCC 2008.

[6] Y. C. Lien, A-SSCC 2008.

発表されたADCの面積とFoMには強い相関
FoMを小さくするには回路面積の縮小が極めて重要



5bit and 6bit ADCs

$$E_c \propto C \propto Area$$

- ミリ波ブロードバンド通信には6bit, 3~10Gsp/s, <30mW程度の超高速ADCが不可欠。
- フラッシュADCのFoMは比較器1個あたりの消費エネルギーと有効ビット劣化の積で決定される。
- 低FoM化を実現するにはコア面積の縮小が重要。
- 低FoM化は微細な素子を用いたダイナミック回路と、ミスマッチを補償するデジタルアシスト技術で実現できる。
- デジタルミスマッチ補償回路を開発 ミスマッチを1/10以下にした。
- ダイナミック比較器のノイズ式を導出した。
ノイズの低減には大きなノード容量と、低い V_{eff} が必要であり、高分解能ADCの消費エネルギーは指数的に増大する。
- 世界最小のFoMを有する6bit ADCを開発した。
 - 直並列型A/D変換アーキテクチャの採用
 - 容量DACによる電圧発生
 - ゲート補間による下位A/D変換