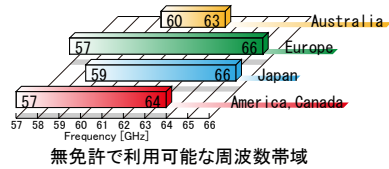


まとめ

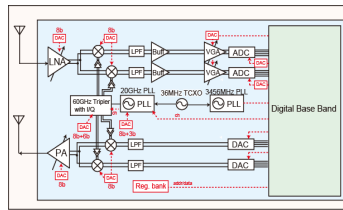
- 65nm CMOSプロセスを用いて60GHz帯無線送信回路を試作
- PA実測：利得 16.4 [dB]、 P_{1dB} 9.4 [dBm] → QPSKで使用可能(14 Gbps)
- PA+Mixer 実測：変換利得 10.6 [dB]、 P_{SAT} 5.3 [dBm]

1. 研究背景

- 60GHz帯
 - 幅広い帯域が無免許で使用可能
- ↓
- 近距離の超高速無線通信に利用
 - QPSK (14 Gbps)
 - 16 QAM (28 Gbps)



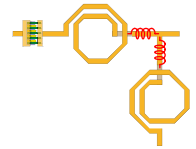
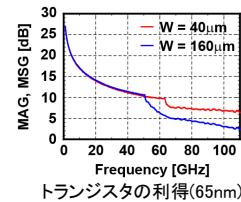
- RFフロントエンドの設計
 - ダイレクトコンバージョン方式
 - 20GHz PLL + 3倍倍ILO



2. 研究上の課題

- 周波数によるトランジスタの利得の低下
- 寄生成分の影響の増加

素子、配線の正確なモデリングが必要



3. ディエンベディング

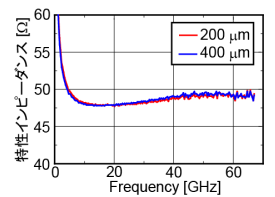
[従来手法]

- OPEN-SHORT法
 - ⊗ パターンの寄生成分により、精度低
- THRU only法
 - ⊗ プローブ間の影響により、測定誤差大

[提案手法]

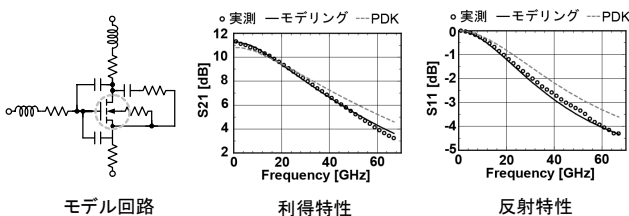
- 長さの異なる2本の伝送線路を使用し、PADのモデルを作成
 - 😊 OPEN、SHORTは用いない
 - 😊 プローブ間の距離が長い

↓
長さが異なる線路でも特性インピーダンスが一致



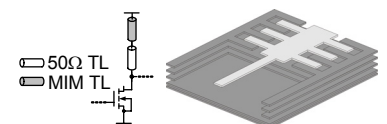
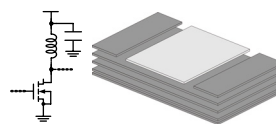
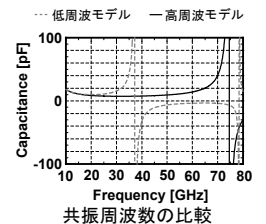
3. トランジスタのモデリング

- 寄生成分を考慮し、モデリング
 - 配線間容量
 - 配線インダクタンス
 - 配線抵抗
 - 基板容量
 - 基板抵抗



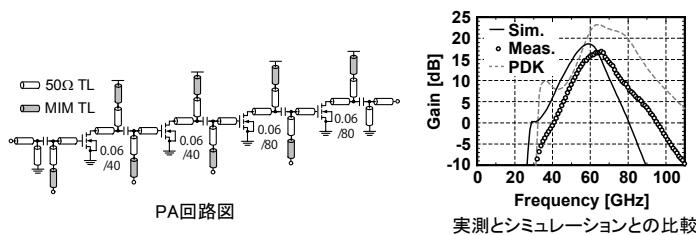
4. デカップリングキャパシタのモデリング

- 低周波でのモデル
 - 平面構造
 - 集中定数として使用
- ミリ波帯でのモデル
 - インターデジタル型
 - L、Cを分散させ、共振周波数を高める
 - 伝送線路としてモデリング



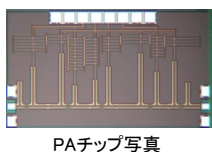
5. 60GHz帯パワーアンプの設計

- 実測結果からモデリングした素子を使用 → 実測との誤差を改善
7dB ⇒ 1dB
- 測定結果
 - 利得: 16.4 dB
 - P_{1dB} : 9.4 dBm
- QPSKで使用可能 (14Gbps)



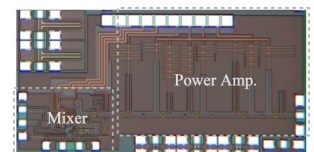
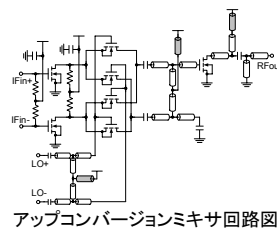
従来研究との性能比較

Reference	Technology	Freq. [GHz]	Gain [dB]	P_{1dB} [dBm]	PAE [%]	Acc. [ps]	V_{DD} [V]
[1] ISSCC 2008	90nm CMOS	60	5.5	9	6	80	1
[2] ISSCC 2009	65nm CMOS	60	15.8	2.5	3.95	43.5	1
[3] MWCL 2009	90nm CMOS	60	30	10.3	6	178	1.8
This work	65nm CMOS	61.5	16.4	9.4	6.2	139	1.2



6. 60GHz帯無線送信機の設計

- パッシブミキサ
- IFは抵抗、RF、LOは伝送線路を用いてマッチング
- 測定結果
 - 変換利得: 10.6 dB (57~66GHzで動作を確認)



従来研究との性能比較

	Blocks	Freq. [GHz]	Gain [dB]	P_{1dB} [dBm]	PDC [mW]	PLO [dBm]	V_{DD} [V]
[9]	Mix	60	<-4	-	70	-	1.5
[10]	Mix	56-65	<4	-5.6	24	0	1.6
This Work	Mix +PA	57-66	10.6	1.6	186	1	1.2

[9] S. Voinigescu, et al., ISCAS 2007 [10] F. Zhang, et al., EL 2008

[1] D. Chowdhury, et al., ISSCC 2008 (UCB) [2] W.L. Chan, et al., ISSCC 2009 (Dell Univ) [3] J.-L. Kuo, et al., MWCL 2009 (NTU)