



A-D変換器は「脱オペアンプ」へ

低電力維持しつつ高精度・高速化

ISSCC 2009のデータ・コンバータ(A-D変換器/D-A変換器)分野では、前回(ISSCC 2008)のようなエネルギー効率競争は影を潜め、「脱オペアンプ(演算増幅器)」の流れの中で、消費電力を低く維持しつつも高速化、高精度化への着実な進歩が見られ、実用性が高まった。

今回、特に注目したいのは、パイプライン型A-D変換器に再びスポットライトが当たり始めたことである。パイプライン型A-D変換器は従来、高速・高精度のA-D変換方式の主流を担っていたが、近年は性能改善が足踏み状態にあった。半導体プロセス技術の微細化に起因した課題が表面化したからである。すなわち、トランジスタの微細化によって、オペアンプの利得を確保しにくくなり直線性が劣化する、電源電圧の低下によって、信号の電圧振幅が小さくなりSN比が低くなる、それを防ぐためにスイッチト・キャパシタ回路を構成するコンデンサの静電容量を大きくすると消費電流が増大する、といった課題である。

このためここ数年は、オペアンプを使わずに構成できる逐次比較(SAR)型A-D変換器に注目が集まっていた。定常電流を流さずに済み、論理回路と同様の回路で構成可能なこともあり、微細化に適しているとみられたからだ。変換速度や変換精度などの性能当たりの消費電力の低減を目指す「低エネルギー競争」が加速し、昨年のISSCC 2008ではFOM(Figure of Merit)^{*1)}が1変換ステップ当たり4.4fJと極めて低い、驚異的なSAR型A-D変換器が発表された^{†1)}。

ただし、SAR型A-D変換器は動作原理上、1回のA-D変換に多数のクロック・サイクルを費やす必要があり、高速化には限界がある。このためISSCC 2008では、インターリーブと呼ぶ手法を用いた高速化が脚光を浴びた。低消費エネルギー特性に優れたSAR型A-D変換器コアを数多く用意しておき、各コアを標準化タイミングをずらしながら動作させることで、等価的に変換速度を高める。しかしこの手法には、専有面積の増加を招くことや、回路のオーバーヘッドが大きくなり、チップ全体で見るとFOMが著しく劣化してしまうという課題があることが明らかになった。

こうした経緯からISSCC 2009では、インターリーブ動作を使わずに高速化が図れるという、パイプライン型の特徴を生かした成果の発表が相次いだ。

オペアンプ・レスの実用性が高まる

まず注目したいのは、米Massachusetts Institute of Technology(MIT)が発表したパイプライン型A-D変換器である(講演番号は9.3)。分解能は12ビット、変換速度は50Mサンプル/秒、消費電力は4.5mWで、精度と速度、消費電力ともに十分な性能を達成しており、実用性は非常に高い。2006年のISSCC 2006で同大学のHae-Seung Lee教授らが提案した「Zero Cross Detector(ZCD)」と呼ぶ回路方式を基に、今回は実用性を高める改良を施した。

一般にパイプライン型では、変換処理に必要な電荷をコンデンサとオペアンプを使って次段に転送するという処理を多段にわたって繰り返す。このオペアンプと同等の役割を果たす回路を、電流源と比較器を使って構成したものがZCDである^{†2)}。オペアンプを使う場合に比べて高い変換速度が期待でき、極めて小さい電力で動作する可能性があるものの、精度などに難点があり、実用にはまだ遠かった。

今回MITが発表したパイプライン型A-D変換器の主要部分の回路構成と動作タイミング図を図1に示す。従来はシングルエンド型の回路構成を採っていたが、電源雑音や基板雑音に弱かったため、今回は完全差動型とした。また、基準電圧との比較方式についても、従来提案していたデュアル・スロープ(二重積分)型から、より簡素なシングル・スロープ(積分)型に変更した。パイプライン各段の単位A-D変換回路は、3ビット相当の構成になっているようだ。デジタル出力電圧に対するSN比の評価結果を見ると、前回発表のシングルエンド構成ではデジタル出力電圧が0.8V上昇するとSN比が40dBから37dBへと劣化していたが、今回の差動構成では1.3V上昇させてもSN比は72dB程度のままほとんど変化しておらず、高い雑音耐性が実証された。

90nmのCMOS技術で製造し、FOMは1変換当たり88fJ、占有面積は0.3mm²に抑えている。12ビット、50Mサンプル/秒級では、これまでに報告されているA-D変換器に比べて1/4程度の低電力化を実現した。

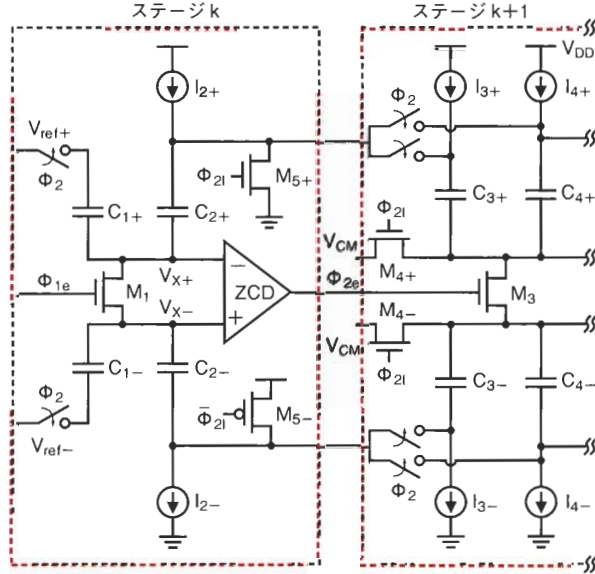
デジタル補正で低精度アナログを生かす

パイプライン型の高速化に関しては、米University of California, Los Angeles(UCLA)の成果に注目したい。

図1 差動化で雑音耐性を高めたZCDベースのパイプライン型

(a) は、オペアンプの代わりに「Zero Cross Detector (ZCD)」を使ったパイプライン型 A-D 変換器の差動構成の回路図である。(b) はこの A-D 変換器の動作タイミング図を示す。電荷転送フェーズではまず、プリチャージ信号 ϕ_{2i} がスイッチ M_3 と $M_4\pm$ 、 $M_5\pm$ をオンに切り替えて、コンデンサ $C_{3\pm}$ と $C_{4\pm}$ の充電状態を初期化する。次に ϕ_{2i} が $M_4\pm$ と $M_5\pm$ をオフに切り替えると、電流源 $I_{2\pm}$ と $I_{3\pm}$ 、 $I_{4\pm}$ が $C_{3\pm}$ と $C_{4\pm}$ を充電し始める。ZCD の差動入力端子の電位が一致（ゼロ交差）すると、ZCD の出力信号 ϕ_{2e} が M_3 をオフに切り替えて、コンデンサへの充電を停止し、次のステージで残留電荷のサンプリングを開始する。出典：米 Massachusetts Institute of Technology の発表資料

(a) ZCD ベースのパイプライン型 A-D 変換器



(b) タイミング図

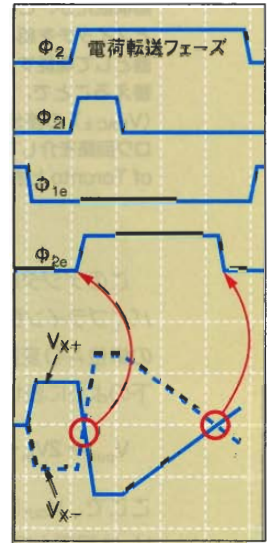
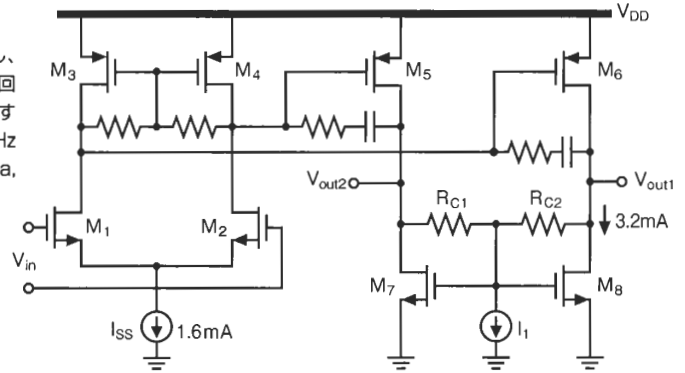


図2 高速化に主眼を置いたオペアンプ回路

出力振幅を最大化するため、2段増幅回路の構成を採用した。ただし、利得は稼げるが利得帯域幅を狭めてしまうカスコード（縦積み）回路などは付加していない。さらに、信号経路には動作速度を制限する大型のトランジスタを利用しないようにした。こうして、10GHz と広い利得帯域幅を確保した。出典：米 University of California, Los Angeles の発表資料



10ビット分解能で500Mサンプル/秒の変換速度を達成した（講演番号は4.6）。高速化に向けてオペアンプの構成を最適化するとともに、デジタル方式の誤差補正技術を駆使して精度を確保した。

図2に同大学が用いたオペアンプを示す。一般に、低電源電圧で信号振幅を稼ぐには2段増幅回路を使う。さらに通常は、少しでも利得を稼ぐためにカスコード（縦積み）回路やゲイン・ブースト回路を付加する。しかし付加回路を使えば利得そのものは増大するが、利得帯域幅は狭くなってしまふ。そこで同大学は、そのような付加回路を一切用いず、コモンモード・フィードバック回路も抵抗分圧器の中点電圧を用いる最も簡単なものとした。この結果、10GHz と広い利得帯域幅を確保できた。

ただし利得はわずか30dB程度にとどまる。通常パイプライン型 A-D 変換器は、分解能を N として $6N + 10$ dB 以上の利得が必要だ。すなわち 10 ビット ($N = 10$) の場合は、70dB 以上なければ精度が出ない。30dB では、分解能は 3 ビットが良いところである。そこで同大学は、このような低利得のオペアンプを用いても 10 ビット程度の精度が得られるように、デジタル誤差補正を導入した。図3にその構成を示す。破線で囲んだ部分がデジタル誤差補正回路で、今回はチップには集積せず、外付け回路として実現した。

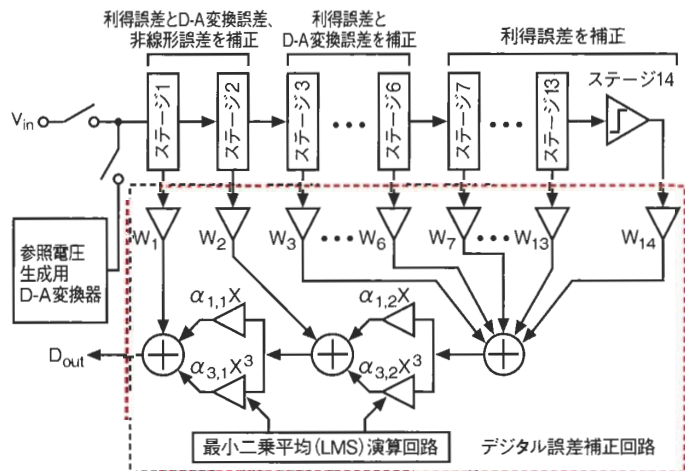
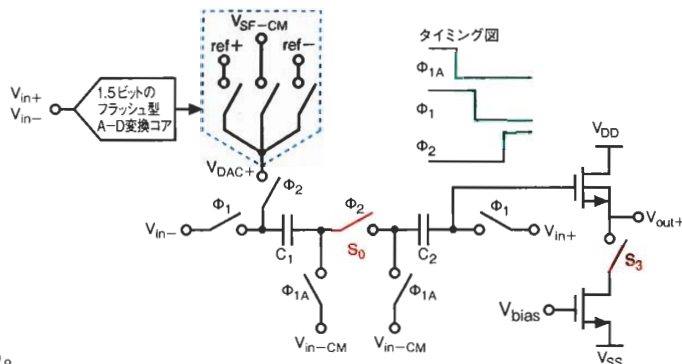


図3 デジタル補正でオペアンプの利得を補う

1.5ビット冗長構成の単位 A-D 変換回路を 13 段、さらに 1 ビットの単位 A-D 変換回路を 1 段、パイプライン接続した A-D 変換器である。デジタル方式の補正回路を使って、ステージ 7 ~ 14 は利得誤差を補正し、ステージ 3 ~ 6 ではさらに D-A 変換誤差も、ステージ 1 と 2 ではさらに非線形誤差も補正する。出典：米 University of California, Los Angeles の発表資料

図4 チャージ・ポンプ利用の2倍増幅回路

1.5ビット冗長構成の単位A-D変換回路である。実際には差動構成だが、この図では正電圧側のみを示した。コンデンサとスイッチを組み合わせたチャージ・ポンプ回路が2倍増幅器として機能する。タイミング図のように各スイッチを切り替えることで、入力電圧 ($V_{in\pm}$) とD-A変換器の出力電圧 ($V_{DAC\pm}$) の差分を2倍して取り出せる。これをソースフォロワ回路を介して後段に出力する。出典：カナダUniversity of TorontoとオランダBroadcom社の発表資料



このデジタル誤差補正回路の動作を考察してみよう。パイプライン型で主流となっている1.5ビット冗長構成の単位A-D変換回路では、理想状態での入出力関係を以下のように表せる。

$$V_{out} = 2V_{in} - D_{out} \cdot V_{ref} \quad (1)$$

ここで、 V_{out} は単位A-D変換回路のアナログ出力電圧、 V_{in} は同アナログ入力電圧、 D_{out} は同デジタル出力、 V_{ref} は参照電圧である。式(1)は次のように変形できる。

$$V_{in} = \frac{V_{out}}{2} + \frac{D_{out} \cdot V_{ref}}{2} \quad (2)$$

実際の回路では、コンデンサの静電容量に不整合があったり、オペアンプの入出力特性に非線形性があったりする。これらを考慮すると、式(2)は次式で近似できる。

$$V_{in} \approx \alpha_{1,j} \cdot V_{out} + \alpha_{3,j} \cdot V_{out}^3 + w_j \cdot D_{out} \cdot V_{ref} \quad (3)$$

ここで、 α は各ステージのアナログ入出力信号伝達関数の逆関数を近似する多項式の係数であり、 $\alpha_{1,j}$ が1次の項、 $\alpha_{3,j}$ が3次(歪み)の項、 w_j は各ステージの重み付け係数、添え字のjはパイプライン・ステージの段数である。

デジタル誤差補正回路は、参照電圧生成用D-A変換器の出力電圧を入力して、変換結果として得られたデジタル値と、参照電圧生成用D-A変換器に与えたデジタル値とを比較し、両者の差が最小になるように $\alpha_{1,j}$ と $\alpha_{3,j}$ 、 w_j それぞれの値を設定する。この作業をパイプラインの後段から前段に向かって1段ずつ順番に実施していく。

この補正技術により、補正前は約40LSB (Least Significant Bit) だった誤差を1LSBまで低減した。90nmのCMOS技術で製造し、主な特性は、変換精度の指標となるSNDR (Signal to Noise and Distortion Ratio) が53dB、消費電力が55mW、FOMが1変換当たり310fJである。インターリーブを用いない10ビットA-D変換器としては、これまでに報告されている成果で最も高速・低電力である。

オペアンプを使わずに2倍増幅を実現

パイプライン型A-D変換器において、オペアンプは前段から受け取った電圧値を正確に2倍に増幅する役割を担う。ところが冒頭で述べたように、プロセス技術の微細

化とともに演算精度が劣化し、大きな誤差を生じ始めている。そこでデジタル誤差補正を使って所要の精度を確保する手法が提案されているわけだが、「それならば、いっそオペアンプを使わずに2倍増幅を実現しよう」という発想が出てくる。それがカナダUniversity of TorontoとオランダBroadcom社が共同開発したパイプライン型A-D変換器だ(講演番号は9.2)。同じ充電状態のコンデンサを2個、直列に接続して2倍の電圧を取り出す手法を採る。

両者が開発した2倍増幅回路を図4に示す。コンデンサとスイッチを組み合わせたチャージ・ポンプ回路を使う。まず入力の変動信号 (V_{in+} と V_{in-}) を静電容量が同じコンデンサ (C_1 と C_2) でそれぞれ標準化し、次にこれらのコンデンサを直列に接続すれば、約2倍の電圧を作り出せる。後はこれをソースフォロワ回路でバッファしてやれば良い。実際の増幅率は、寄生容量の存在により厳密に2倍とはならず、1.75倍程度になってしまうが、これについてはデジタル誤差補正回路で補償できる。これにより今回は、分解能が10ビットのときに、未補正では20LSB程度あった積分非直線性誤差(INL)が1LSB以下に抑えられた。

製造技術は0.18 μm のCMOS。SNDRは58.2dB、変換速度は50Mサンプル/秒、消費電力は9.9mW、FOMは1変換当たり300fJである。

(松澤昭：東京工業大学)

*1) A-D変換器のFOM(Figure of Merit)は次式で求められる。ただしPは消費電力、 $2 \times BW_{eff}$ 、 F_S は実効帯域幅(BW_{eff})を2倍した値もしくはサンプリング周波数(F_S)のいずれか一方、ENOBは有効ビット分解能、 $E_{CONVERSION}$ は変換ステップ当たりの消費エネルギーである。

$$FOM = \frac{P}{(2 \times BW_{eff}, F_S) \times 2ENOB} = \frac{E_{CONVERSION}}{2ENOB}$$

参考文献

- 松澤昭、「A-D変換器の新たな地平拓く、極限に迫る低消費技術が登場」、EE Times Japan, 2008年3月号, No.33, pp.51~55.
- 松澤昭、「A-D変換器の注目論文を解説、各方式とも着実に進化」、EE Times Japan, 2007年4月号, No.22, pp.47~49.