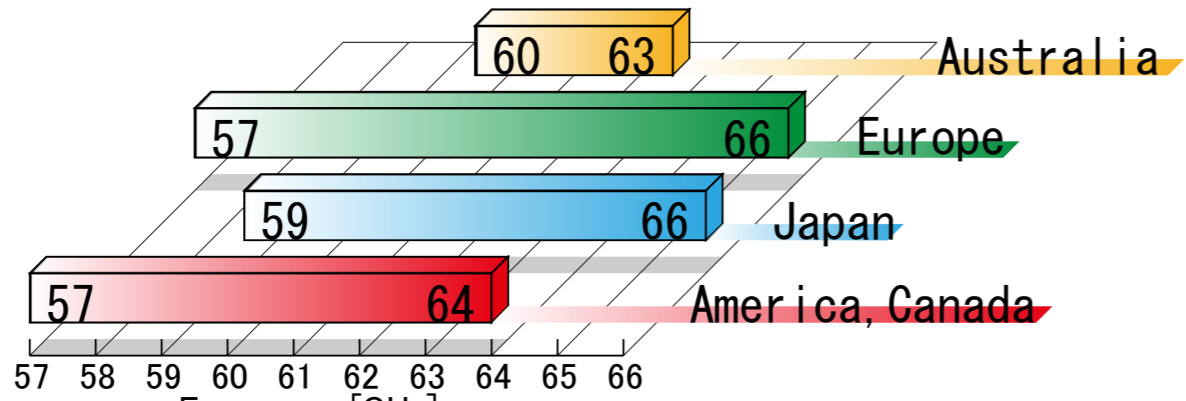


# CMOSプロセスを用いた 60GHz帯RFフロントエンドの開発

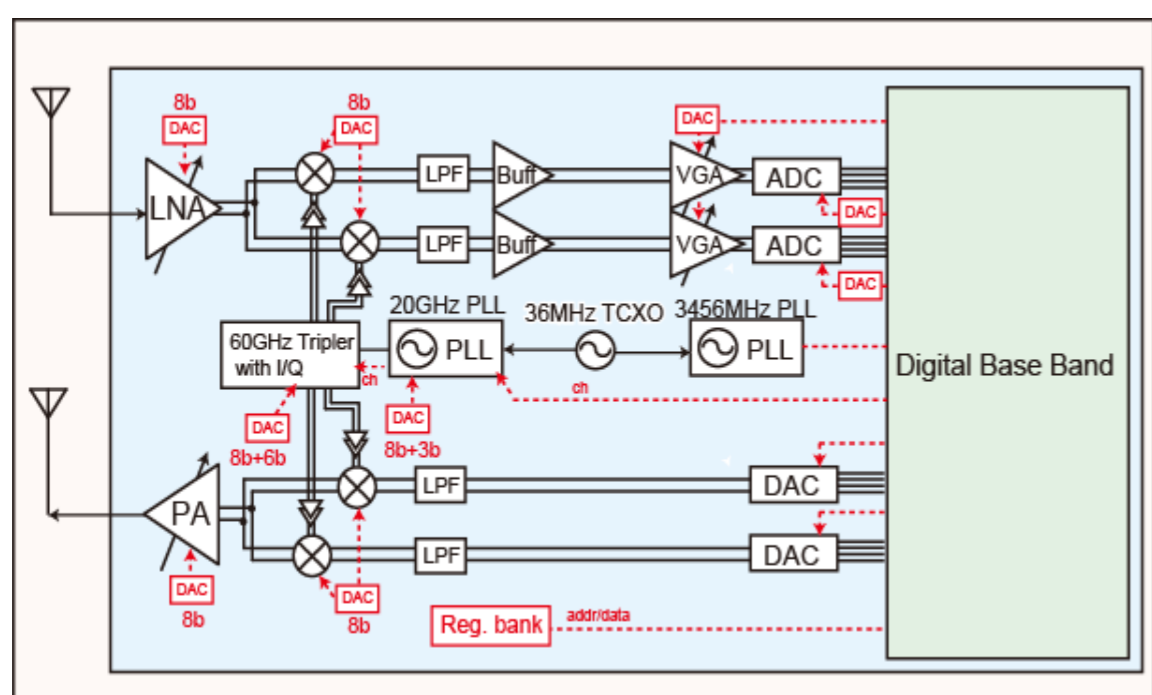
東京工業大学 大学院理工学研究科 松澤・岡田研究室

## 1, 研究背景

- 60GHz帯
  - 幅広い帯域が無免許で利用可能
  - 近距離の超高速無線通信の実現
    - QPSK (14 Gbps)



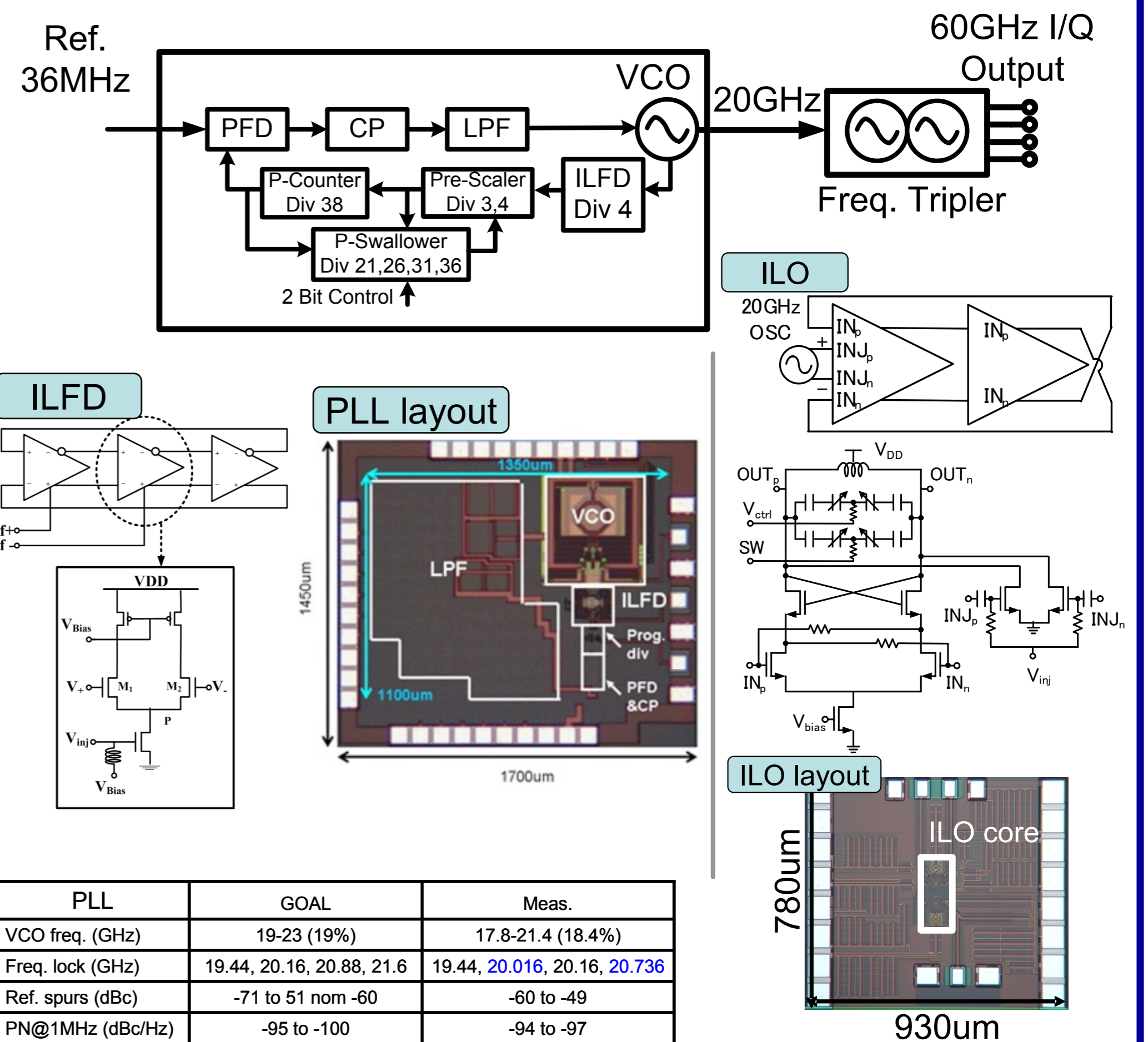
- ダイレクトコンバージョン方式
  - 60GHz PLL (20GHz PLL + 3通倍 ILO)
  - 60GHz Rx (LNA + Down Conv. Mixer)
  - 60GHz Tx (PA + Up Conv. Mixer)



RFフロントエンド構成図

## 2, 60GHz PLL

- 20GHz+周波数3通倍器により60GHzを出力



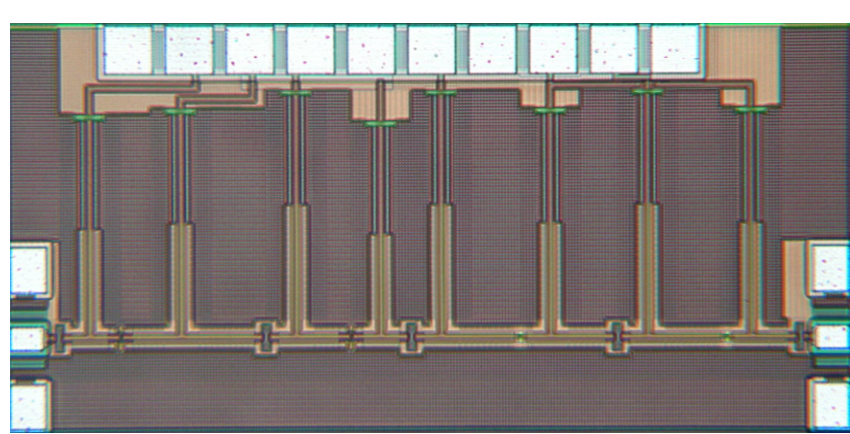
PLL	GOAL	Meas.
VCO freq. (GHz)	19-23 (19%)	17.8-21.4 (18.4%)
Freq. lock (GHz)	19.44, 20.16, 20.88, 21.6	19.44, 20.016, 20.16, 20.736
Ref. spurs (dBc)	-71 to 51 nom -60	-60 to -49
PN@1MHz (dBc/Hz)	-95 to -100	-94 to -97
Ref. freq. (MHz)	36	
Div. ratio	540, 560, 580, 600	540, 556, 560, 576
Total Power (Dig/Ana)	58.8mW (6.27 / 42.82 mA)	88.8mW (1.6 / 72.2 mA)
Supply (V)	1.2	
Area (mm <sup>2</sup> )	1.48	
Process	65nm	

ILO	GOAL	Meas.
Lock Range (GHz)	57-66	56-60
Power (mW)	40	44
OutPower	-20dBm	-30dBm

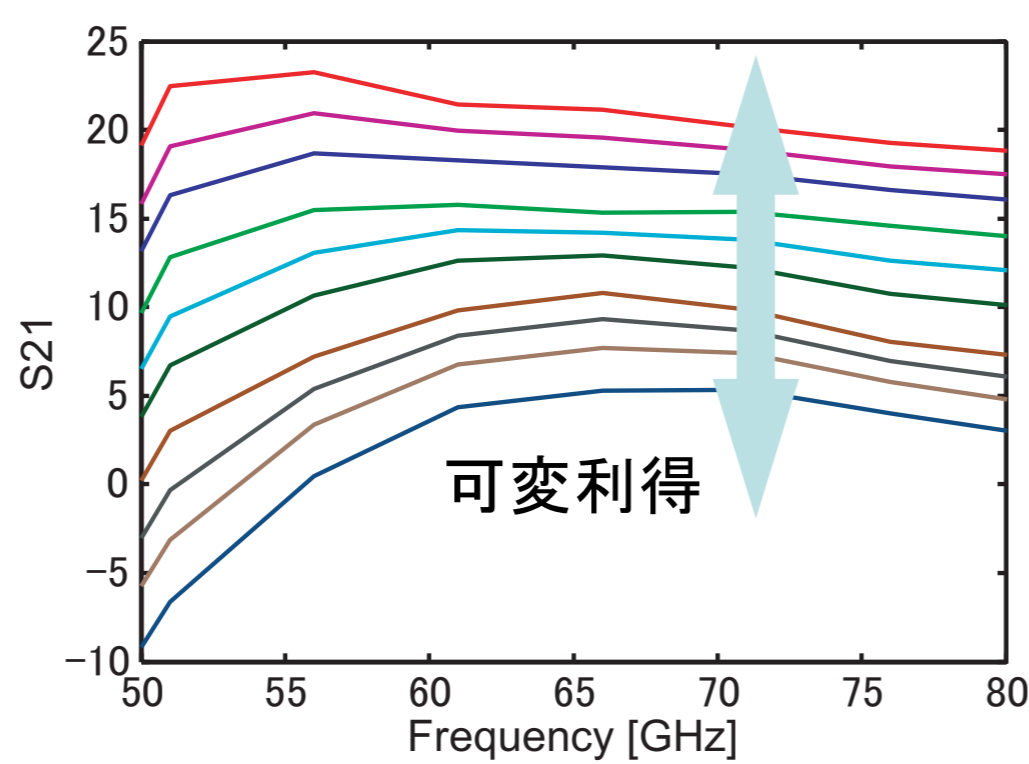
## 3, 60GHz Rx

- 60GHz Low Noise Amplifier

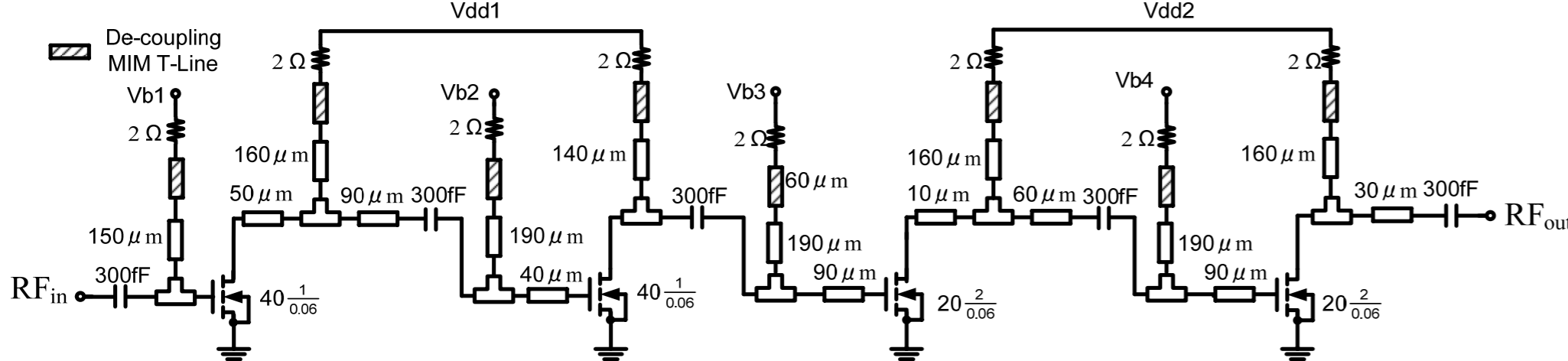
- バイアスポイントを変えることにより利得を制御
- ~23dB の利得を達成



LNA チップ写真

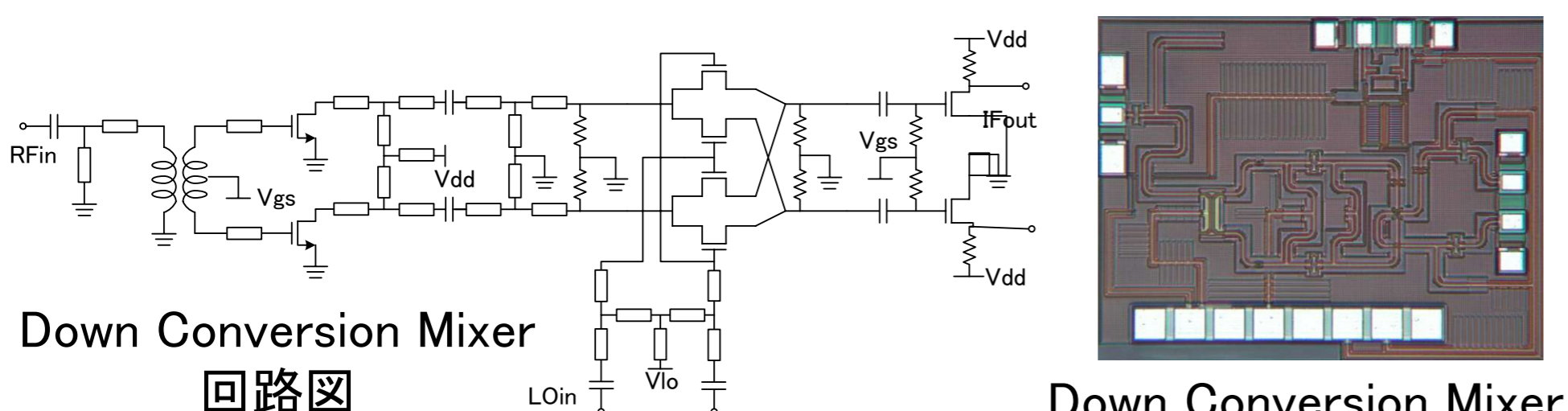


LNA 通過特性



LNA 回路図

- 60GHz Down-conversion Mixer

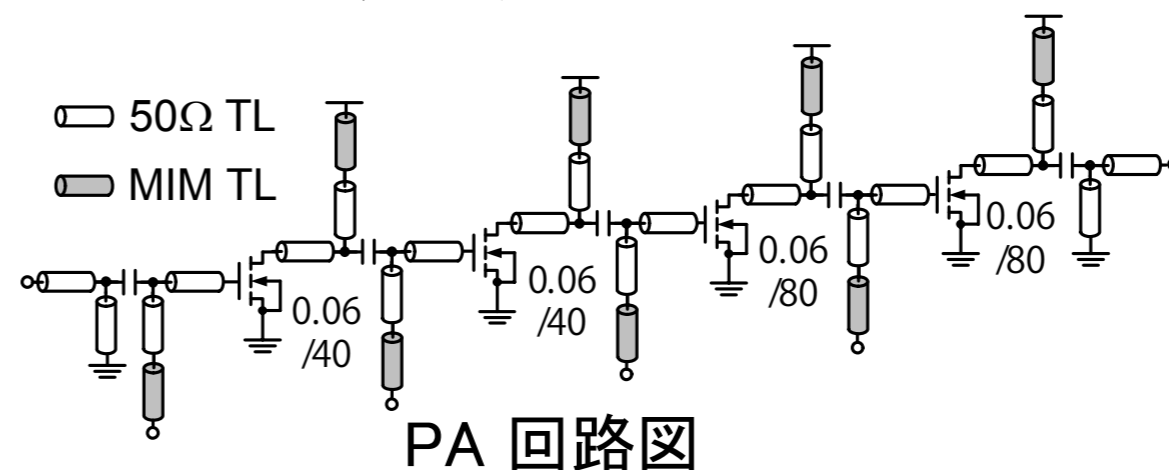


Down Conversion Mixer 回路図

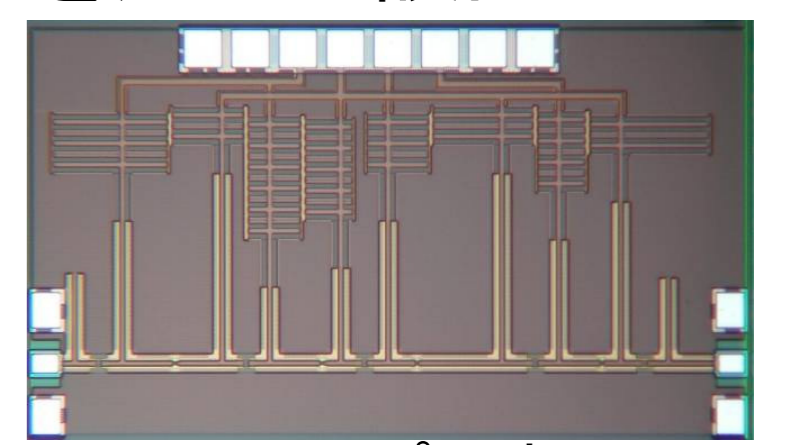
Down Conversion Mixer チップ写真

## 4, 60GHz Tx

- 60GHz Power Amplifier
  - モデリングしたコンポーネントを用いて設計



PA 回路図

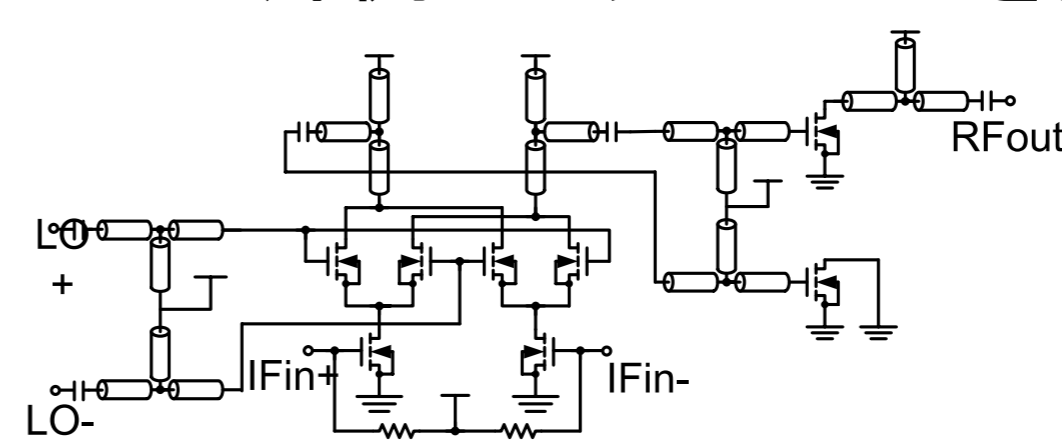


PA チップ写真

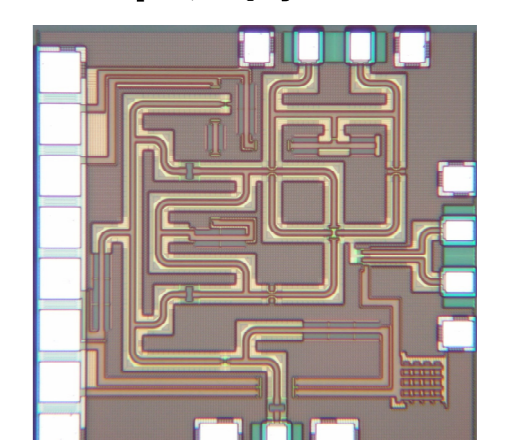
Reference	CMOS Node [nm]	Freq. [GHz]	Gain [dB]	P1dB [dBm]	PAE [%]	PDC [mW]	VDD [V]
[1] ISSCC 2009	65	60	15.8	2.5	3.95	43.5	1
[2] ISSCC 2009	45	60	13.8	11	-	-	1.1
<b>This work</b>	<b>65</b>	<b>61.5</b>	<b>20</b>	<b>9.9</b>	<b>6.68</b>	<b>144</b>	<b>1.2</b>

[1] W. L. Chan, et al., ISSCC 2009 (IMEC) [2] K. Raczowski, et al., ISSCC2009 (Arizona Univ.)

- 60GHz Up-conversion Mixer
  - ギルバートセル
  - RFの片側はトランジスタを用いて終端



Mixer 回路図



Mixer チップ写真

Reference	CMOS Node [nm]	DC Power [mW]	LO P. [dBm]	Conversion Gain [dB]	RF Output @1dB [dBm]	LO-RF Isolation [dB]
[1]RFIC2008	65	29	5	-6.5@IF=10GHz	-5	30
[2]ESSCIRC2007	65	0	9	-13.5@IF=2GHz	-19	34
<b>This work</b>	<b>65</b>	<b>19.2</b>	<b>-5</b>	<b>-0.6@IF=0.1GHz</b>	<b>-8.5</b>	<b>19.2</b>

[1] Alberto Valdes-Garcia, et al., RFIC 2008(IBM) [2] Mikko Varonen, et al., ESSCIRC 2007 (Helsinki Univ. of Tech)