

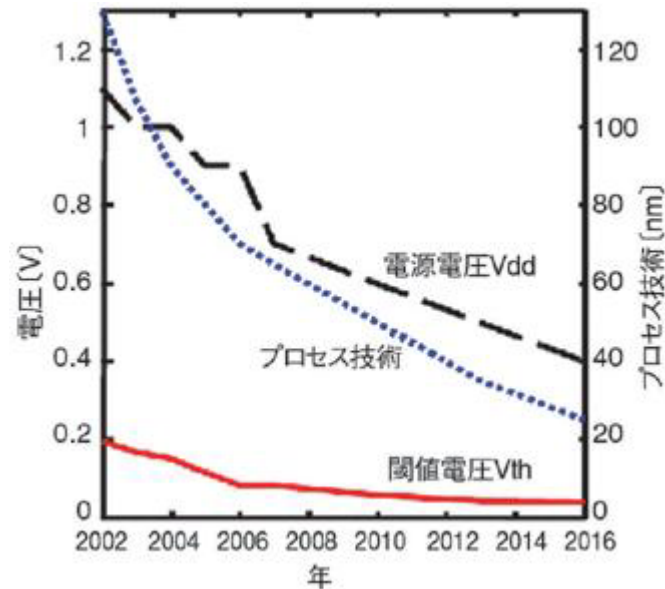
低電源電圧動作のADCのための ボディバイアス解析

グエン ティー ビック ゴック , 吉原 慶 , 宮原 正也,
岡田 健一 , 松澤 昭

東京工業大学大学院
理工学研究科電子物理工学専攻

- 研究背景
- ボディバイアス効果の検討
- 解析の結果
- まとめ

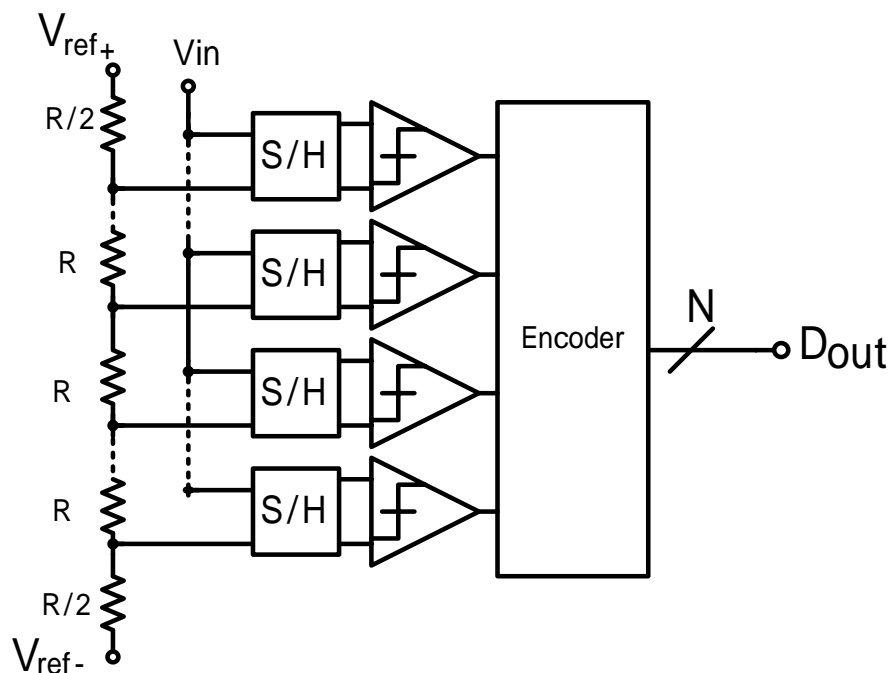
LSIの微細化・低電力化を今後も両立していくためには、電源電圧を引き下げる技術が欠かせない。



プロセス技術の微細化と電源電圧の関係

[1] <http://ednjapan.rbi-j.com/issue/2007/9/6/5211>

問題: 低電源電圧 速度低下



- 抵抗ラダー
- S/H回路
- スイッチ
- 容量
- コンパレータ
- エンコーダ(ロジック)

基本的なフラッシュ型のA/Dコンバータ

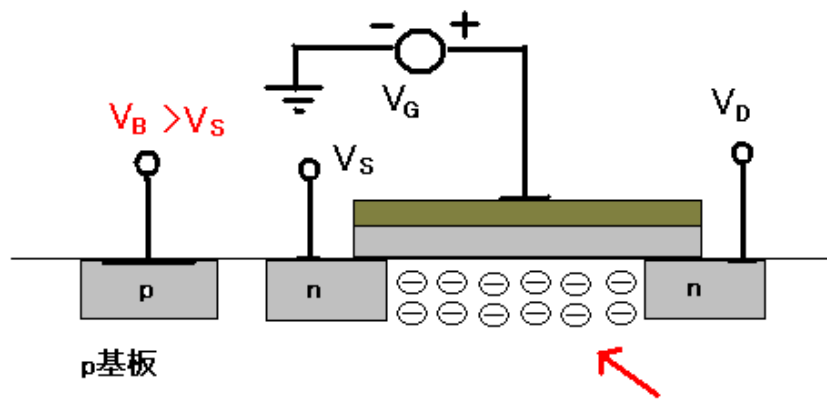
低電源電圧で高速動作の可能性について、
スイッチ、ロジック、コンパレータの解析を行う。

ボディバイアス効果

$$V_{TH} = V_{TH0} + \gamma (\sqrt{|2\Phi_F - V_{BS}|} - \sqrt{|2\Phi_F|})$$

Φ_F フェルミポテンシャル
 γ 基板バイアス効果係数

$V_{BS} > 0$: フォワードボディバイアス (FBB)

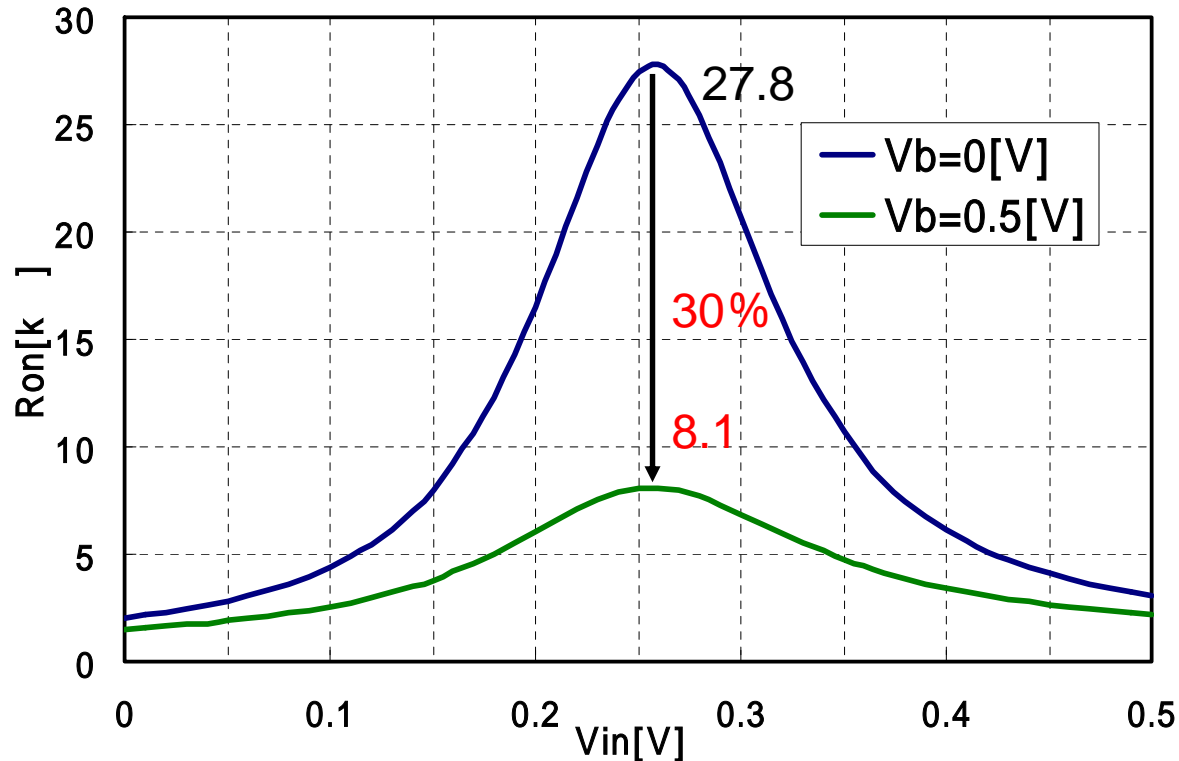


Siのpn結合のしきい値
 (0.6~0.7V)を考慮し、 $V_B = 0.5V$ で
 解析する

表1 . FBBにより、トランジスタのしきい値変化

V_{th} [V]	NMOS	NMOS _{lvt}	NMOS _{hvt}	PMOS	PMOS _{lvt}	PMOS _{hvt}
no bias	0.29	0.22	0.38	0.28	0.22	0.36
FBB (0.5V)	0.20	0.16	0.29	0.21	0.12	0.26

FBBによるスイッチの性能も向上する



CMOS_{I_{vt}}のオン抵抗特性[k Ω]

FBBによるスイッチのオン抵抗への影響が大きい

FBBによるロジックの遅延時間解析

NOT, NAND, NORそれぞれバイアスした時としない時
で立上り、立下り時間の比較

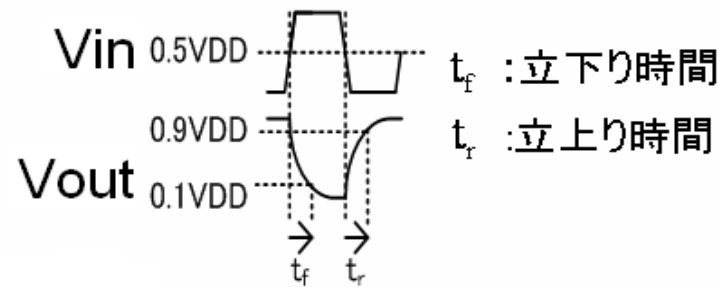
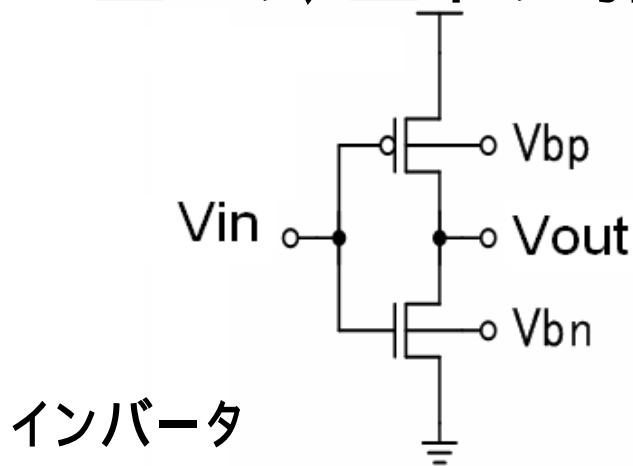


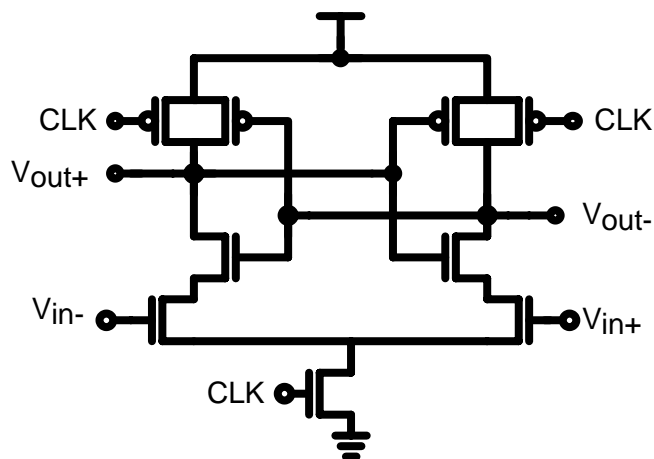
表2 . FBBによるロジックの遅延時間[ps]

遅延時間[ps]	NOT		NAND		NOR	
	t_r	t_f	t_r	t_f	t_r	t_f
no bias	40	32	59	121	115	23
FBB(0.5V)	27	21	41	74	73	15

FBBによるロジックの遅延時間への影響は少ない。

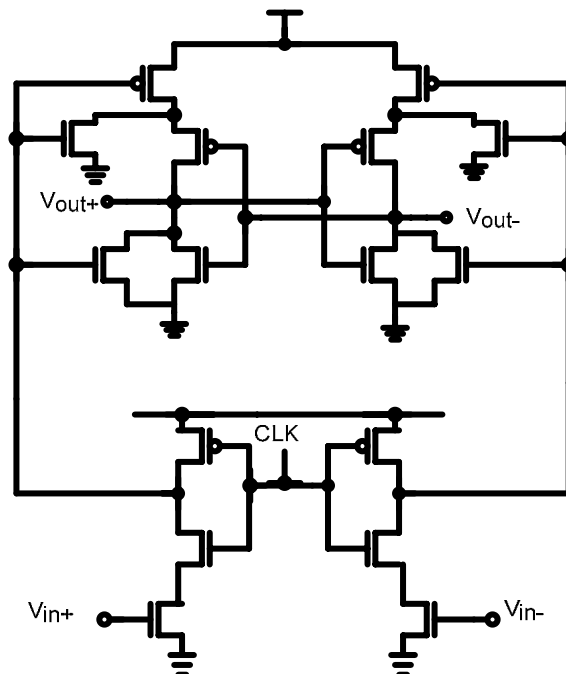
コンパレータの精度と応答速度がFlash ADC の性能を決定する

スタック数 : 4



Conventional(Conv.) [2]

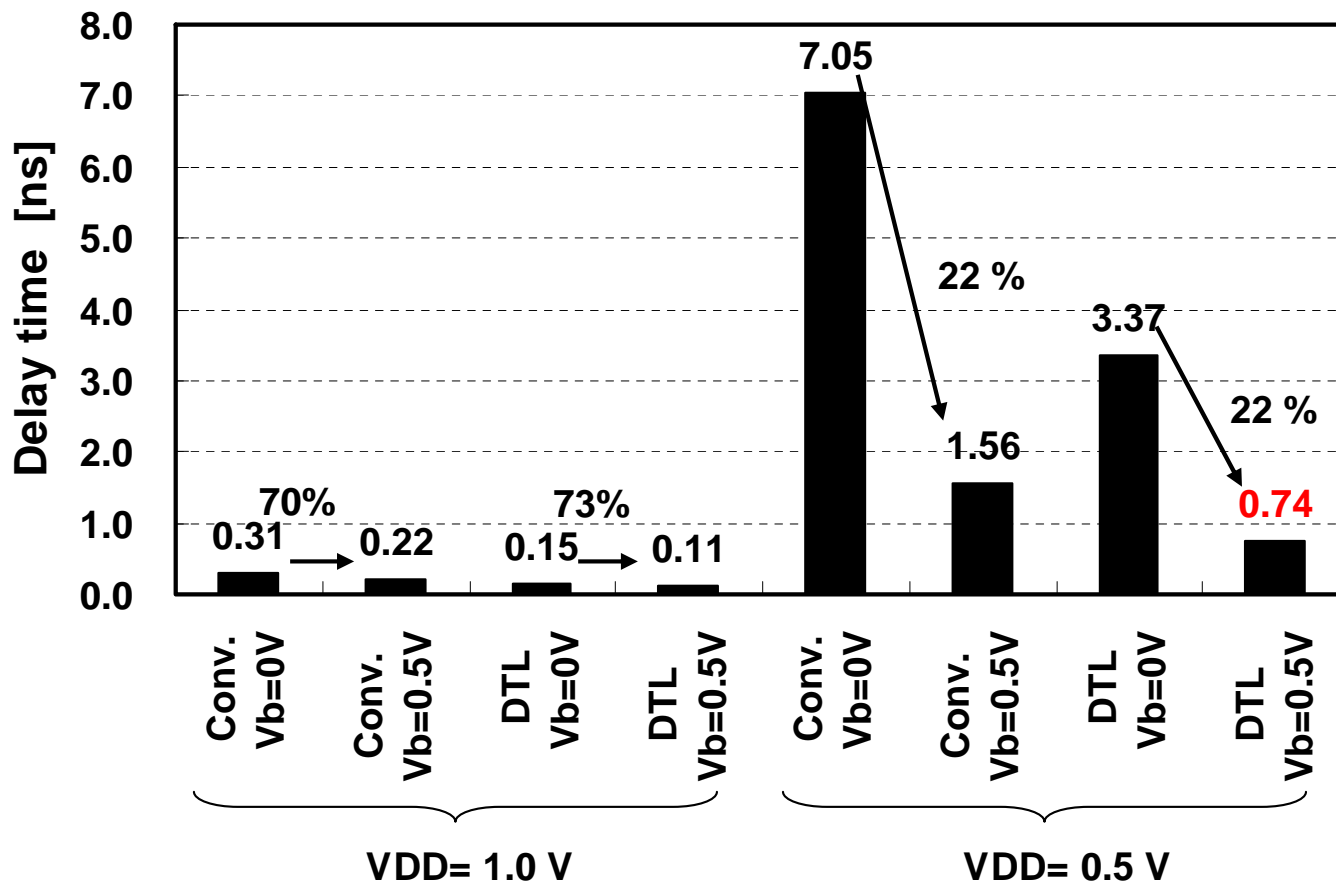
スタック数 : 3



Double Tail Latch(DTL) [3]

[2]B.Verbruggen, *et al.* ISSCC, pp.252-253, 2008.

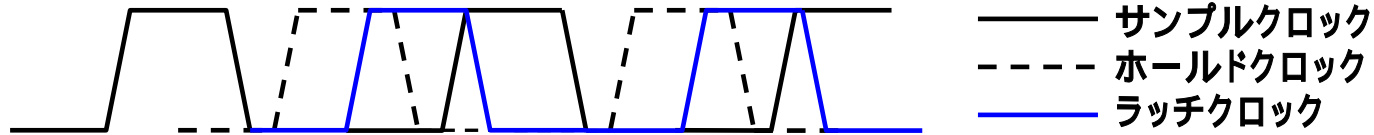
[3]M.Miyahara, *et al.* IEEE ASSCC, pp.269-272, 2008.



DTLコンパレータは低電源電圧に高速動作可能

Flash ADCが正確に動作する条件

$$T_{S/H} + T_{COMP} < 1/2f_s$$
$$T_{COMP} + T_{LOGIC} < 1/f_s$$



S/H容量は10fFで、S/Hセットリング時間 $3 \times R_{on} \times C$ と想定したとき、Conv.とDTLを用いてADCの動作周波数の理論限界を比較

表3 . 動作周波数[MHz]

f_s [MHz]	Conv.	DTL
no bias	63	119
FBB	277	510

- ボディバイアス効果によりしきい値電圧を下げ、ADCを構成する上で重要な基本回路の動作の可能性について検討した。
- ボディバイアス効果により低電源電圧で **510MHz**動作の可能性
- リーク電流、消費電力に関しては今後検討していく必要がある。