

60 GHz 注入同期型周波数4逓倍器

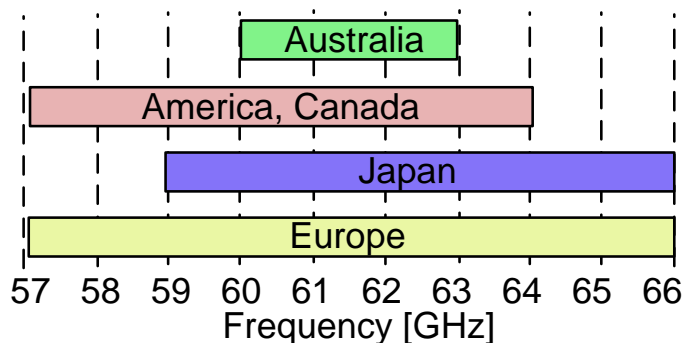
原 翔一, 岡田 健一, 松澤 昭

東京工業大学

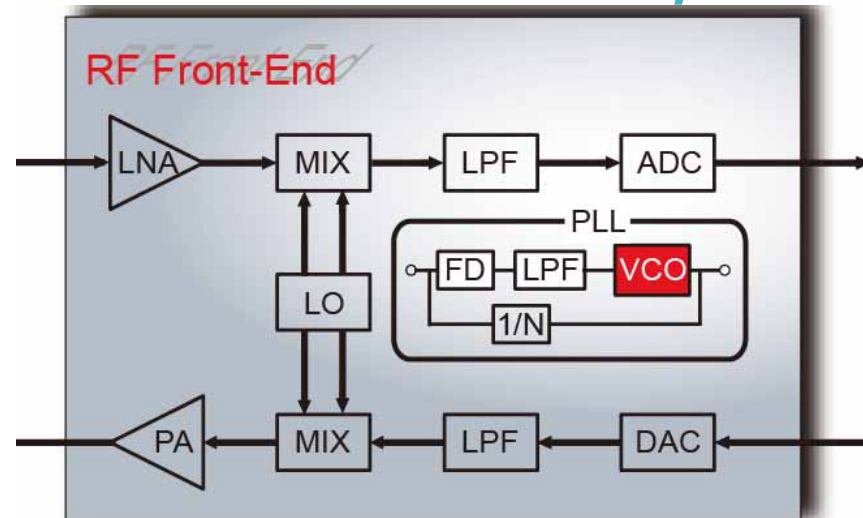
大学院理工学研究科電子物理工学専攻

- 背景・目的
- 注入同期型周波数逡倍器
- 測定結果
- まとめ

無免許で使用可能な周波数帯



[1] 総務省 電波利用HP
<http://www.tele.soumu.go.jp/index.htm>

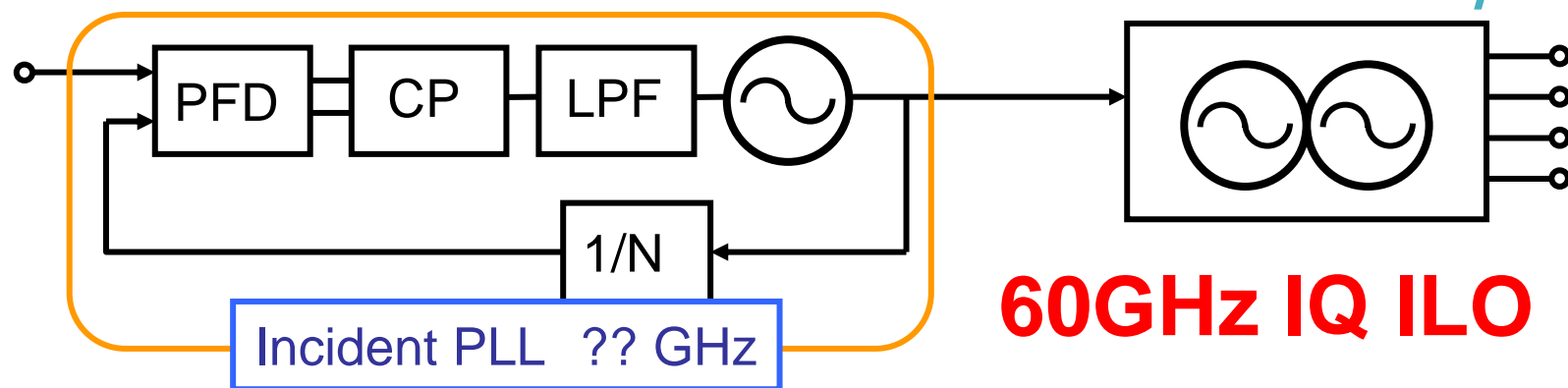


60GHz帯PLLの設計課題

- 共振器のQ値の劣化
- 寄生容量
- 消費電力
- 面積etc..

位相雑音特性劣化
周波数帯域の制限

位相雑音特性と周波数帯域のトレードオフは不可避



周波数逡倍器を使うことで設計負荷の分散を図る

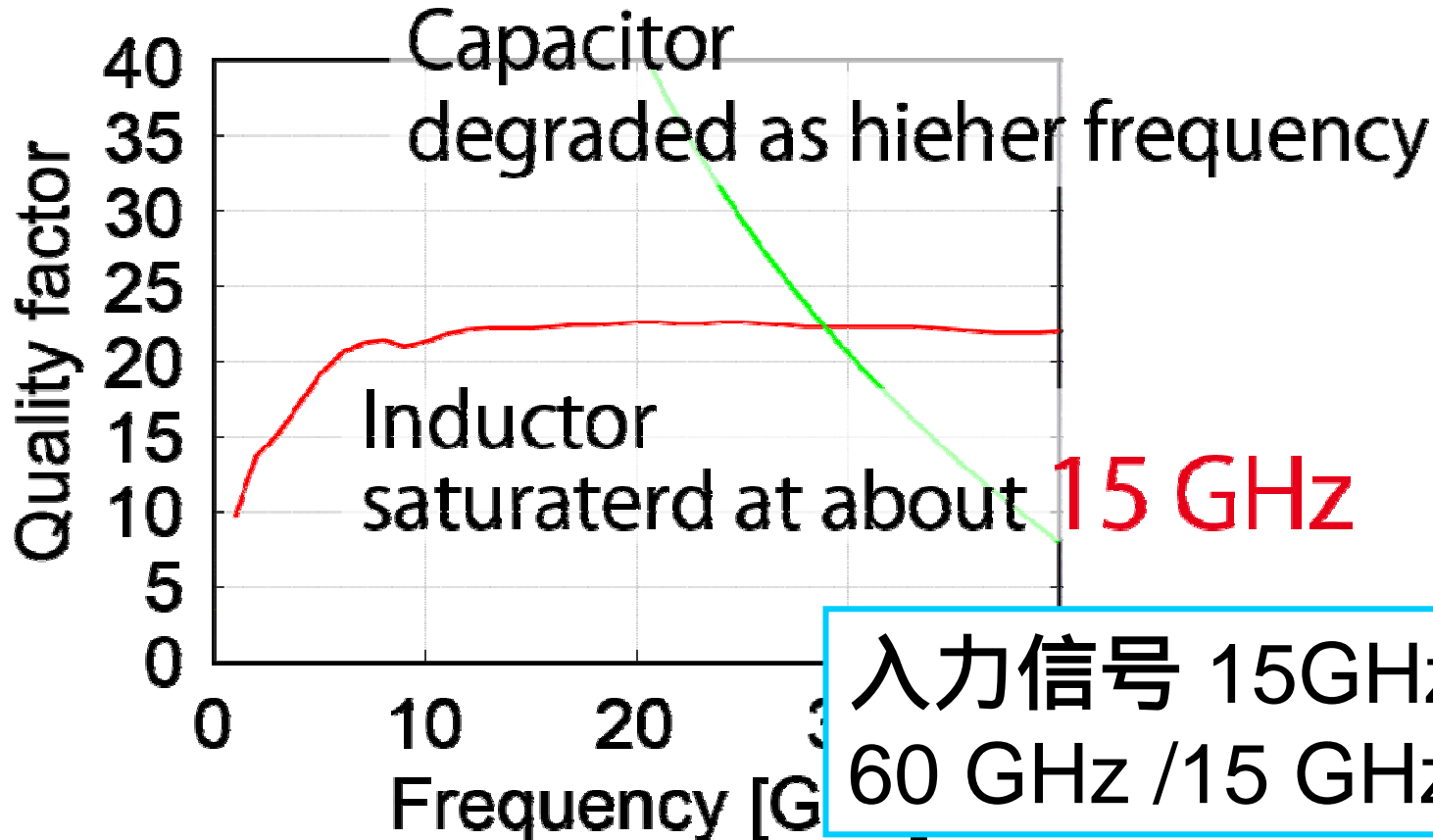
- 位相雑音特性・・・入力信号に依存 負荷緩和
- 周波数帯域・・・要求性能を満たす必要あり
- 消費電力・・・増加??

動作周波数帯域確保、低消費電力化が課題

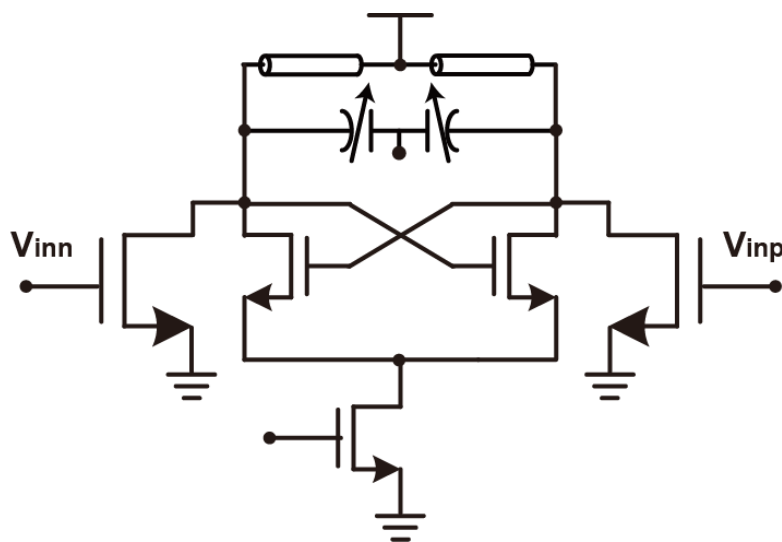
入力信号と逓倍比

- ILOの位相雑音は入力信号の位相雑音特性で決まる。
- VCOの性能は共振器のQ値でほぼ決まる。

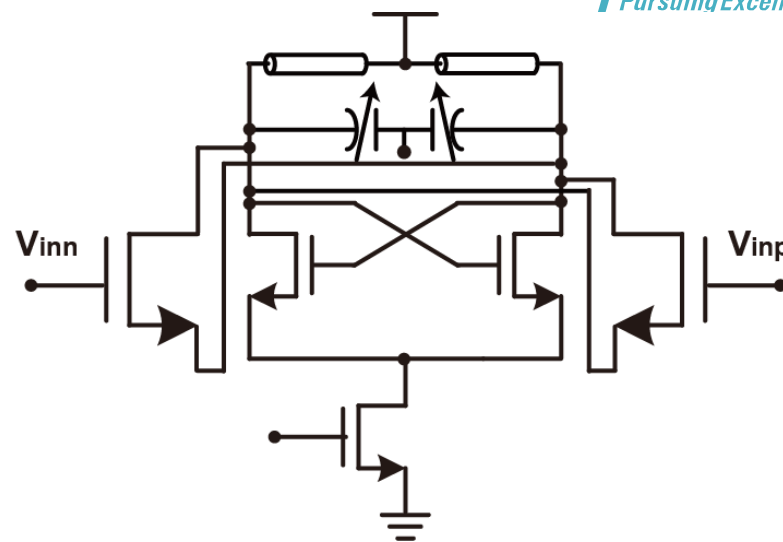
共振器の特性で入力VCO(PLL)の周波数を決定



入力信号 15GHz
 $60 \text{ GHz} / 15 \text{ GHz} = 4$ 逓倍



パラレル方式



ダイレクト方式

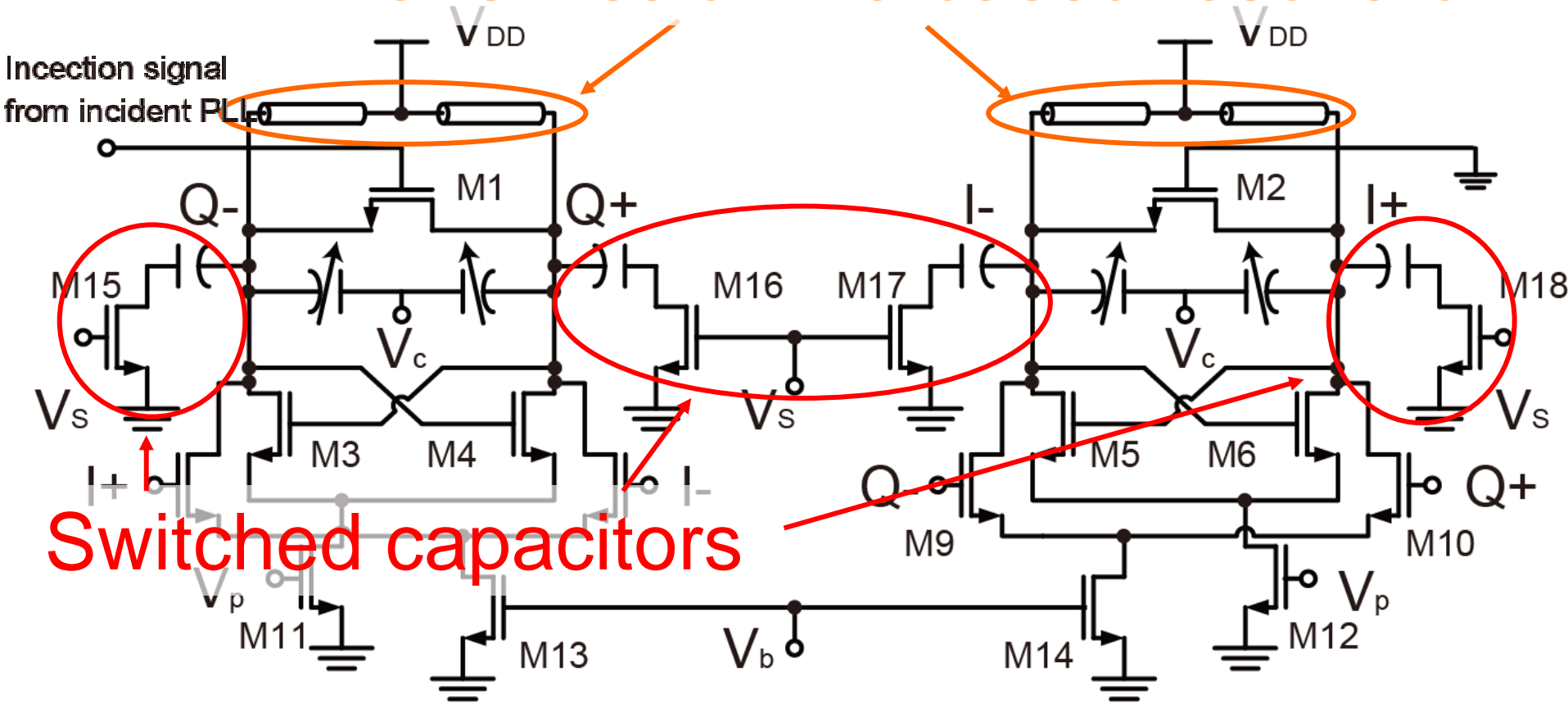
特徴:

- 奇数倍しやすい
- 偶数倍しにくい
- 共振器からみた容量大

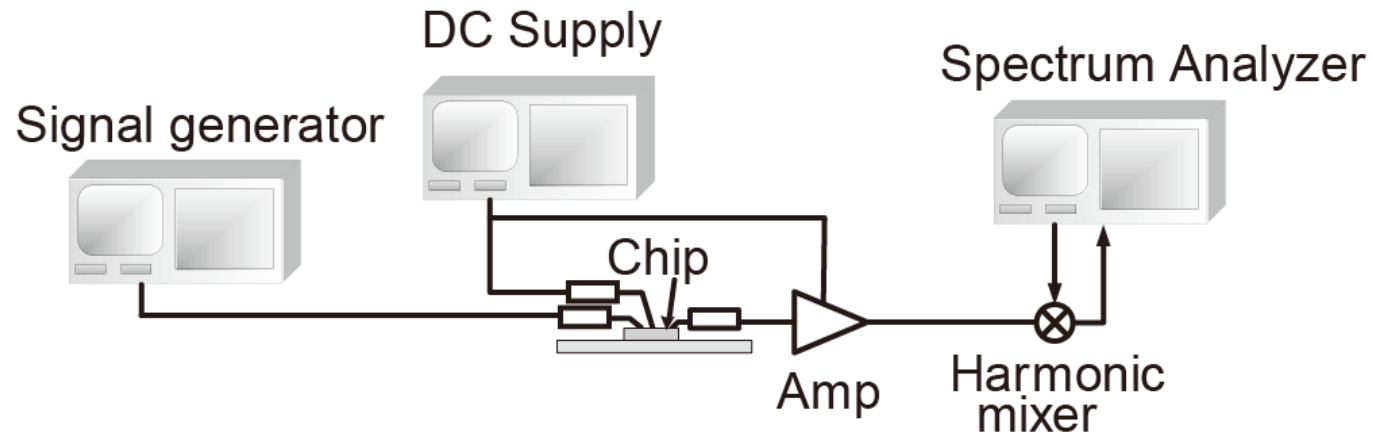
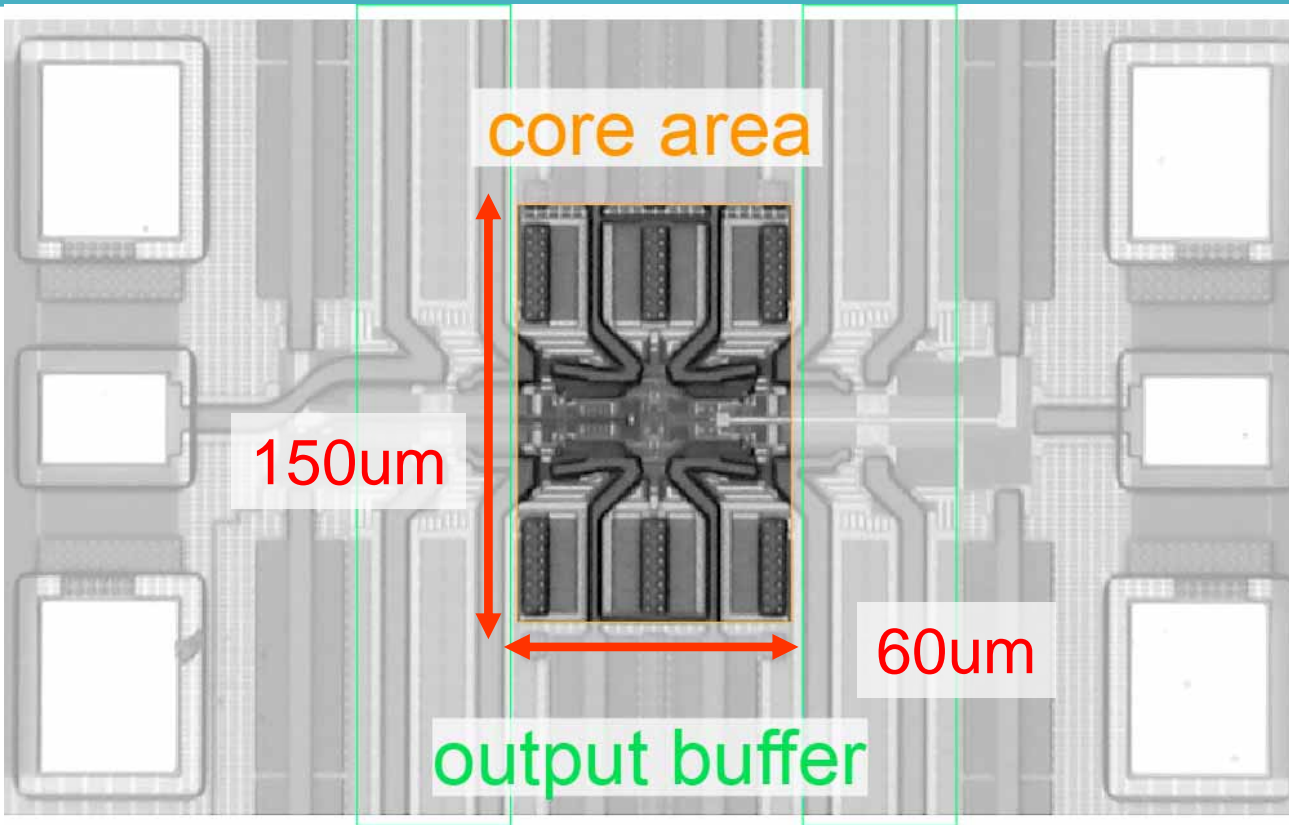
- 奇数倍しにくい
- 偶数倍しやすい
- 共振器からみた容量小

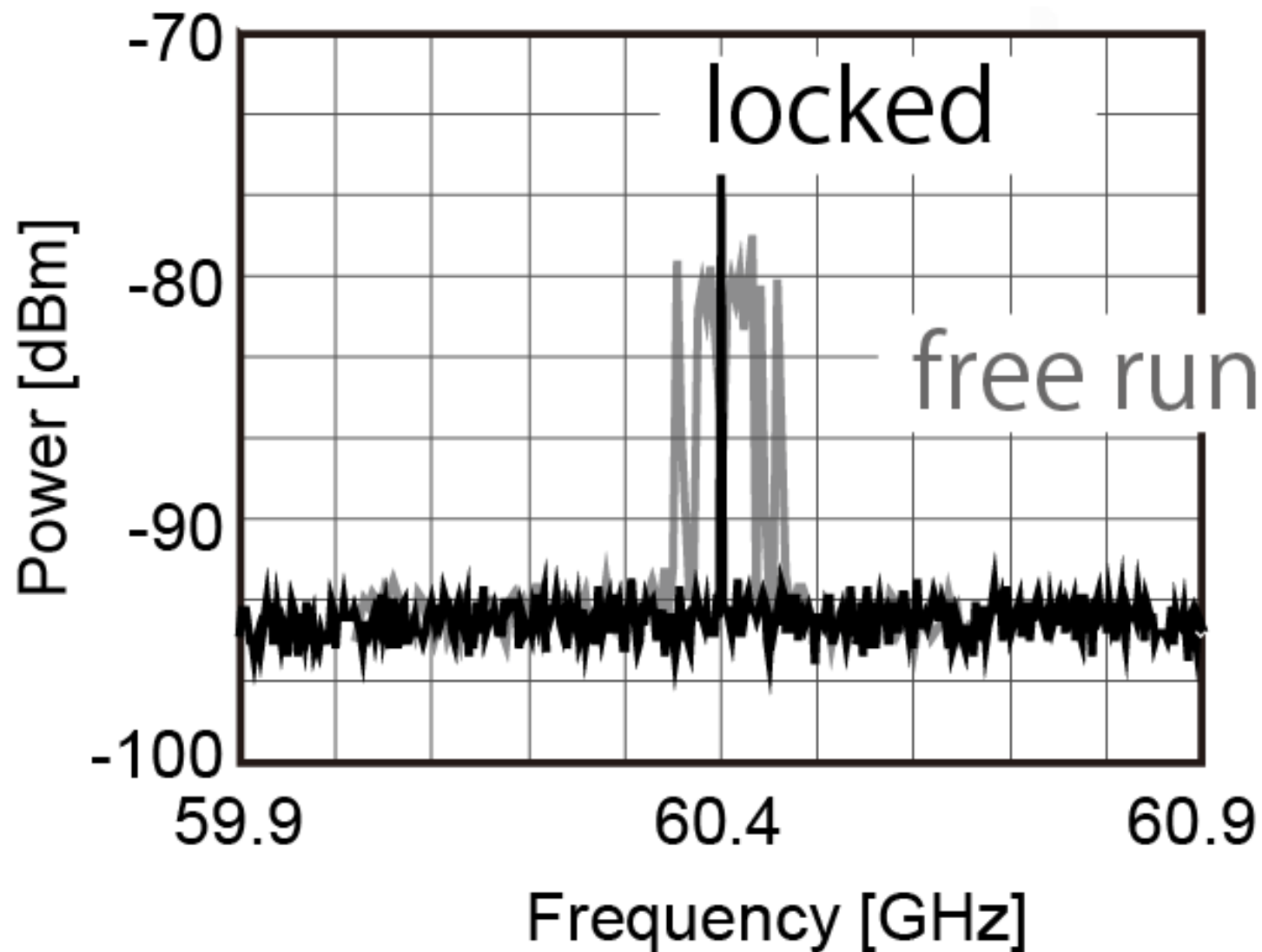
ダイレクト方式の4逓倍器を試作

Transmissionline-based resonator



Target frequency range : 57 to 66 GHz





	提案回路	ISSCC2008[1]
プロセス	CMOS 65nm	CMOS 90nm
電源電圧	0.6 [V]	1.0 [V]
注入方式	ダイレクト方式	パラレル方式
逓倍比	4	3
入力周波数	15 [GHz]	20 [GHz]
チューニングレンジ	56.3 - 63.3 [GHz]	59.7 - 60.6 [GHz]
ロックレンジ	60.36 - 60.44 [GHz]	56.5 - 64.5 [GHz]
消費電力	3.1 - 6.8 [mW]	9.6 [mW]

[1] W. L. Chan, et. al, ISSCC2008

2009/03/19

- 60GHz帯注入同期型周波数4逓倍器の提案を行った.
- 実測により、動作周波数帯域:56.3-63.3 GHz、消費電力:3.1 mWの性能を実現した.

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。