

# 0.5 V 級 LSI 実現のための クロックジェネレータの高速化及び低ジッタ化の検討

A Study of high speed and low jitter clock generator for a 0.5 V power supply

佐藤 高洋  
Takahiro Sato

原 翔一  
Shoichi Hara

岡田 健一  
Kenichi Okada

松澤 昭  
Akira Matsuzawa

東京工業大学 理工学研究科 電子物理工学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

## 1 はじめに

CMOS LSI の微細化による高集積化、高性能化は、スケール則に則って進められてきた。この法則によれば、微細化により低消費電力化が実現できる。しかし急速な動作周波数、チップ面積の増大により実際には年々増大する傾向にあり、LSI の低消費電力化が強く求められている。CMOS LSI の動作時の消費電力を決めている充放電による消費電力は、ほぼ電源電圧の 2 乗に比例する。従って、電源電圧の低減が低消費電力化に最も有効である。図 1 に国際半導体技術ロードマップ (ITRS) による電源電圧の将来予測を示す。動作速度を確保しつつ、電源電圧を低くするには、トランジスタの閾値電圧の低減を行う必要がある。しかしサブスレッショルド領域では、ドレイン電流はゲート電圧に対して指数関数的な依存性を示すため、閾値電圧を低減すると著しくリーク電流が増大する。そのため実際には ITRS2000 の予測よりも低電圧化は進んでいない。本論文では、同期式デジタルシステムに必要な不可欠な要素回路であるクロックジェネレータの低電圧化について検討を行った。

## 2 低電圧化

一般的なクロックジェネレータにはリング型発振器が用いられる。リング発振器の位相雑音は式 1 で与えられる [1]。

$$\mathcal{L} = \frac{\omega_0^2}{\omega_{\text{offset}}^2} \cdot \frac{kT}{V_{\text{DD}} I_{\text{bias}}} 2M \cdot \left\{ \frac{V_{\text{DD}}}{V_{\text{DD}} - V_{\text{TH}}} (\gamma_n + \gamma_p) + 1 \right\} \quad (1)$$

この式から低電圧時、リング型発振器の位相雑音特性が劣化することがわかる。また式 2 は LC 発振器の位相雑音特性である [2]。

$$\mathcal{L} = \frac{\omega_0^2}{\omega_{\text{offset}}^2} \cdot \frac{kT}{V_{\text{DD}} I_{\text{bias}}} \cdot \frac{1 + \gamma_n}{Q^2} \quad (2)$$

この式から LC 型発振器は消費電力が同程度のリング型発振器と比較すると 30dB 以上位相雑音特性が改善する。これはクロックジェネレータから生じるジッタに換算すると 31.6 倍もの性能差となる (図 2)。また、サンプリングレートの上昇により要求されるクロックジェネレータの動作速度は年々上昇している。リーク電流のために閾値電圧が下げられない状況下で、電源電圧を低くすると駆動電流が小さく制限される。リング型発振器は発振周波数が容量と電流に依存するため、低電圧化により駆動電流が小さくなると、発振周波数が低くなってしまふ。

このような問題を打破するために、本論文ではクロックジェネレータに LC 型発振器を用いることを提案する。これまで述べたように LC 型発振器はリング型発振器と

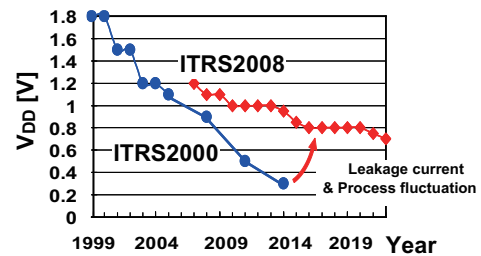


図 1 電源電圧の将来予測

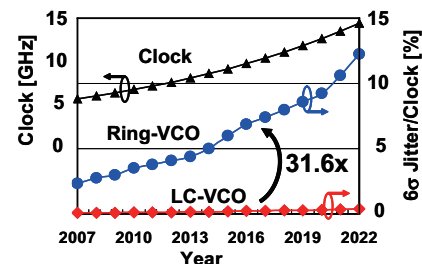


図 2 クロックジェネレータの動作速度とフェイズジッタの将来予測。

比較してフェイズジッタが 1/30 以下である。また、LC 型発振器の発振周波数は LC 共振器の共振周波数に依存する。そのため低電圧化しても発振周波数はほとんど変化しない。LC 共振器に用いられるインダクタの面積は発振周波数が高くなるほど小さくすることができる。そのためクロックジェネレータに LC 型発振器を用いることで、高速、低消費電力、低ジッタなクロックジェネレータを妥当な面積で実現することができる。

## 3 まとめ

低電圧クロックジェネレータについての問題点を検討し、従来のリング型発振器ではなく LC 型発振器を用いる手法を提案した。LC 型発振器を用いることで高速、低消費電力、低ジッタなクロックジェネレータを妥当な面積で実現することができることを示した。

### 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

### 参考文献

- [1] A. Abidi, "Phase noise and jitter in cmos ring oscillators," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 8, pp. 1803–1816, Aug. 2006.
- [2] A. Mazzanti and P. Andreani, "Class-C harmonic CMOS VCOs, with a general result on phase noise," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 2716–2729, Dec. 2008.