

低電源電圧動作のADCのためのボディバイアス解析

Analysis of Body Bias on ADCs for Low Supply Voltage Operation

グエン ティー ビック ゴック
Nguyen Thi Bich Ngoc

吉原 慶
Kei Yoshihara

宮原 正也
Masaya Miyahara

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、MOS トランジスタ (Tr.) の微細化および低消費電力化が進んでいる。それに従い低電源電圧動作への要求が増している。低電源電圧化を達成するためには、しきい値電圧を下げる必要がある。本発表では、その方法として 90 nm プロセスの MOS Tr. を用い、0.5 V の低電源電圧でボディバイアス効果を検討した。また、ボディバイアス効果による ADC に不可欠であるロジック、スイッチ、コンパレータの性能への影響を解析した。

2 ボディバイアス効果の検討

ボディバイアス効果は次式で与えられる。

$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|\Phi_F|}) \quad (1)$$

ここで、 V_{TH0} はバイアスをしない状態でのしきい値電圧、 V_{SB} はソース・基板間電圧、 γ は基板バイアス効果係数、 Φ_F はフェルミポテンシャルである [1]。

$V_{SB} < 0$ のとき、基板・ソース間に順バイアスをかけると考えられ、空乏層にキャリアが増え、電流が大きく流れる。そのため、 V_{TH} を下げられる。

3 ボディバイアス効果の解析

ボディバイアス効果を解析するため、90 nm プロセスの MOS Tr. を用い、0.5 V の低電源電圧でボディバイアスを変化させ、シミュレーションを行った。バイアスしない場合と 0.5 V のフォワードボディバイアスした場合のしきい値電圧、ロジック回路の速度、CMOS スwitchのオン抵抗を比較した。そして、図 1 に示す Conventional(Con.) 及び Double Tail Latch(DTL)[2] のコンパレータの性能も比較した。結果を表 1, 2, 3 及び図 2 に示す。

これらの結果より、フォワードボディバイアスをかけるとしきい値電圧、Switchのオン抵抗を下げられ、ロジック回路やコンパレータの速度を上げられることが確認できた。また、DTL は Con. より MOS のスタック数が少ないため、低電源電圧でより高速動作が可能であることを示した。以上の結果より、1 GHz 程度で動作可能であると確認した。

4 まとめ

本発表ではボディバイアス効果によりしきい値電圧を下げ、ADC を構成する上で重要な基本回路の動作の可能性について検討した。検討結果より、1 GHz 程度での動作の可能性を確認した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、並びに、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] B. Razavi, "Design of analog cmos integrated circuits,."
- [2] M. Miyahara, et al. *IEEE Asian Solid-State Circuits Conference*, pp. 269–272, 2008.

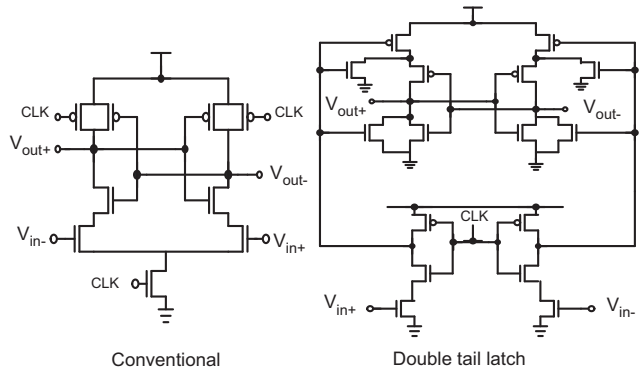


図 1 コンパレータの回路図

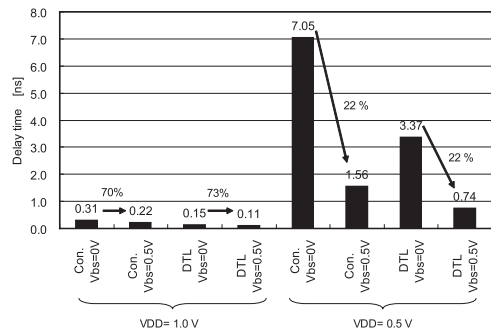


図 2 バックゲート効果によるコンパレータの速度の比較

表 1 バイアス効果によるしきい値の比較 [V]

V_{BS}	nmos	nmos _{lvt}	nmos _{hvt}	pmos	pmos _{lvt}	pmos _{hvt}
0	0.29	0.22	0.38	0.28	0.22	0.36
0.5	0.20	0.16	0.29	0.21	0.12	0.26

表 2 バイアス効果によるロジックの遅延時間 [ps]

V_{BS} [V]	NOT		NAND		NOR	
	t_r	t_f	t_r	t_f	t_r	t_f
0	40	32	59	121	115	23
0.5	27	21	41	74	73	15

表 3 バイアス効果によるSwitchのオン抵抗 [kΩ]

V_{BS} [V]	CMOS	CMOS _{lvt}
0	118	27.8
0.5	22	8.1