

並列型ADC用の参照電圧回路の RC遅延に関する検討

白 戴和, 宮原 正也, 岡田 健一, 松澤 昭

東京工業大学

大学院理工学研究科電子物理工学専攻

- 研究背景
- 参照電圧回路のRC遅延の計算
- 最適抵抗値の設定方法
- まとめ

- 並列型ADCで参照信号の遅延

- スイッチの抵抗値 (r_o) と抵抗ラダーの抵抗値 (R) のトレードオフ関係

- $1/r_o \propto$ クロックバッファの消費電力
- $1/R \propto$ 参照信号の消費電力

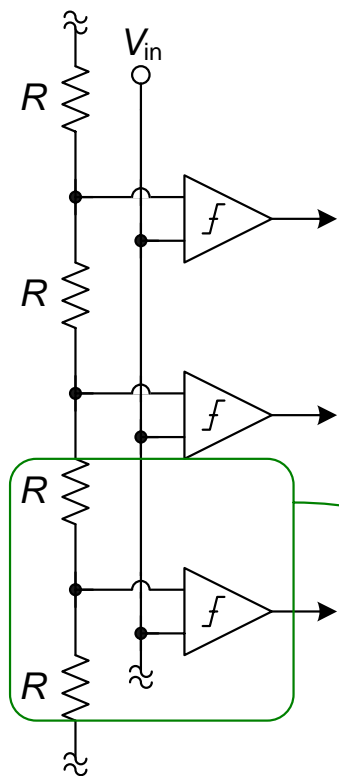
- 研究目的

- 許容可能な最大の参照回路抵抗値の導出

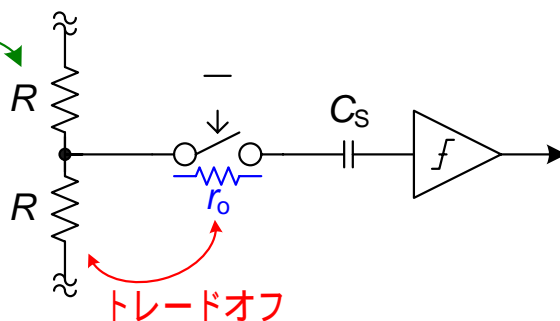
- 参照信号回路の低消費電力化

- 簡単な最適化式を導出

- 設計の効率化

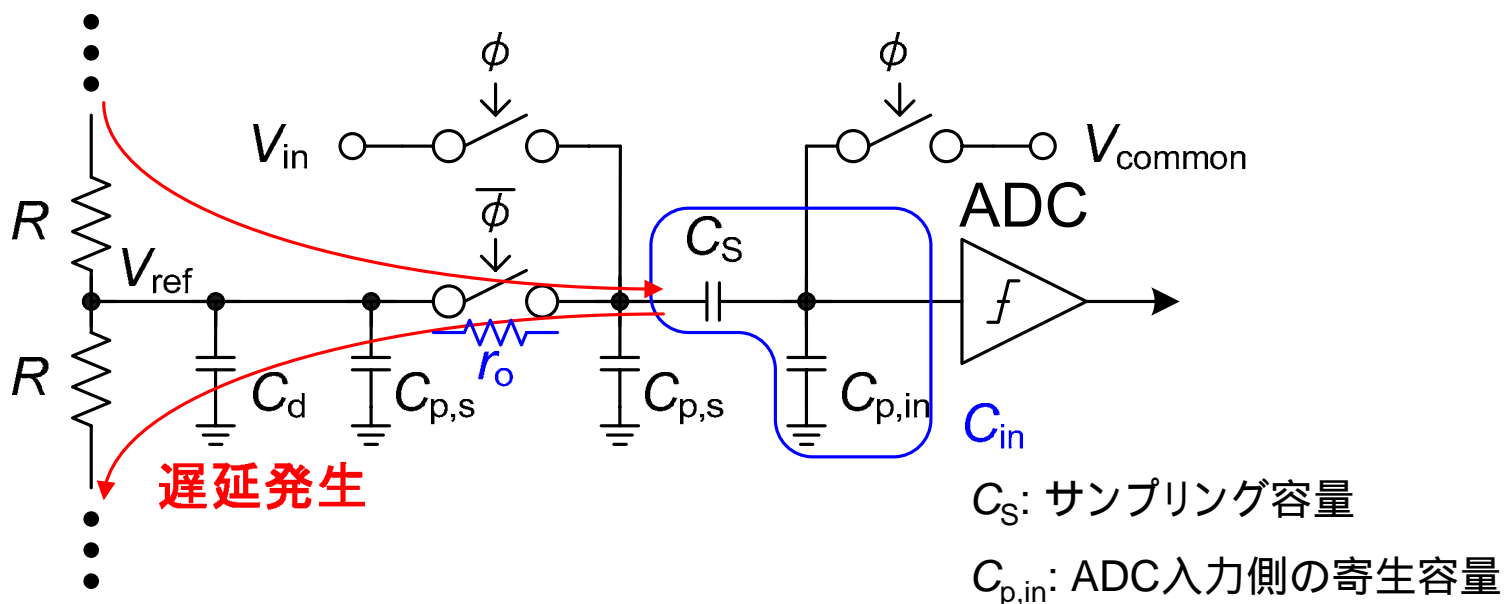


並列型ADC



遅延の原因

- 入力信号 (V_{in}) と参照信号 (V_{ref}) の差電圧
- スイッチの抵抗 (r_o) と容量 ($C_{p,s}$)
- ADCの入力側容量 (C_{in})
- 参照電圧回路の抵抗 (R) と容量 (C_d)



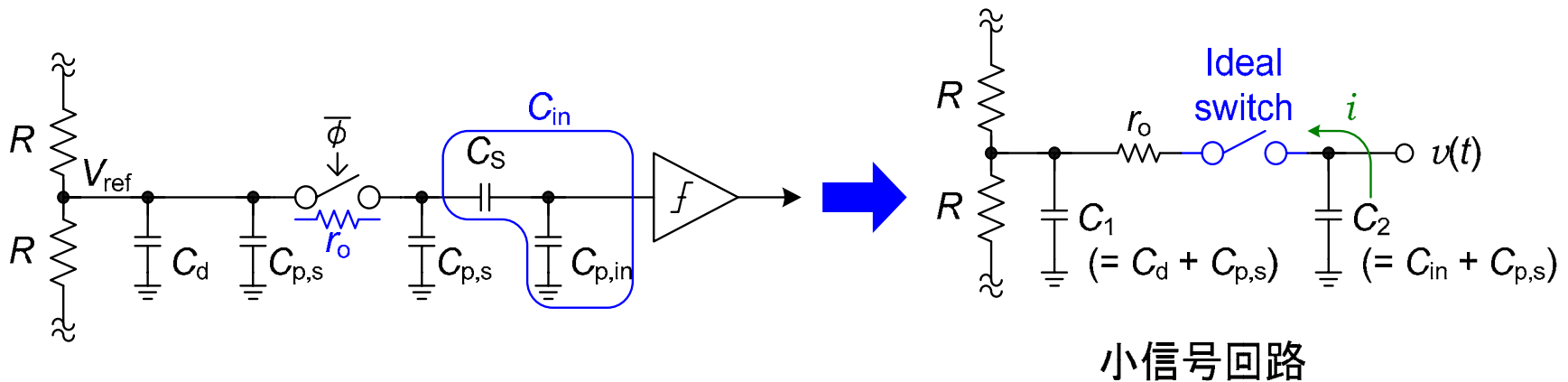
参照電圧回路の遅延モデル

• セットリング誤差

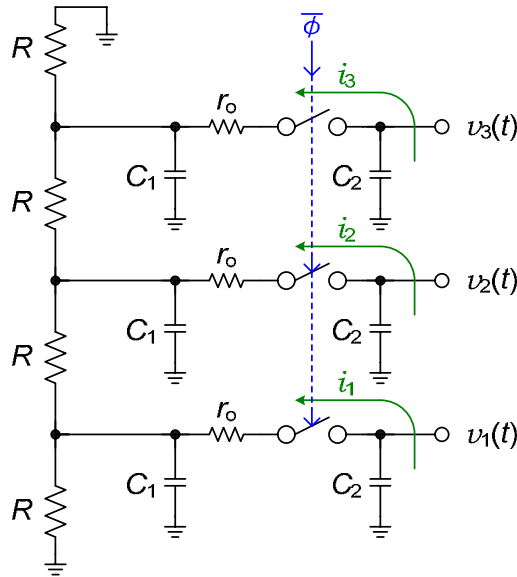
- 一定時間()経過後、サンプリングされた入力信号の電圧と V_{ref} との差電圧
- RC遅延の影響を評価し、 R の値を決定する基準

• 計算条件

- 参照信号は Highの期間内に理想値に復元
- スイッチ用MOSの大きさは小さい
 - スイッチのオン抵抗(r_o): 大きい
 - 参照電圧回路の抵抗(R) r_o



$$\begin{aligned}
 v_i(t) = & V_{Xi} \cdot e^{-t/r_o C_2} + \frac{R}{r_o^2 C_2} \cdot t \cdot e^{-t/r_o C_2} \times \left(\frac{2^2 - i}{2^2} V_{X1} + \frac{2 \times \min(i, 2^2 - i)}{2^2} V_{X2} + \frac{i}{2^2} V_{X3} \right) \\
 & + \frac{R/r_o}{\frac{1}{RC_1} - \frac{1}{r_o C_2}} \left(\frac{1}{r_o^2 C_2^2} \cdot t \cdot e^{-t/r_o C_2} + \frac{1}{RC_1 - r_o C_2} (e^{-t/r_o C_2} - e^{-t/RC_1}) \right) \times \frac{2 \times \min(i, 2^2 - i)}{2^2} V_{X2} \\
 & + \frac{R/r_o}{\frac{1}{3RC_1} - \frac{1}{r_o C_2}} \left(\frac{1}{r_o^2 C_2^2} \cdot t \cdot e^{-t/r_o C_2} + \frac{1}{3RC_1 - r_o C_2} (e^{-t/r_o C_2} - e^{-t/3RC_1}) \right) \times \left(\frac{2^2 - i}{2^2} V_{X1} + \frac{i}{2^2} V_{X3} \right)
 \end{aligned}$$



2 bits 小信号回路

- 分解能の増加
 - $v_i(t)$ の項数の増加
 - V_{Xi} 種類数の増加



誤差値式の**複雑化**

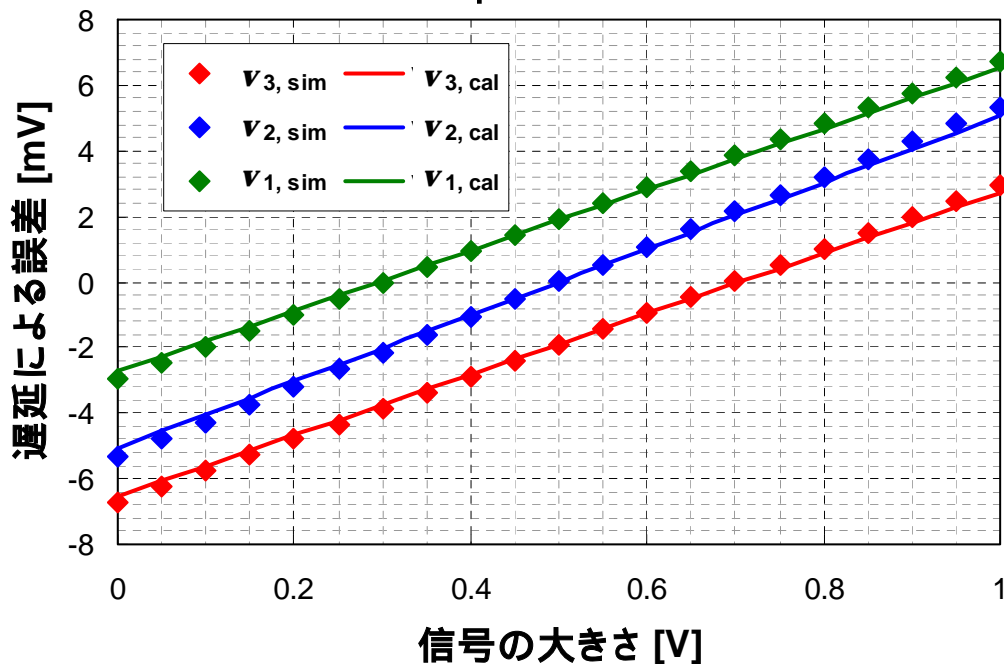
• $r_o C_2$ $R C_1$ と近似

- r_o : 数 k R : 数
- C_2 : 数十 fF > C_1 : 数 fF

各ノードの位置による信号の重み付け項

$$v_i(t) = V_{Xi} \cdot e^{-t/(r_o \cdot C_2)} + \frac{R}{r_o^2 \cdot C_2} \cdot t \cdot e^{-t/(r_o \cdot C_2)} \times (a_{i1} V_{X1} + a_{i2} V_{X2} + a_{i3} V_{X3})$$

$t = 200$ ps時の誤差値

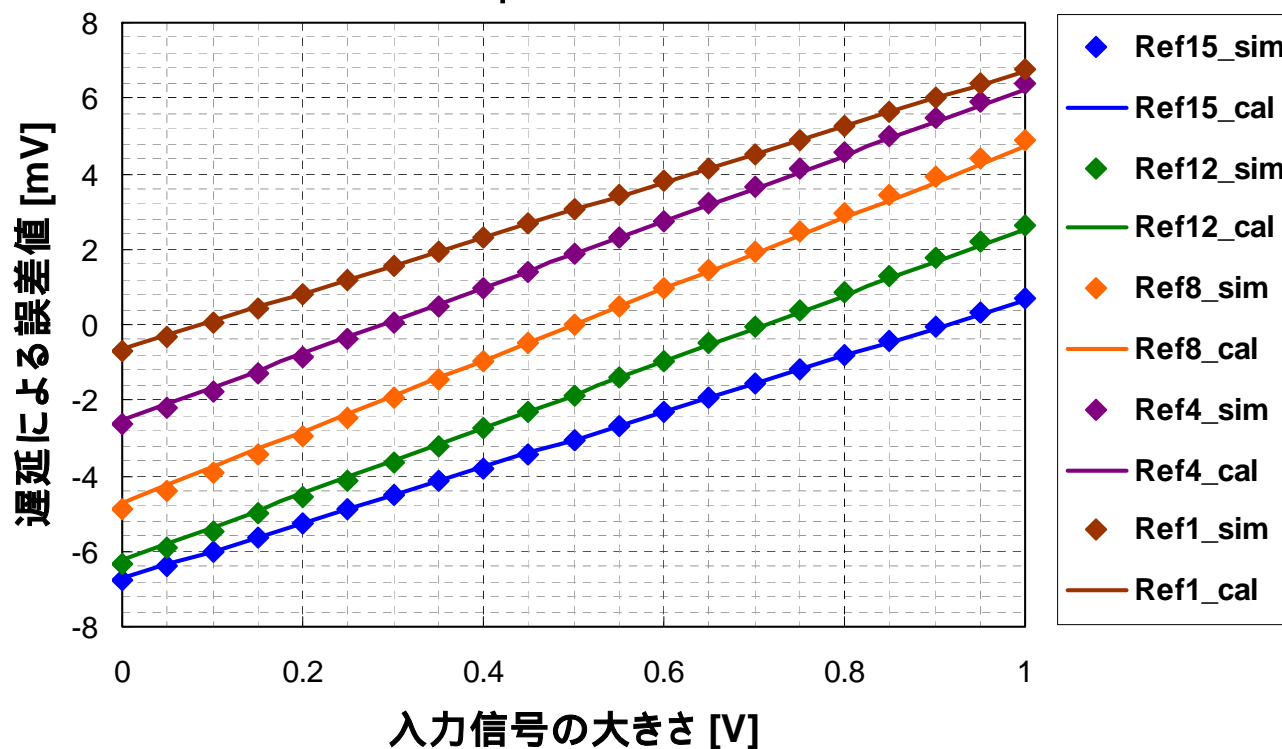


$C_1 = 10$ fF
 $C_2 = 20$ fF
 $R = 100$
 $r_2 = 2$ k
 $Ref_3 = 0.75$ V
 $Ref_2 = 0.5$ V
 $Ref_1 = 0.25$ V

近似式の4 bitsへの適用

- 近似式の計算値はシミュレーション結果に対して5%程度の相対エラー
 - 近似式から、セッティング誤差が予測可能

$t = 200$ ps時の誤差値



$$\text{Ref}_{15} = 0.9375 \text{ V}$$

$$\text{Ref}_{12} = 0.75 \text{ V}$$

$$\text{Ref}_8 = 0.5 \text{ V}$$

$$\text{Ref}_4 = 0.25 \text{ V}$$

$$\text{Ref}_1 = 0.0625 \text{ V}$$

比較条件: $C_1 = 10$ fF, $C_2 = 20$ fF, $R = 5$, $r_2 = 2$ k

- 一定時間()内に誤差電圧を0.25LSB以下に抑えるための参照電圧回路の一個の抵抗値(R)

$$v_n(t) = V_{Xn} \cdot e^{-t/(r_0 \cdot C_2)} + \frac{R}{r_0^2 \cdot C_2} \cdot t \cdot e^{-t/(r_0 \cdot C_2)} \times \sum_i (a_{ni} \cdot V_{Xi})$$

ただし、 a_{ni} : n 番目ノードで、入力信号と i 番目参照信号との差電圧(V_{Xi})の重み付け値

$$\therefore R \leq \frac{r_0^2 \cdot C_2 \cdot (V_{\text{sig}} / 2^{N+1} - V_{Xx} \cdot e^{-t/(r_0 \cdot C_2)})}{e^{-t/(r_0 \cdot C_2)} \times \sum_i (a_{xi} \cdot V_{Xi})}$$

ただし、 $v_x() = \max(v_1(), v_2(), \dots, v_n(), \dots, v_N())$

V_{sig} : 信号の最大振幅, N : 分解能

- 並列型ADCの抵抗型参照電圧回路のセットリング誤差の近似式を導出
- 許容可能な最大の参照回路抵抗値の計算式を導出
 - 参照信号回路の最適化による低消費電力化
 - 設計の効率化