

# 補間技術とバックグラウンド 補償技術を用いた8-bit 600-MSpS 並列型ADCに関する研究

白 戴和、浅田 友輔、宮原 正也、松澤 昭

東京工業大学大学院理工学研究科

- 背景
- 補間技術
- 補償技術
- チップ写真及び測定結果
- まとめ

## ● 固定無線アクセス (FWA) への要求

- 有線通信サービスが地理的条件等から困難な地域において、迅速かつ低コストで地域ブロードバンド通信インフラの構築
- 日本でのFWA周波数帯域 (38 GHz帯)<sup>[1], [2]</sup>

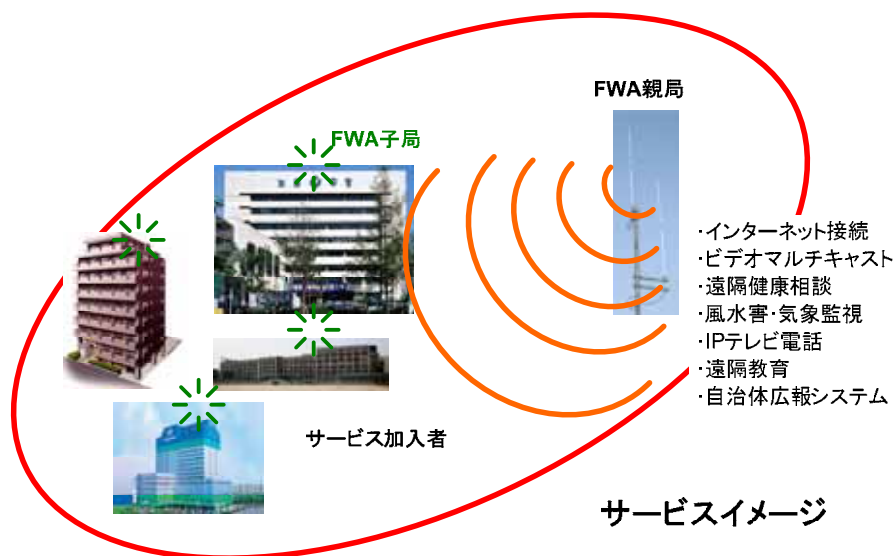


Fig. 1 FWAのサービスイメージ

[2]

[1] <http://www.tele.soumu.go.jp/j/freq/index.htm>

[2] <http://www.kobelco.co.jp/column/topics-j/messages/253.html>  
2009/10/02

- 変換速度
  - ADCへの最大入力信号周波数: **200 MHz**  
**ADCの必要変換速度: 400 MS/s以上**
  - 高速変換への対応: **並列型 (flash)**
- 分解能
  - FWAの転送情報量: **800 Mbps**
    - 16QAM:  $200\text{MHz} \times 4 = 800 \text{ Mbps}$       7~8 bits
    - 64QAM:  $200\text{MHz} \times 6 = 1.2 \text{ Gbps}$       9~10 bits
  - ADCの必要分解能: 7 bits以上**
- Basebandとのone chip化
  - 微細process: 90-nm process  
**低電源電圧: 1.2 V**

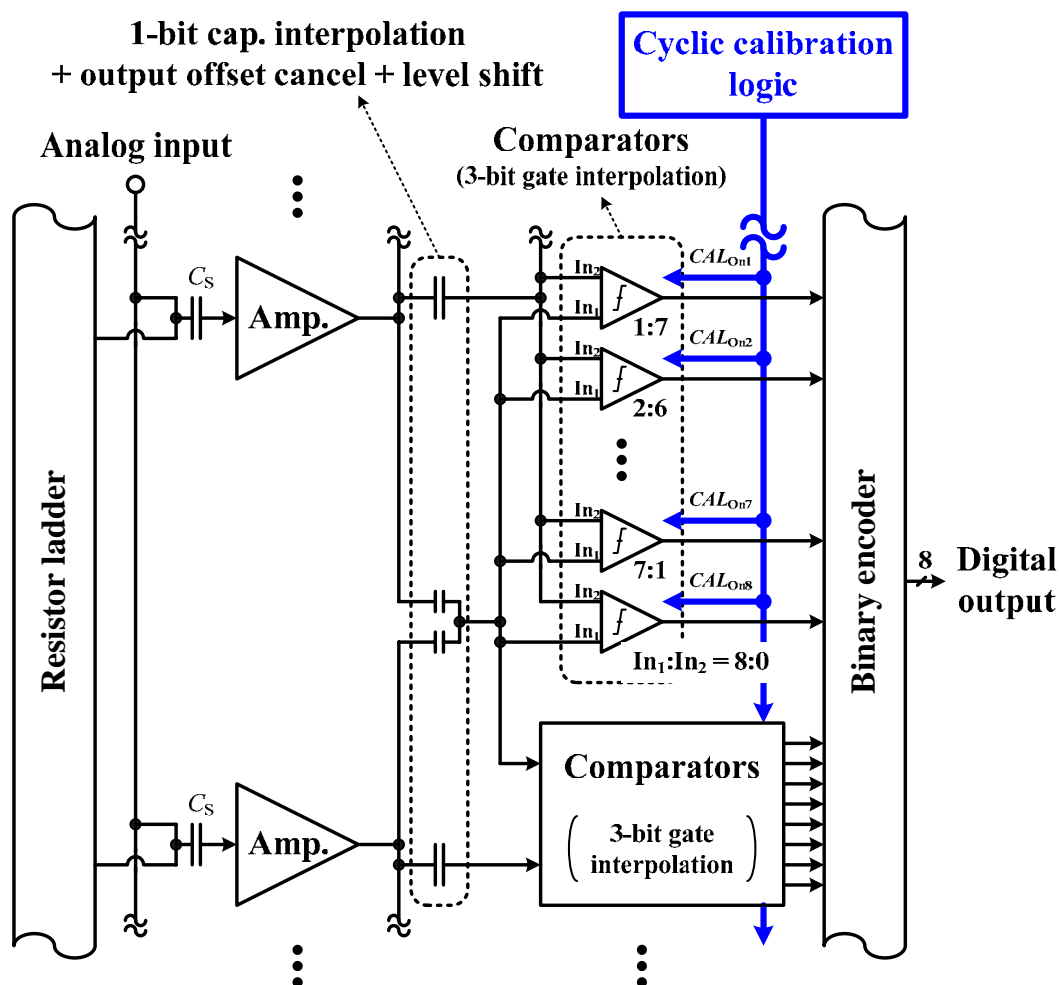


Fig. 2 試作ADCの構造

- 増幅器
  - 比較器の入力換算精度を向上
- 容量結合
  - 1-bit 補間
  - Offset cancel
    - 増幅器
- 比較器
  - 3-bit ゲート補間
  - Offset 補償回路
- Encoder
  - Bubbling error correction

- 既存信号から信号を生成

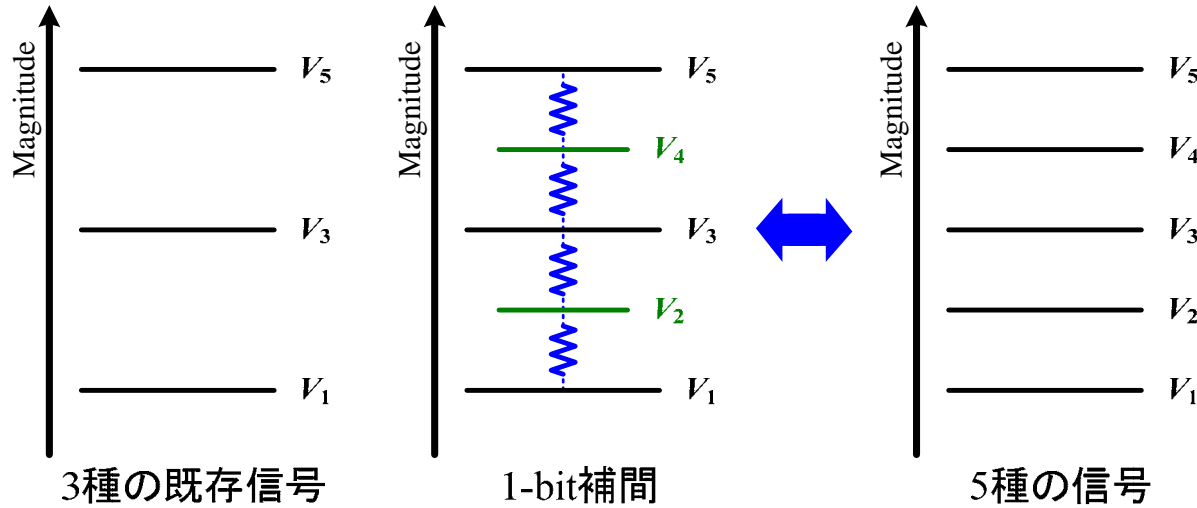
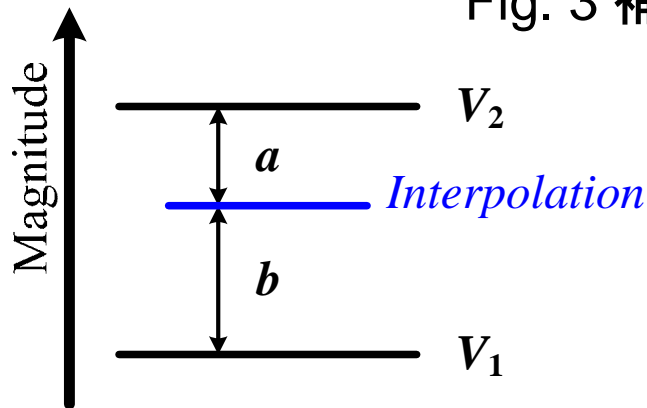


Fig. 3 補間のイメージ



$$Interpolation = \frac{a \times V_1 + b \times V_2}{a + b}$$

Fig. 4 a:b補間地点

- サンプルング容量値: 片側**13 pF**以上
  - ADC前段の負担増加
  - **補間**使用: **1 pF**に低減
- 増幅器: **255** 個
  - 消費電力増加
  - **補間**使用: **19** 個に低減

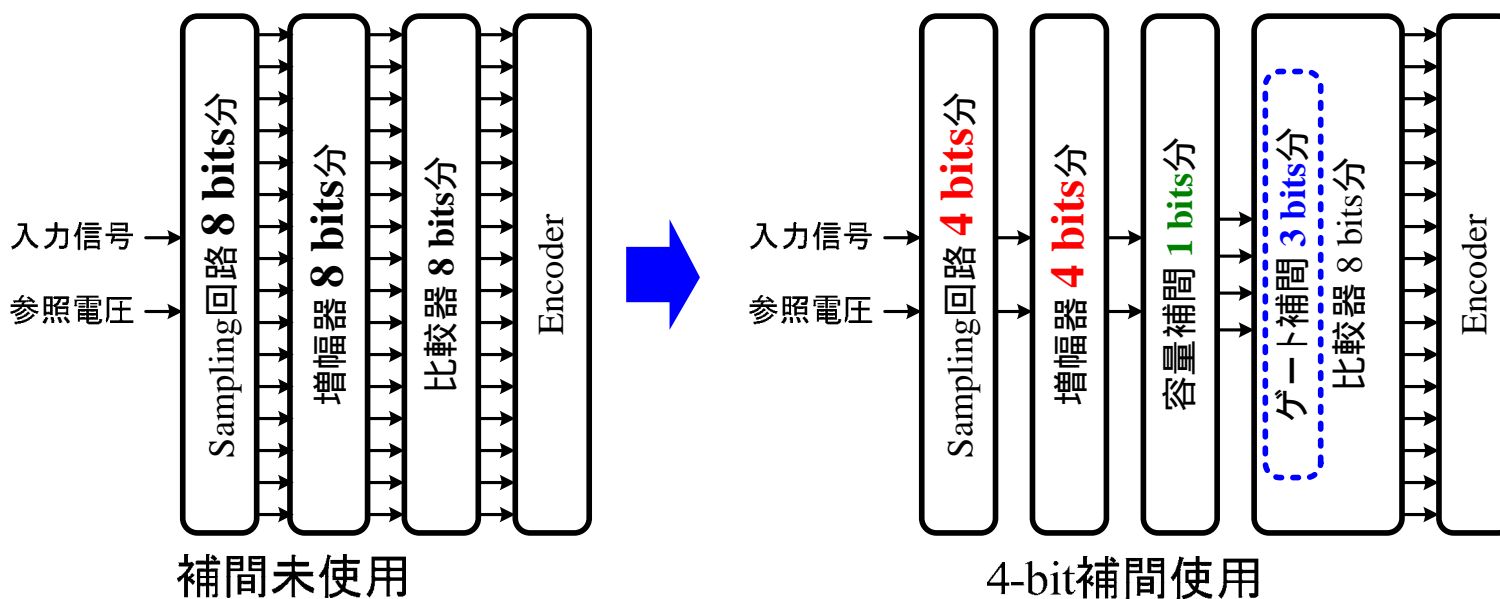


Fig. 5 補間による回路要素の減少

- Output offset cancelの効果

- 前:  $(V_{offset}) = 2.70 \text{ LSB}$
- 後:  $(V_{offset}) = 0.0378 \text{ LSB}$

➔ 98.5%減少

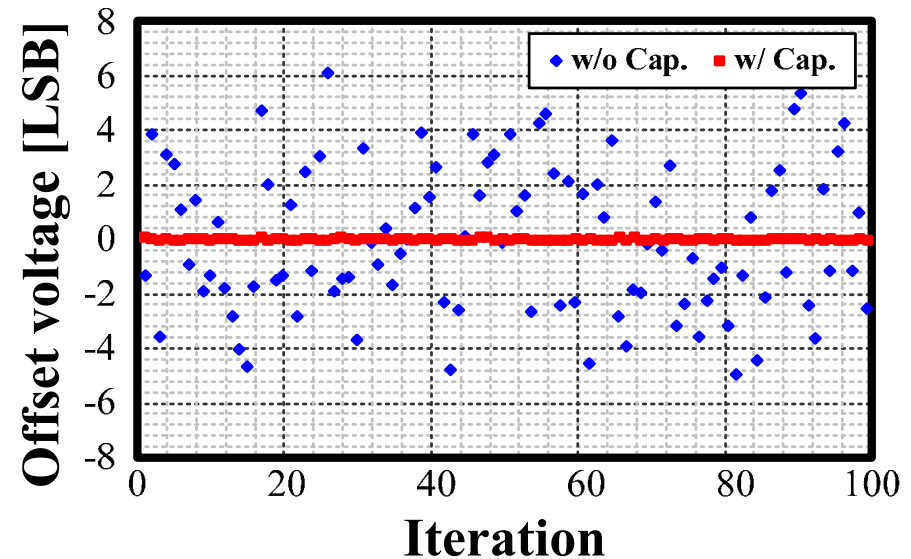
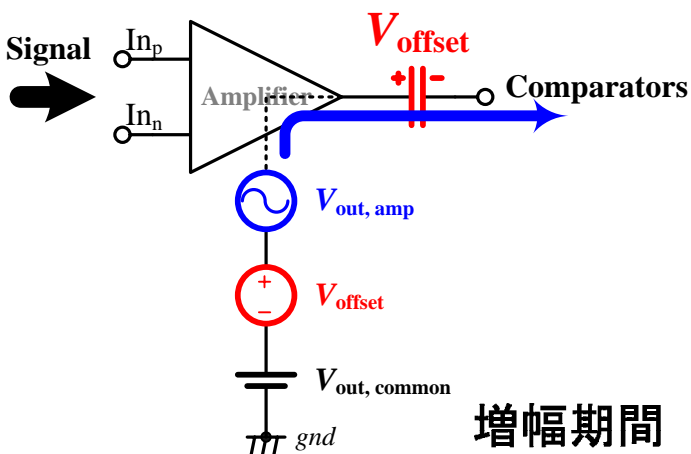
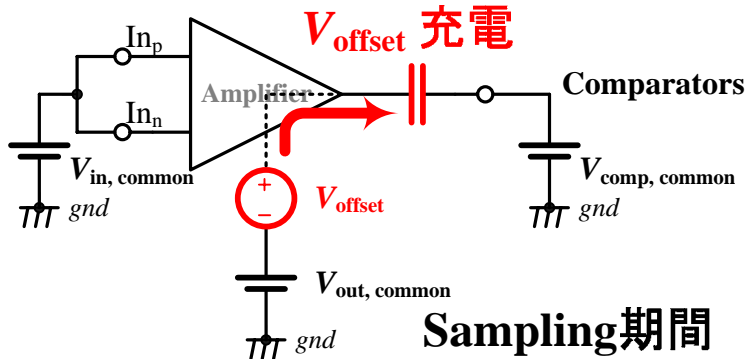


Fig. 7 Output offset cancelの効果

シミュレーション精度: 0.05 LSB  
モンテカルロシミュレーション回数: 100回

Fig. 6 Output offset cancel



- 入力用MOSのゲート幅を調整して、2種類の信号に重みを与える

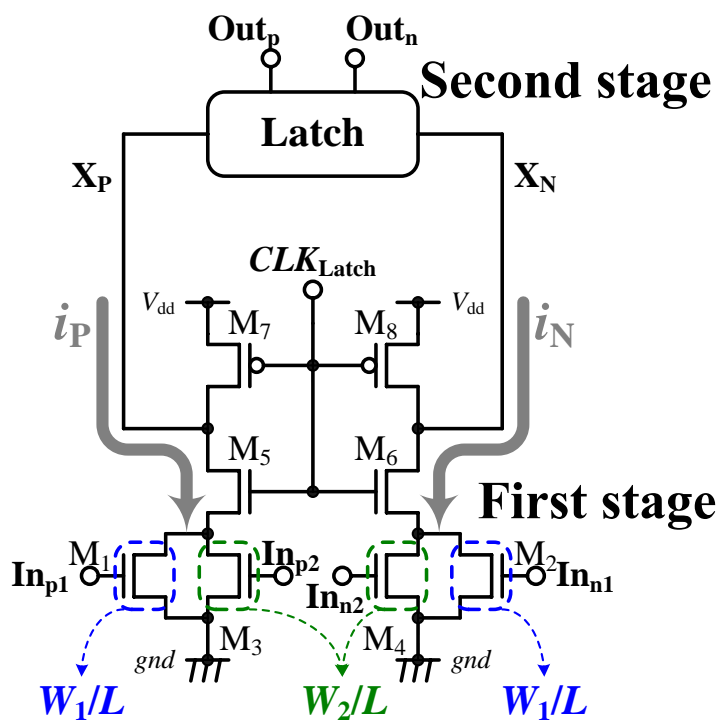


Fig. 8 比較器の構造

$$i_P \propto \frac{1}{2} \mu C_{OX} \frac{1}{L} \times \left\{ W_1 \times (V_{inp1} - V_{th})^2 + W_2 \times (V_{inp2} - V_{th})^2 \right\}$$

$$\propto \left( \frac{W_1 \times V_{inp1} + W_2 \times V_{inp2}}{W_1 + W_2} - V_{th} \right)^2$$

$$i_N \propto \frac{1}{2} \mu C_{OX} \frac{1}{L} \times \left\{ W_1 \times (V_{inn1} - V_{th})^2 + W_2 \times (V_{inn2} - V_{th})^2 \right\}$$

$$\propto \left( \frac{W_1 \times V_{inn1} + W_2 \times V_{inn2}}{W_1 + W_2} - V_{th} \right)^2$$

仮想的に生成された信号

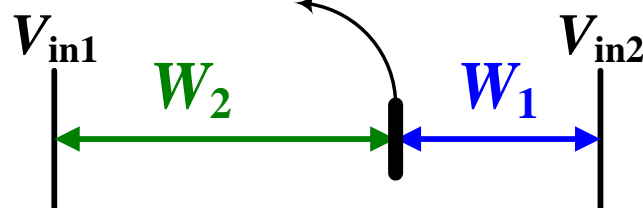


Fig. 9 補間による仮想信号

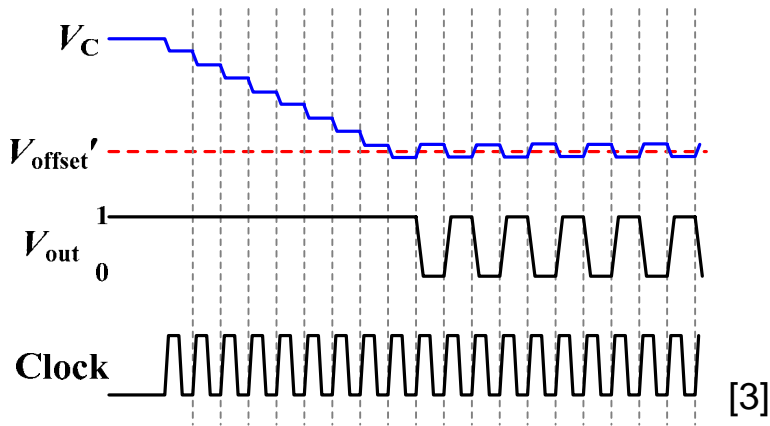
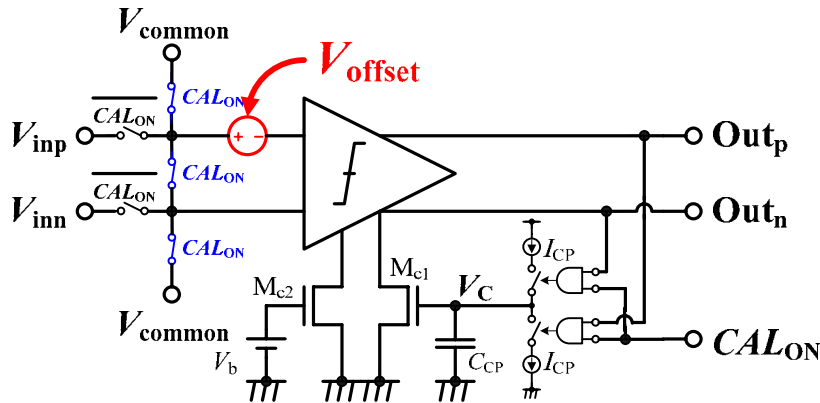


Fig. 10 補償回路の動作

- 構造
  - Charge pump型 [3]
- 補償動作
  - 入力をcommon電圧へ接続
    - $V_{offset}$ によって判定結果が1か0に片寄る
  - 判定結果をcharge pumpにfeedback
    - $V_C$ の値が $V_{offset}$ の影響を打ち消す方向へ変化

[3] M. Miyahara, et al., in *Proc. of ASSCC*, pp 269-272, Nov., 2008.

- $V_{\text{offset}}$  ( ): 87.7%減少
  - 試作比較器: 補間未使用
  - 補償前:  $V_{\text{offset}}$  ( ) = 13.7 mV
  - 補償後:  $V_{\text{offset}}$  ( ) = 1.69 mV

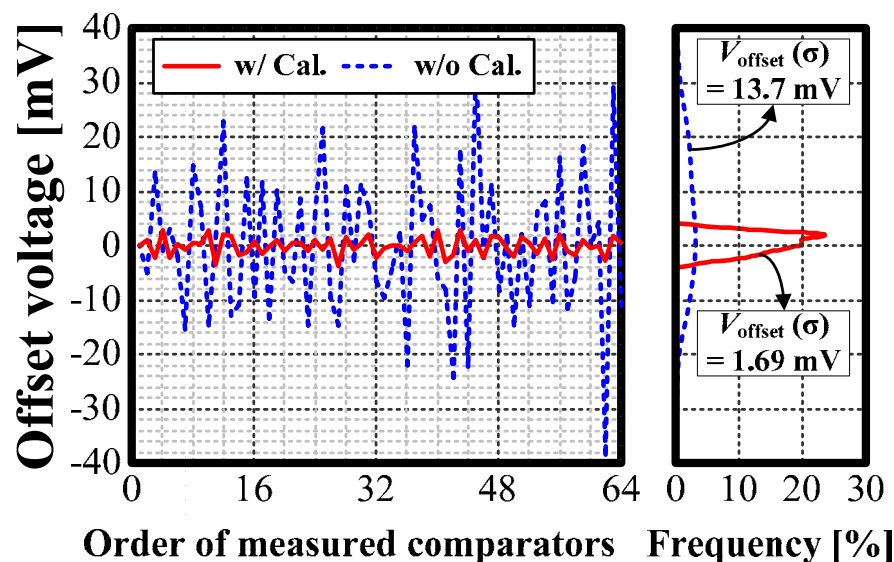


Fig. 11 補償回路の効果 [3]

[3] M. Miyahara, et al., in *Proc. of ASSCC*, pp 269-272, Nov., 2008.

- 理想: 各比較器の比較瞬間での入力信号
  - 補間未使用の差動型比較器
    - 1個 (入力common電圧)
  - 補間使用の差動型比較器
    - 15個必要 (3-bit 補間)

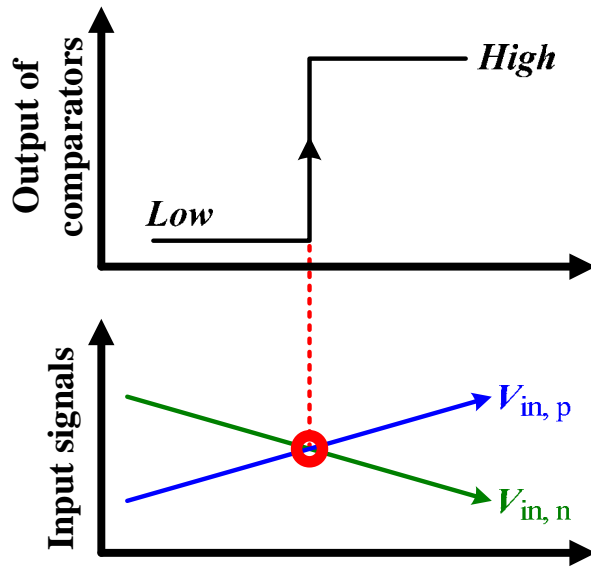


Fig. 12 補間を使用しなかった際の比較瞬間とその入力信号

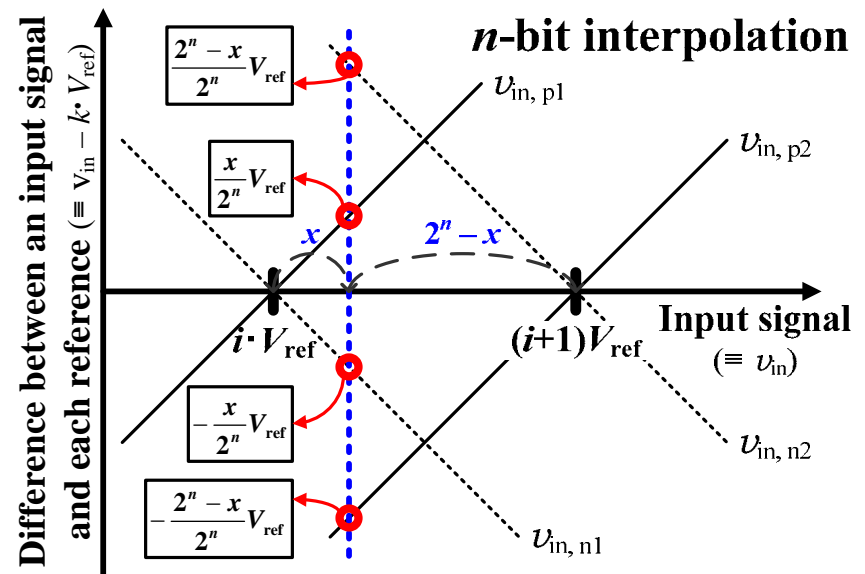


Fig. 13  $x:2^n-x$ 内分地点のために必要な4種類の入力信号 (補間使用)

- 提案: 全比較器をcommon電圧基準で補償

- 長所

- 補償用の信号: 1個

- 短所

- 比較瞬間に入力される信号と補償信号の差によって補償精度が劣化
  - 本ADCでは許容範囲

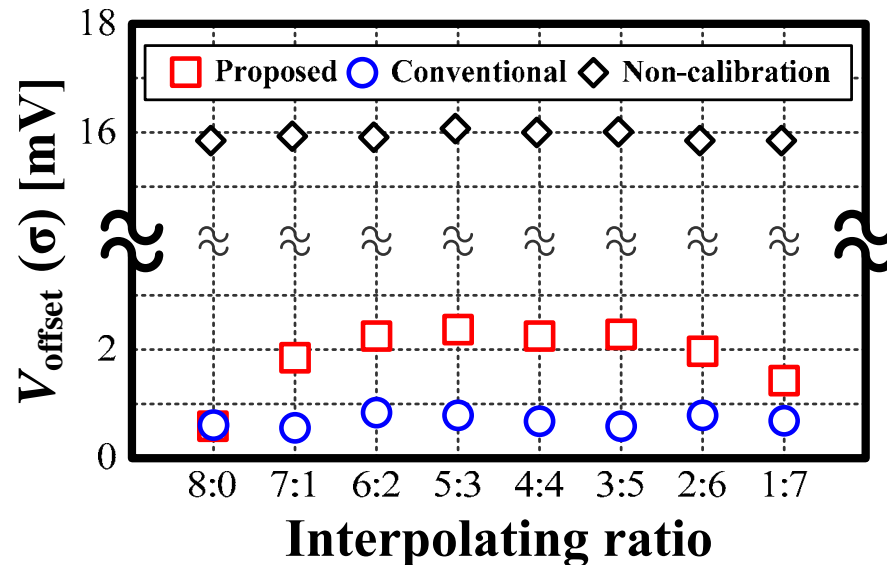


Fig. 14 補償方式による補間型比較器の補償精度の変化 (sim.)

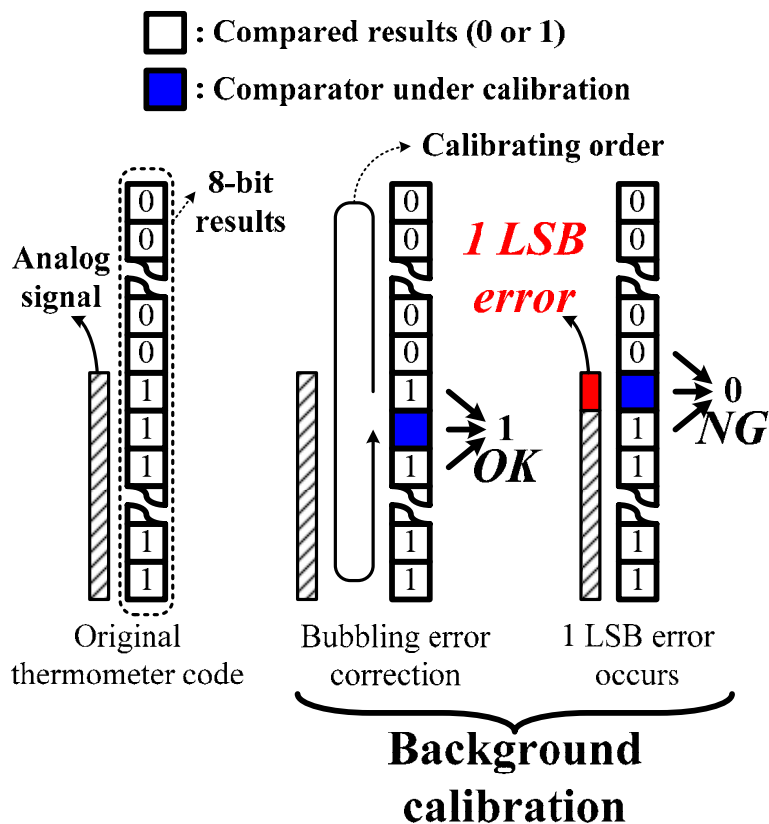


Fig. 15 バックグラウンド補償によるエラー発生とその修正

- **補償中の比較器は判定結果を出力しない**
  - **Bubbling error**発生
- **補償動作中の比較器**
  - **隣接した二つの比較器の判定結果が一致**
    - 補償中の比較器の出力を隣接したものの結果に合わせる
    - **Bubbling error correction**
  - **隣接した二つの比較器の判定結果が不一致**
    - 補償中の比較器の出力を強制的に0にさせる
    - **1 LSBのError**発生

・補償による雑音増加分

$$V_{n, cal}^2 = \frac{D}{2^N - 1} V_q^2 \quad \left( \begin{array}{l} V_q : \text{quantum voltage} \\ N : \text{resolution} \end{array} \right)$$

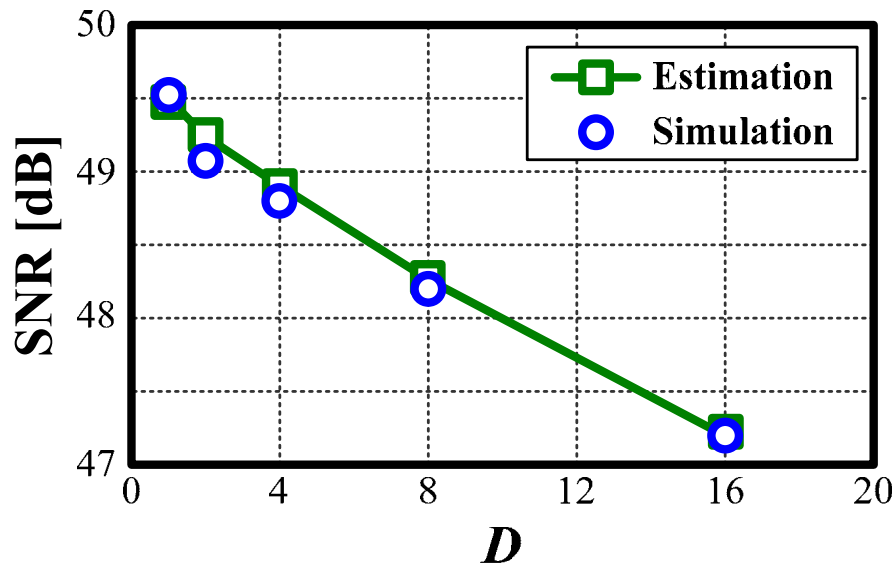


Fig. 16 補償される比較器の数 ( $D$ ) と SNR劣化の関係

- Background補償によって発生する誤差

- 変換精度を劣化させる
- 歪と熱雑音がない場合

- 量子化雑音と補償による誤差がSNR劣化の原因

- 補償中の数 ( $D$ ) とSNR劣化を確認

– 雑音で考慮可能

- 補償によって発生した雑音が熱雑音より十分小さいとSNR劣化は小さい

– 測定では  $D = 4$  を使用

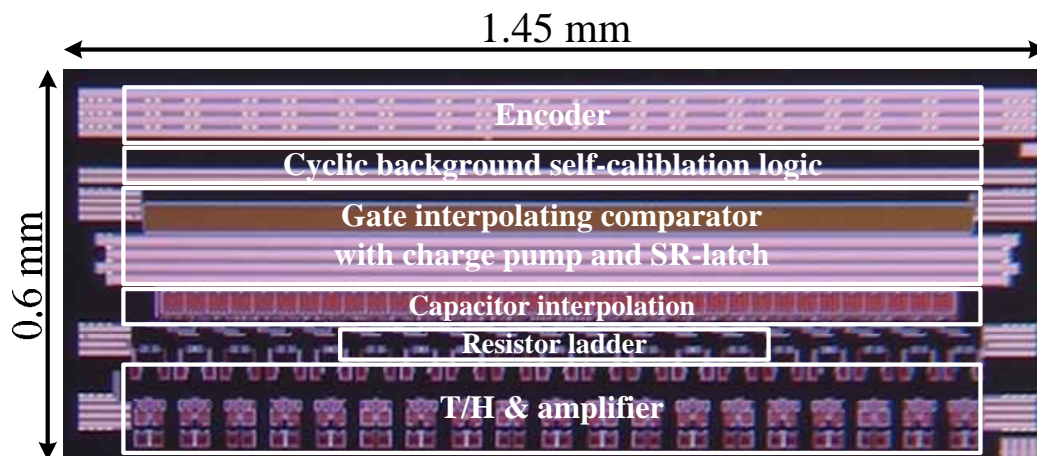


Fig. 17 チップ写真

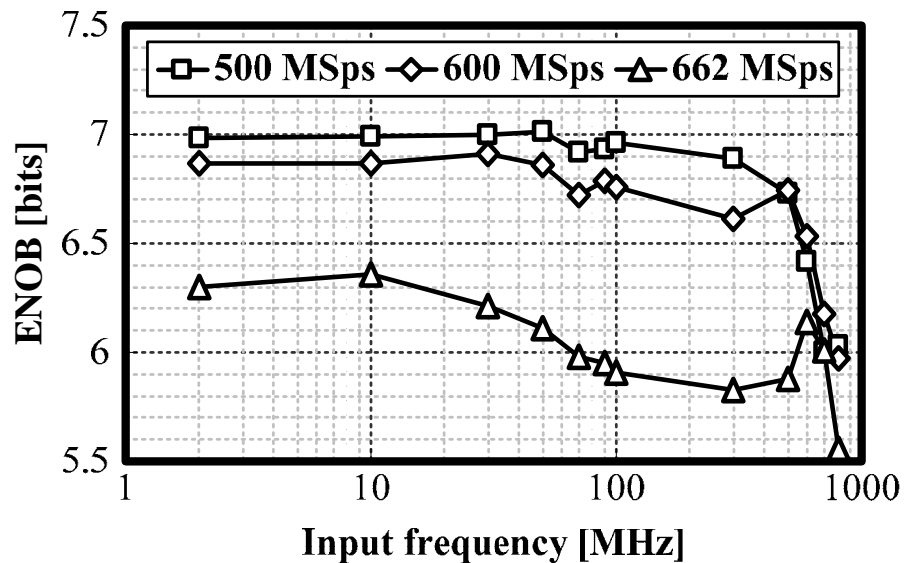


Fig. 18 入力周波数 vs. ENOB

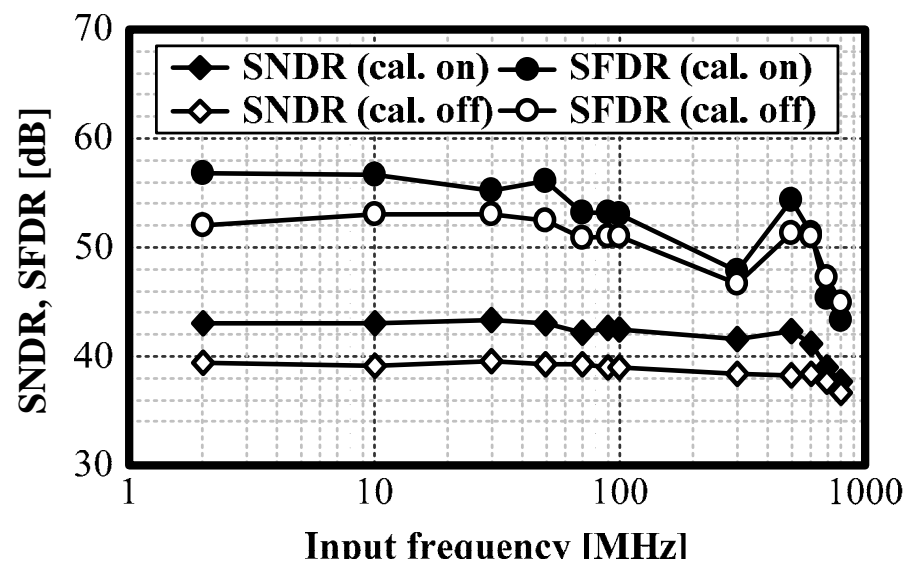


Fig. 19 キャリブレーションの効果 (600 MSps)



Ref.	Process [nm]	Designed resolution [bits]	Sapmling freq. [MSps]	$P_d$ [mW]	ENOB (DC/Nyquist) [bits]	FoM [fJ/conv.]	Area [mm <sup>2</sup> ]	Type	Inter-leave
[4]	90	7	1100	46	6.52 / 5.52	910	0.19	Pipeline	used
[5]	65	8	800	30	7.65 / 7.05	280	0.12	Pipeline	used
[6]	90	8 (C4, F4)	770	70	7.18 / 6.67	940	0.605	Subrange	unused
[7]	45	7	2500	50	5.85 / 5.40	480	1	SAR	used
[8]	130		600	30	7.47 / 7.02	340	1.1	SAR	used
[9]	90	10	500	55	8.99 / 8.49	300	0.49	Pipeline	unused
This	90	8	600	98.6	6.87 / 6.74	1540	0.87	Flash	unused

- Flash型は[6]と本研究だけ
  - FoMの問題
    - 分解能が1ビット増えるたび消費電力は2倍に増加
- 本研究はfull flash型にも関わらず、[6]に比べて消費電力及び占有面積は大きくない
  - 提案された補間技術と補償技術の有効性を意味

- 補間の効果
  - 消費電力と面積の減少
    - サンプル容量値: 13 pF      1 pF
    - 増幅器: 255 個      19 個
- 補償の効果
  - 未使用: ENOB = 6.07 bits
  - 使用: ENOB = 6.74 bits
    - 入力信号周波数 500 MHz、変換周波数 600 MSps
- 目標仕様との比較
  - 変換周波数 400 MSps以上: 達成
  - 有効分解能 7 bits以上: 今後の課題
    - 補償が不十分

- [1] <http://www.tele.soumu.go.jp/j/freq/index.htm>
- [2] <http://www.kobelco.co.jp/column/topics-j/messages/253.html>
- [3] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs," in *Proc. of ASSCC*, pp. 269-272, Nov., 2008.
- [4] C. Hsu, C. Huang, Y. Lin, C. Lee, Z. Soe, T. Aytur, and R. Yan, "A 7b 1.1GS/s reconfigurable time-interleaved ADC in 90nm CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 66-67, Jun., 2007.
- [5] W. Tu, T. Kang, "A 1.2V 30mW 8b 800MS/s time-interleaved ADC in 65nm CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 72-73, Jun., 2008.
- [6] K. Ohhata, K. Uchino, Y. Shimizu, Y. Oyama, and K. Yamashita, "A 770-MHz, 70-mW, 8-bit subranging ADC using reference voltage precharging architecture," in *Proc. of ASSCC*, pp. 41-44, Nov., 2008.
- [7] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A 1.1V 50mW 2.5GS/s 7b time-interleaved C-2C SAR ADC in 45nm LP digital CMOS," in *ISSCC Dig. Tech. Papers*, pp. 76-77, Feb., 2009.
- [8] W. Liu, Y. Chang, S. Hsien, B. Chen, Y. Lee, W. Chen, T. Yang, G. Ma, and Y. Chiu, "A 600MS/s 30mW 0.13  $\mu$  m CMOS ADC array achieving over 60dB SFDR with adaptive digital equalization," in *ISSCC Dig. Tech. Papers*, pp. 82-83, Feb., 2009.
- [9] A. Verma and B. Razavi, "A 10b 500MHz 55mW CMOS ADC," in *ISSCC Dig. Tech. Papers*, pp. 84-85, Feb., 2009.