

Thermal Noise Effects Caused by Settling Time Optimization in Switched-Capacitor Circuits

ドン ター ゴク ヒュイ, 宮原 正也, 松澤 昭

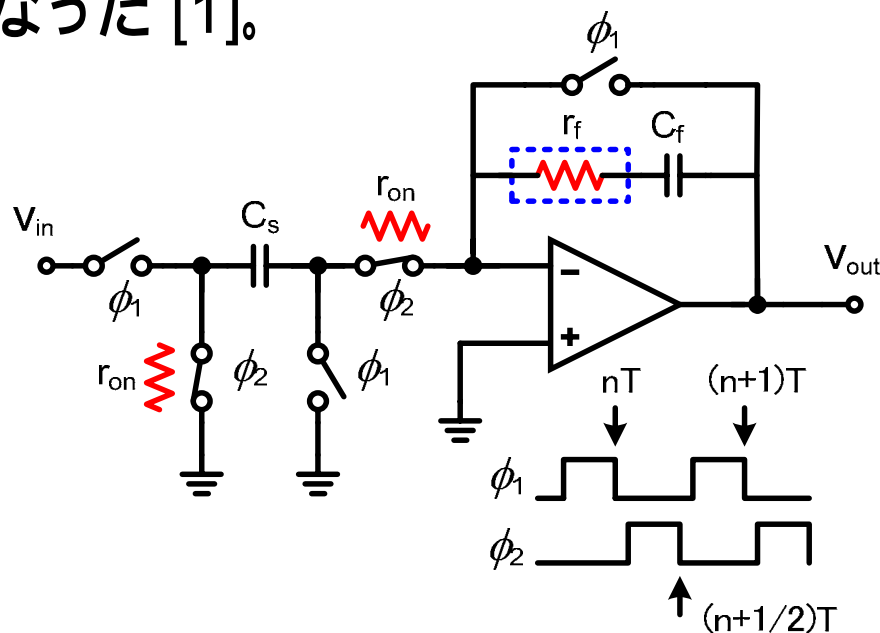
東京工業大学大学院理工学研究科

電子物理工学専攻

- 背景・目的
- ポール・ゼロキャンセル法
- ノイズへの影響
- まとめ

- 背景・目的
- ポール・ゼロキャンセル法
- ノイズへの影響
- まとめ

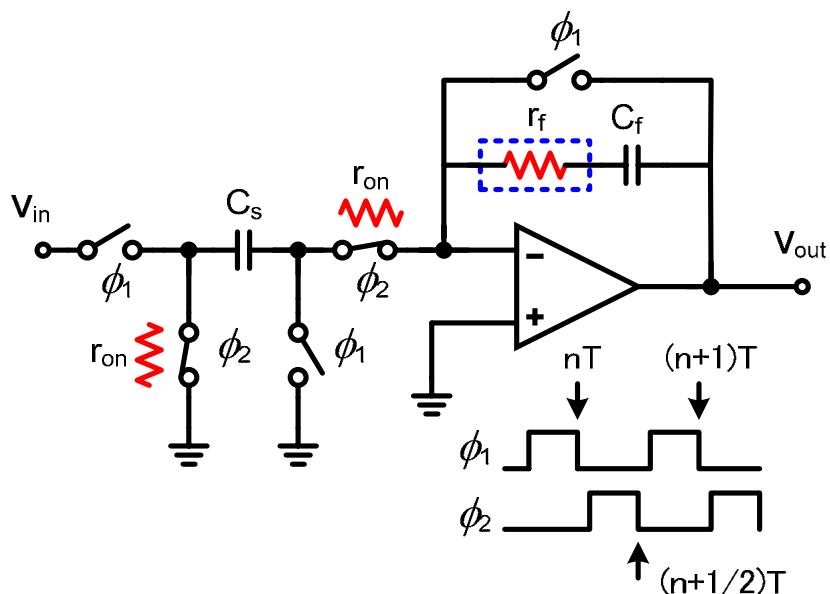
- ポール・ゼロキャンセル法でセットリング時間を大幅に改善できることが明らかになった [1]。



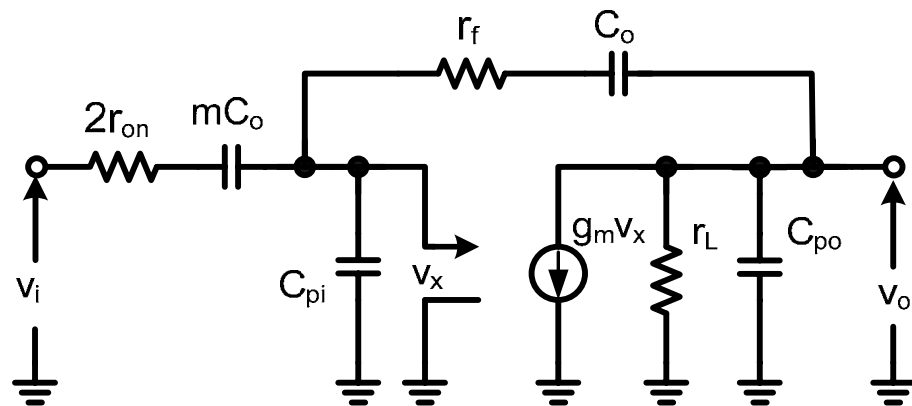
Charge-redistribution SC amplifier with an added resistance

- ポール・ゼロキャンセル法を用いた際、ノイズを検討。
- ポール・ゼロキャンセル法の電力効率を評価。

[1] M. Miyahara and A. Matsuzawa, IEICE Trans. Electron., vol. E90-C, no. 6, pp. 1165-1171, June 2007.



解析を行う SC Amplifier (SCA)



以下を仮定

- 出力抵抗は十分に大きい、 $g_m r_L \gg 1$
- C_{pi} は C_o と比較して十分小さい
- オペアンプは位相補償されている

Table 1 Model parameters

r_{on}	g_m	m	C_{pi}	C_{po}	C_o
50 Ω	1 mS	1	100 fF	300 fF	6 pF

r_{on} : スイッチオン抵抗

C_{pi} , C_{po} : オペアンプ入出力寄生容量

g_m : トランスコンダクタンス

r_L : オペアンプ出力抵抗

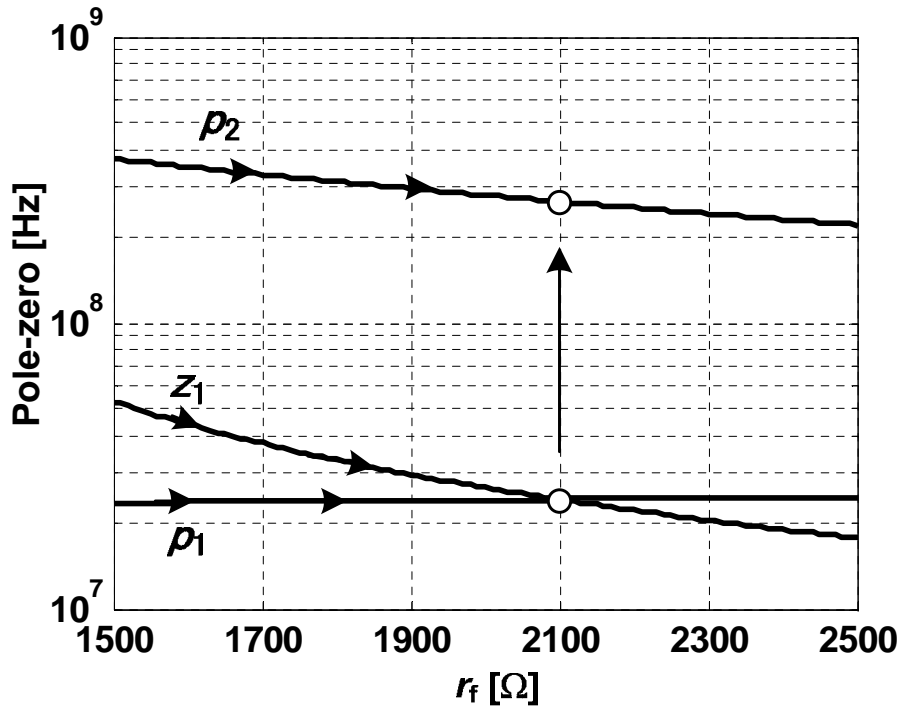
C_o : 単位容量

SCAのホールドフェーズの小信号等価回路

- 背景・目的
- **ポール・ゼロキャンセル法**
- ノイズへの影響
- まとめ

ポール・ゼロキャンセル法

- 第1ポールとゼロがキャンセルし、主要極が第2ポールにシフトする。

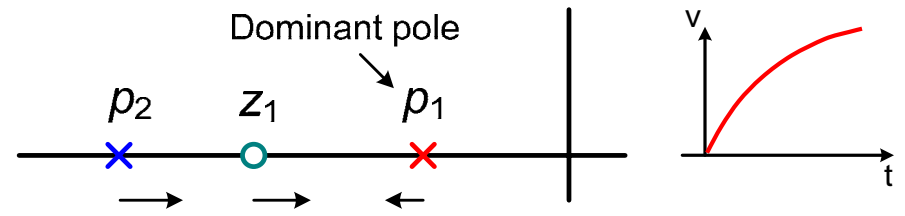


Pole-zero vs. switch resistance r_f

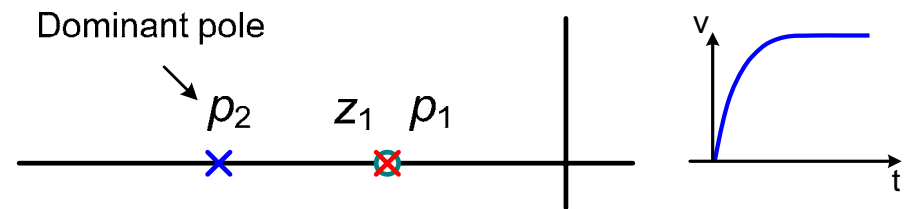
- ポール・ゼロキャンセル条件:

$$r_{f \text{ opt}} = 2mr_{\text{on}} + \frac{m+1}{g_m}$$

$$V_{\text{out}} = - \frac{s + z_1}{(s + p_1)(s + p_2)} V_{\text{in}}$$

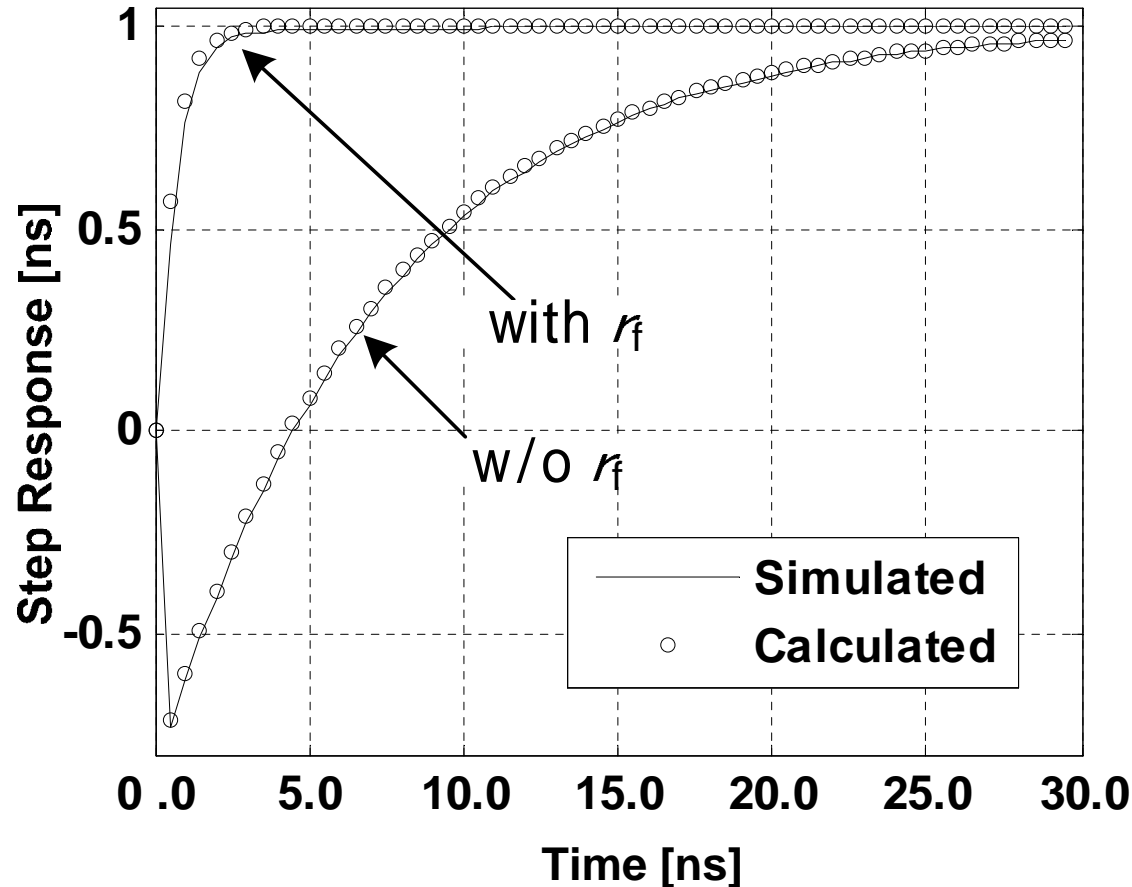


(a) セットリング時間の改善前



(b) セットリング時間の改善後

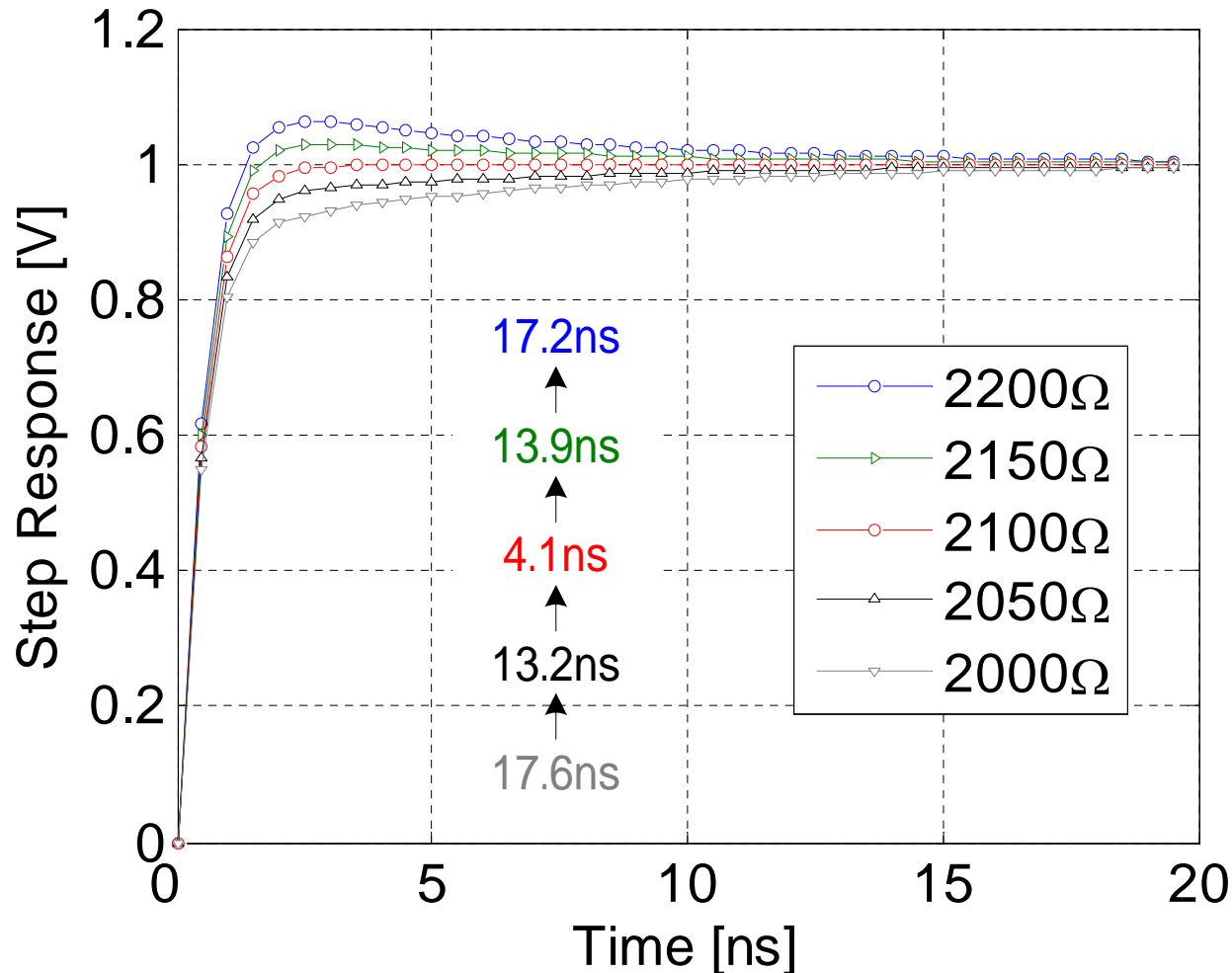
- ポール・ゼロキャンセル法により、1%エラーのセッティング時間が38.0nsから4.1nsに改善



Step response of the close-loop system

r_f 値が最適値からずれた場合

- r_f が最適値からずれると、セッティング時間が長くなるが、通常設計よりは短い(通常設計の1%エラーセッティング時間は38.0ns)。

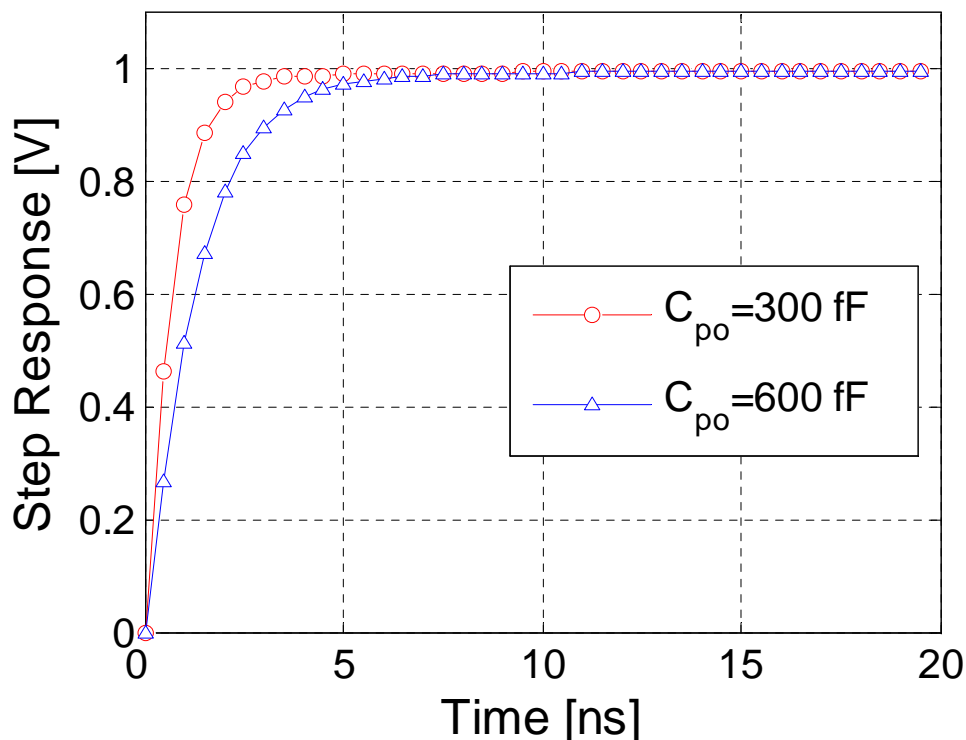


Step response of the close-loop system

- セットリング時間の短縮 = 主要極を大きくする

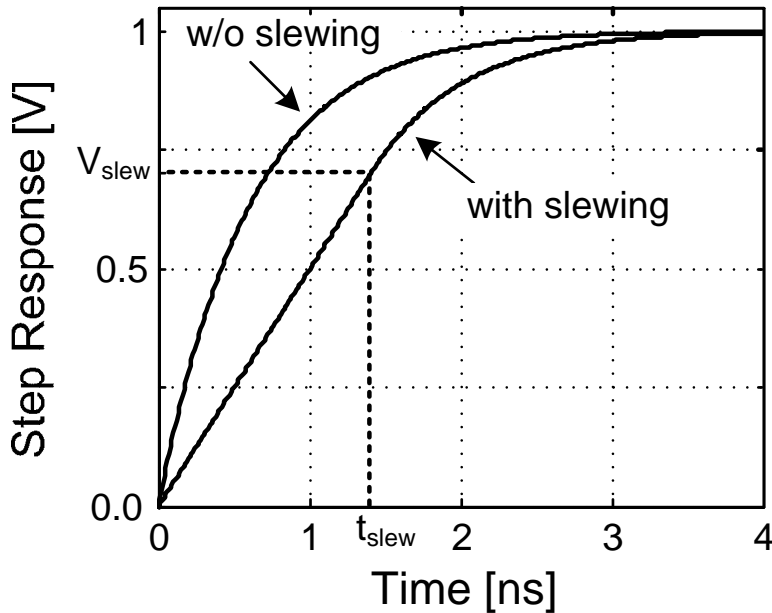
$$p_{\text{dom}} = \frac{g_m}{(m+1)C_{po}}$$

- ✓ g_m を大きく
- ✓ m を小さく
- ✓ 出力寄生容量 C_{po} を小さく



- 更に、過度な高速化が不要な場合は C_{po} することで、セッティング時間を簡単に調整できる。

- セットリングが速いシステムはスルーイングを受けやすい。



$$V_{out}(t) = V_{in} \cdot \left(1 - e^{-t/\tau}\right)$$

- スルーイングが起こる条件:

$$\left. \frac{d}{dt} V_{out}(t) \right|_{\max} = \frac{V_{in}}{\tau} > SR$$

- スルーイングが起こった時:

$$t \leq t_{slew} \quad V_{out}(t) = SR \cdot t$$

$$t > t_{slew} \quad V_{out}(t) = SR \cdot t_{slew} + (V_{in} - SR \cdot t_{slew})$$

$$\times \left(1 - e^{-\frac{t-t_{slew}}{\tau}}\right)$$

ただし、

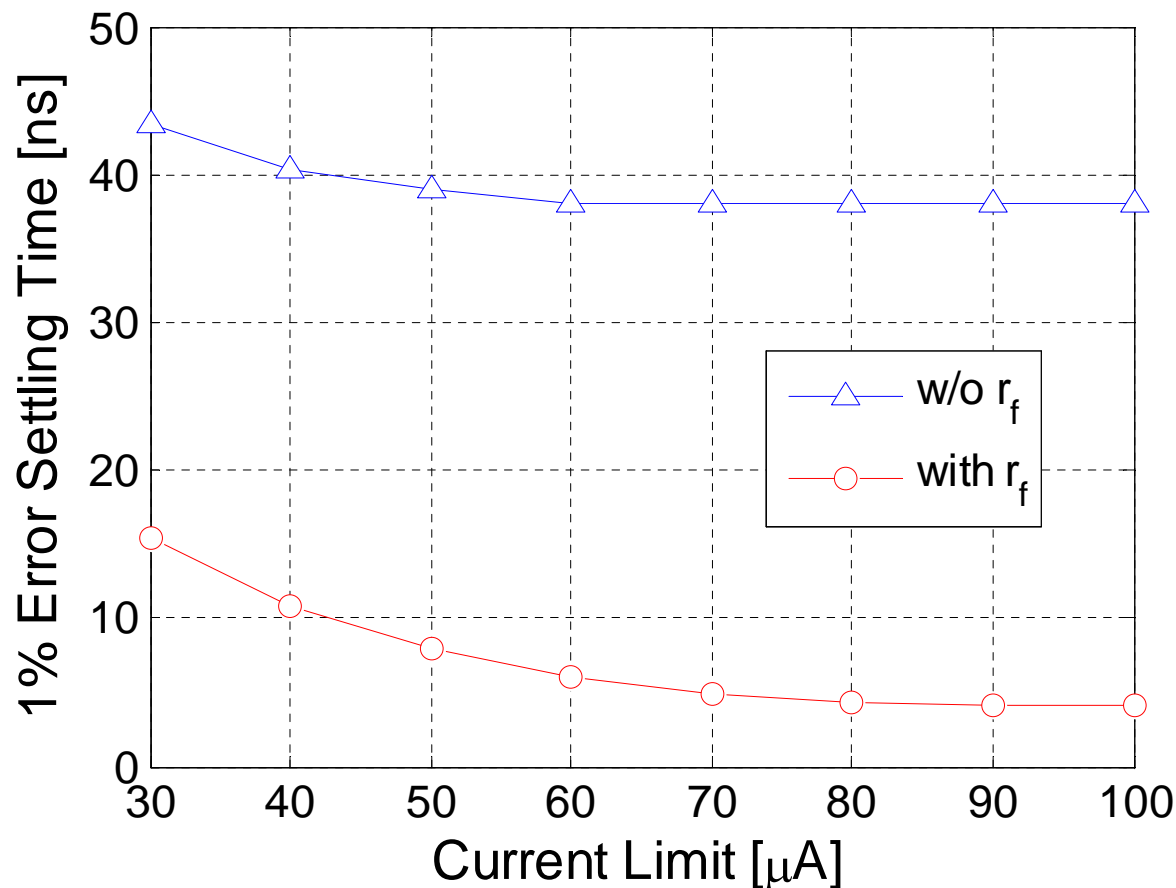
$$t_{slew} = \frac{V_{in}}{SR} - \tau$$

$$g_m \approx \frac{2I_{bias}}{V_{eff}} \quad : \text{トランスコンダクタンス}$$

$$SR = \frac{I_{bias}}{C_{eff}} \quad : \text{スルーレート}$$

$$C_{eff} \approx C_L + \frac{C_s C_f}{C_s + C_f} \quad : \text{実効負荷容量}$$

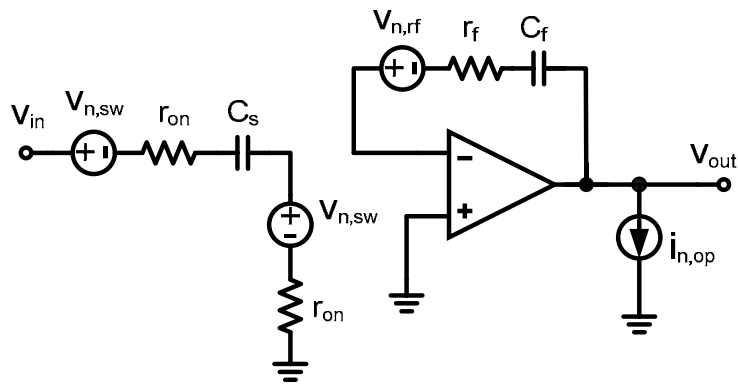
- スルーイングが起こった時、セッティング時間が長くなる。



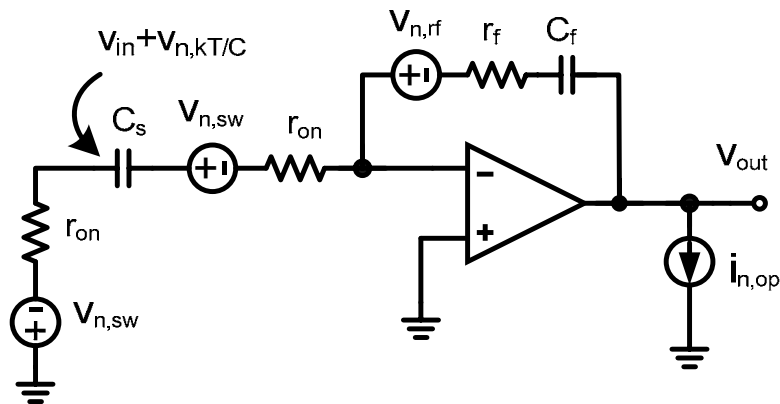
スルーイングを含むセッティング時間

- 背景・目的
- ポール・ゼロキャンセル法
- **ノイズへの影響**
- まとめ

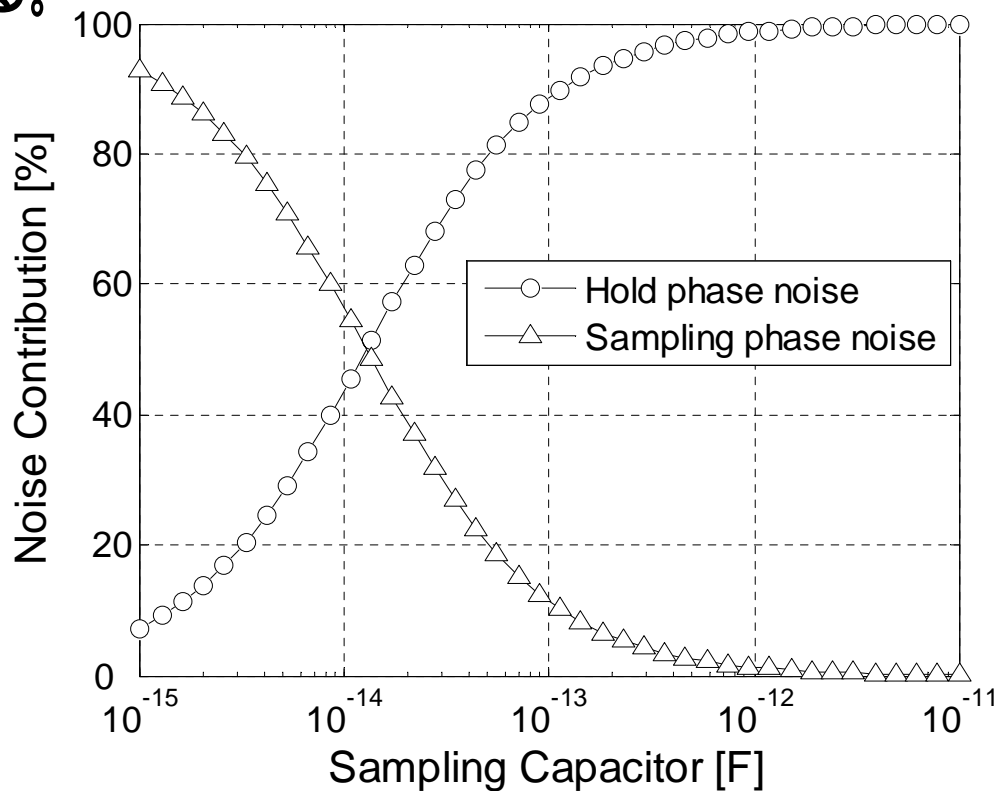
- ポール・ゼロキャンセル法を用いた場合、 C_s を大きくするとホールドフェーズノイズが支配的になる。



Equivalent circuit in sampling phase

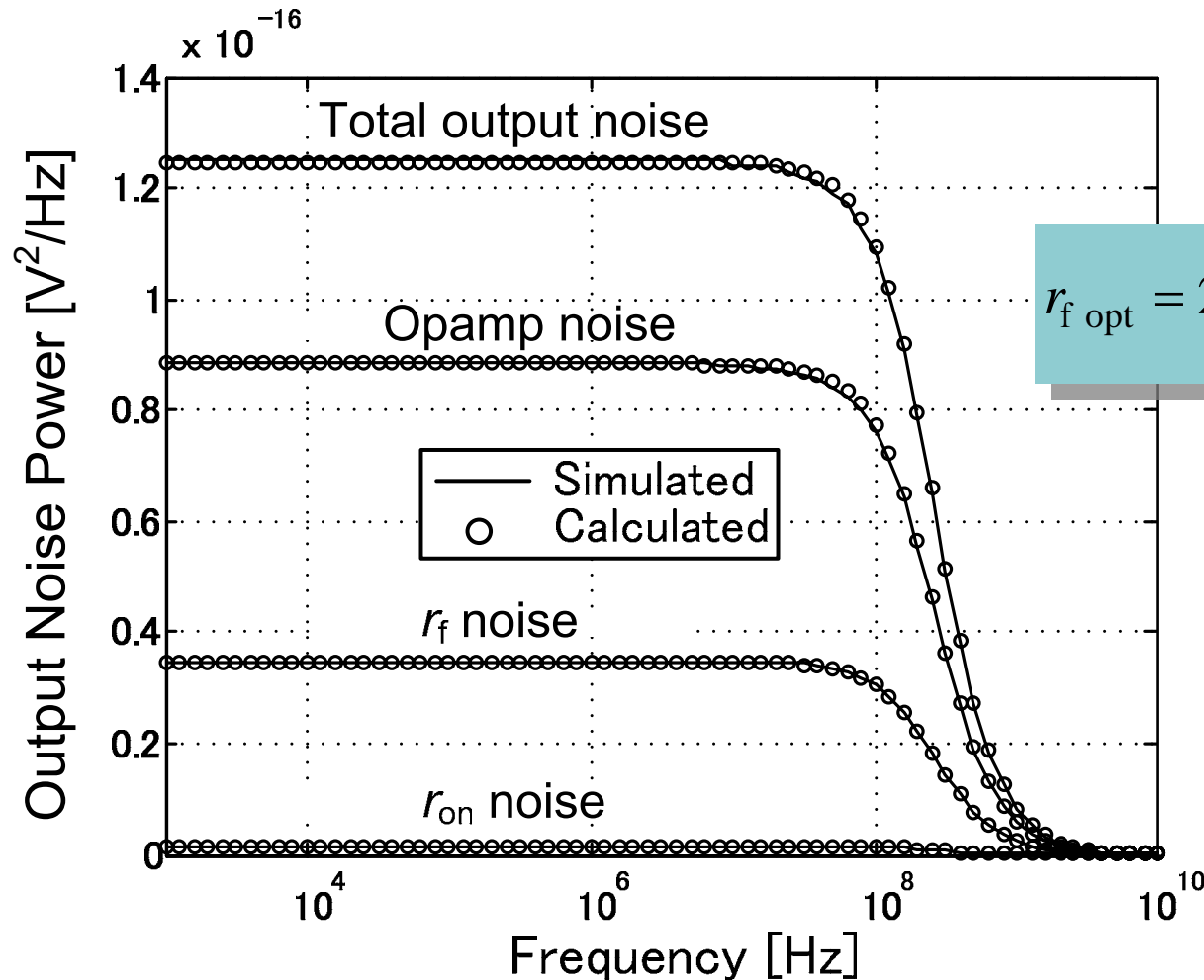


Equivalent circuit in hold phase



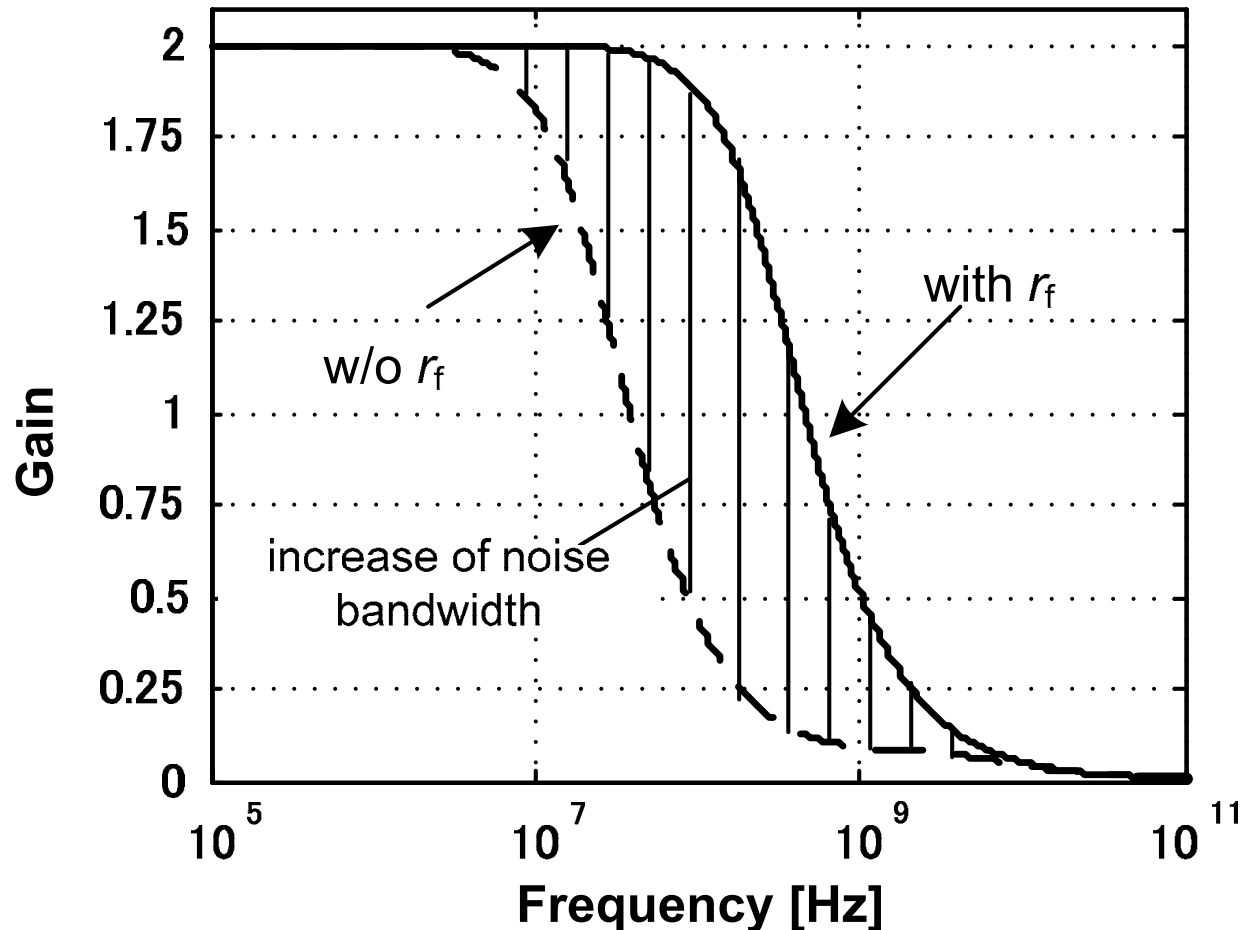
Relative contributions from sampling phase noise and hold phase noise to the total noise

- ローパワー設計 (g_m が小さい) では、オペアンプノイズが支配的になる。



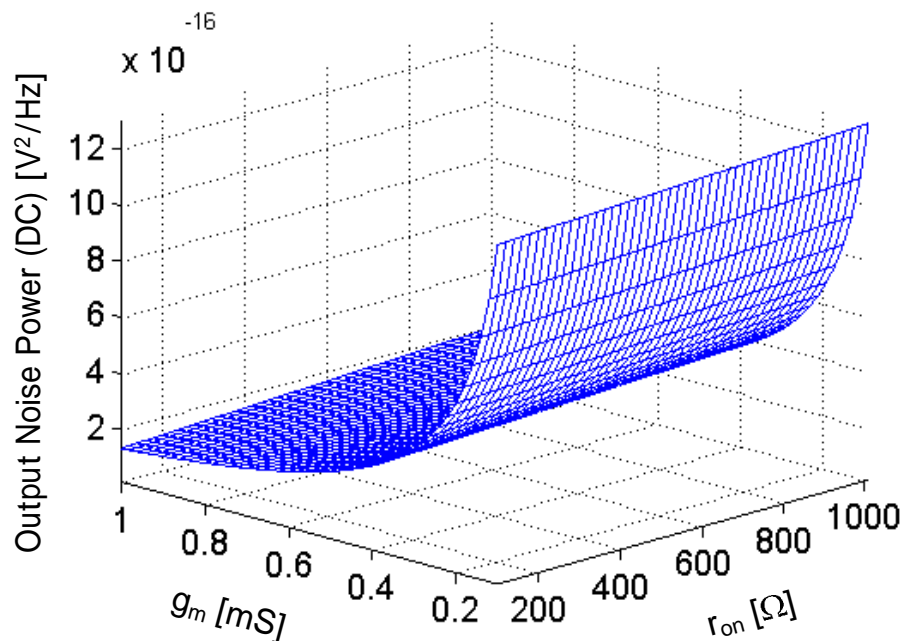
$$r_{f \text{ opt}} = 2mr_{on} + \frac{m+1}{g_m}$$

- ポール・ゼロキャンセル法を用いた場合、オペアンプノイズの帯域が広がる。



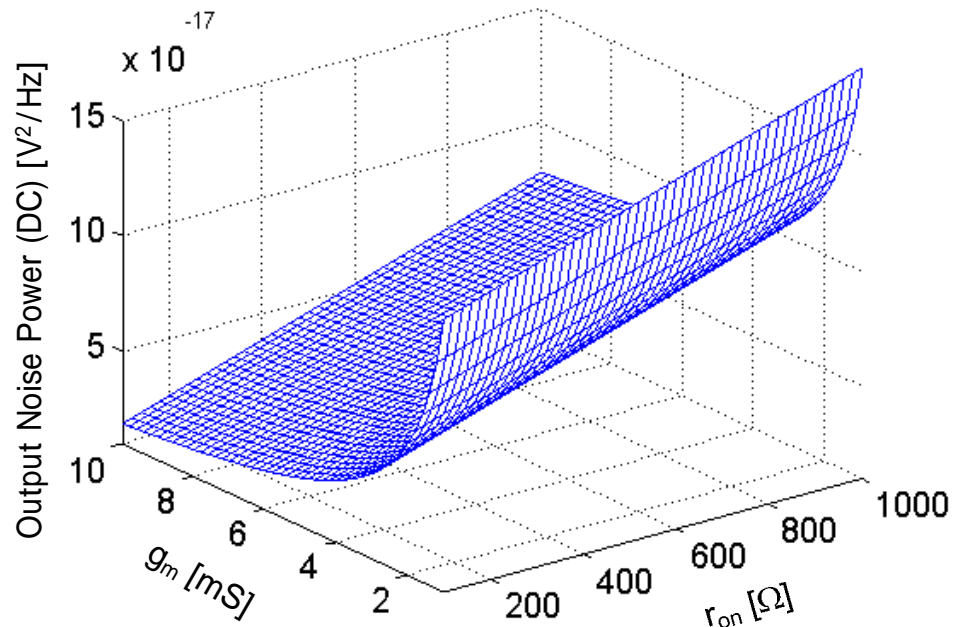
Frequency response of the opamp noise transfer function

- 低電力（低 g_m ）設計では、スイッチオン抵抗のノイズの影響が小さい。



低 g_m 設計の場合

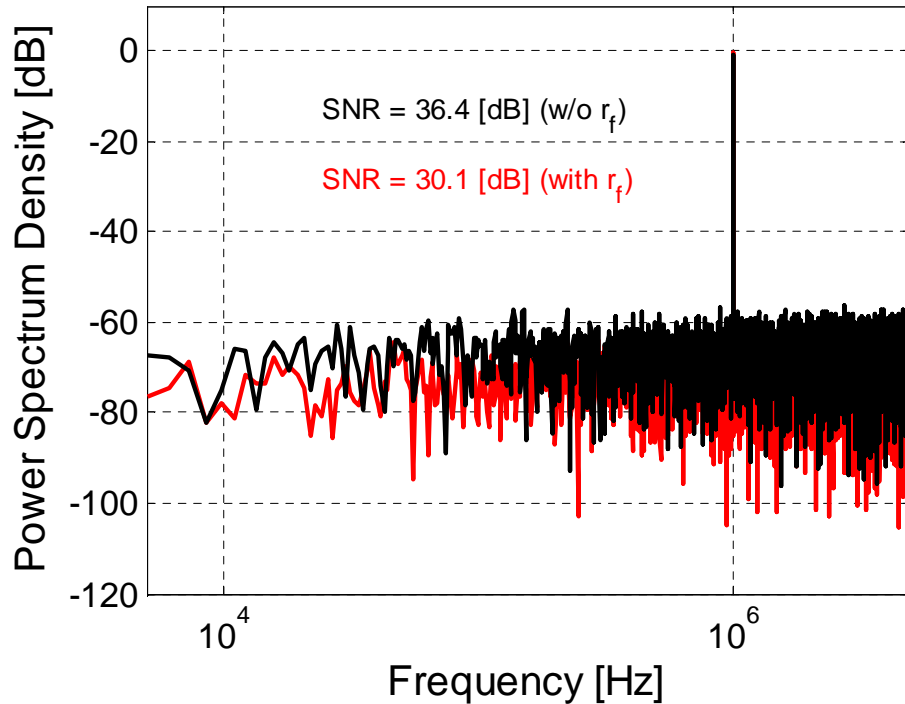
- 高速（高 g_m ）設計では、スイッチオン抵抗のノイズの影響が大きい。



高 g_m 設計の場合

- スwitchオン抵抗を最適設計する必要がある。

- 全体ノイズが増加するため、SNRは6.3dB劣化



SCA output spectrum with 400mVpp sine input

- ポール・ゼロキャンセル法は電力効率が良い。

電力効率 (Figure-of-Merit)

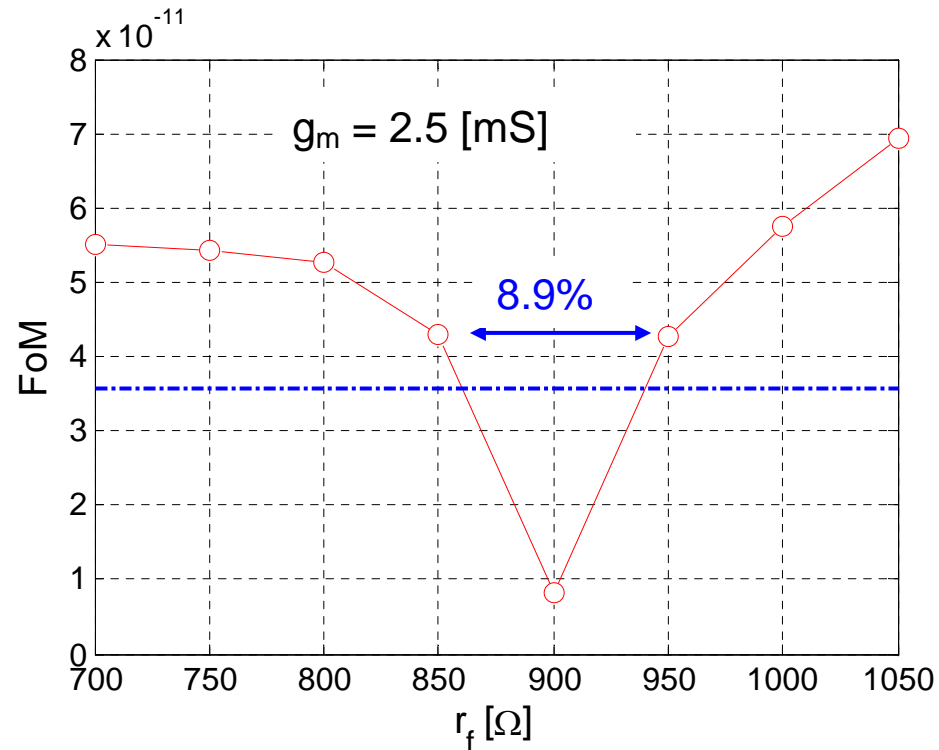
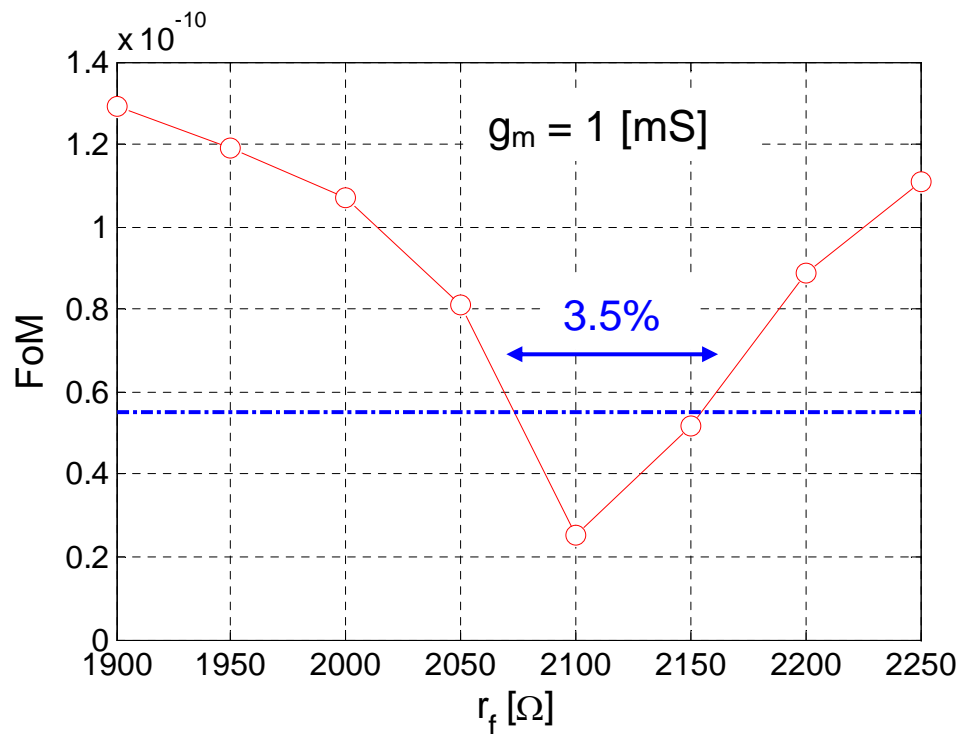
$$\text{FoM} = \frac{P}{f_B \times \text{SNR}}$$

ただし、 f_B : 信号帯域、 P : は消費電力

- ポール・ゼロキャンセル法では、
 - 信号帯域が9.3倍改善
 - SNRが6.3dB (4.3倍)劣化

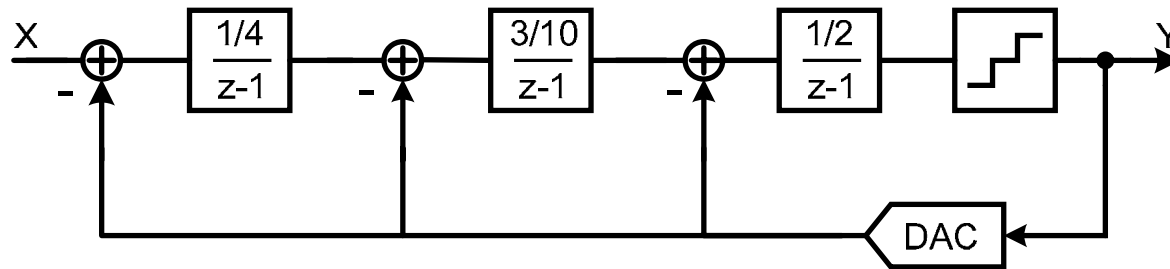
➤ FoMは約1/2改善

■ r_f が最適値からずれると、電力効率が低下

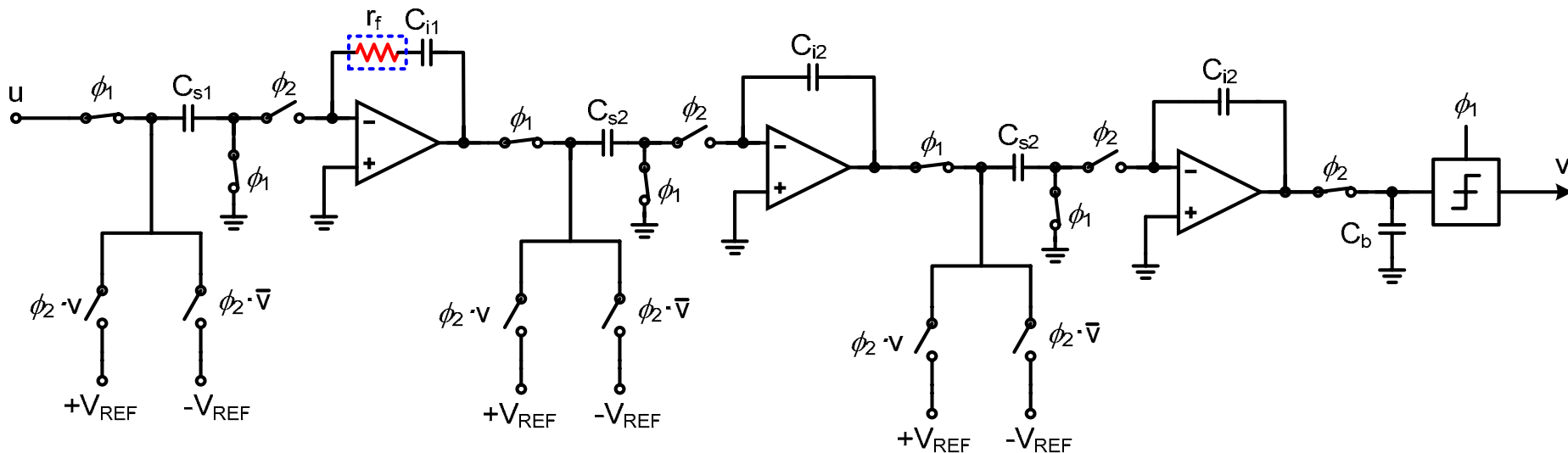


- 問題点: r_f の要求精度が高い
- 今後課題: m , r_{on} , g_m の最適設計

$$r_{f \text{ opt}} = 2mr_{on} + \frac{m+1}{g_m}$$

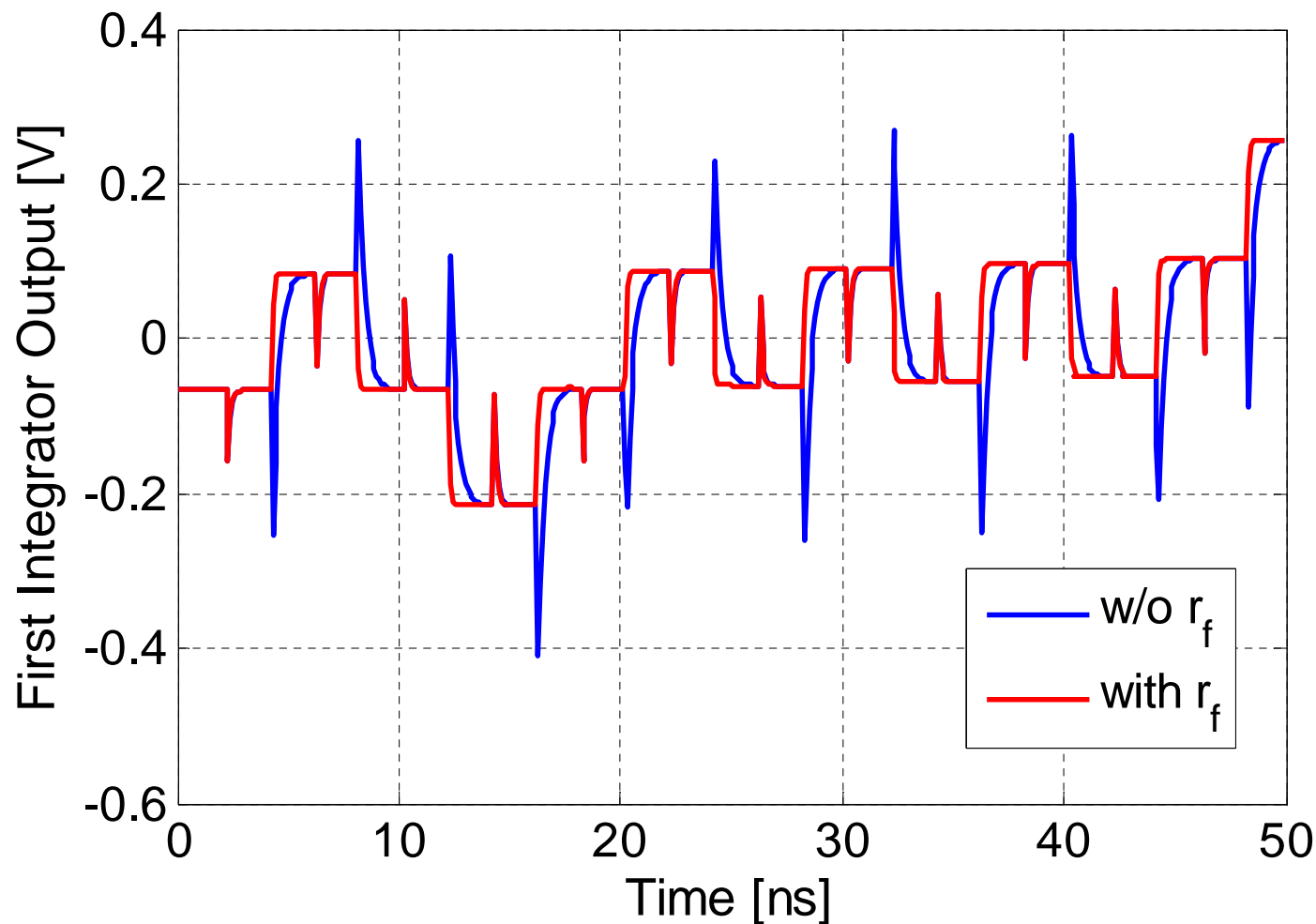


Single-loop third-order topology



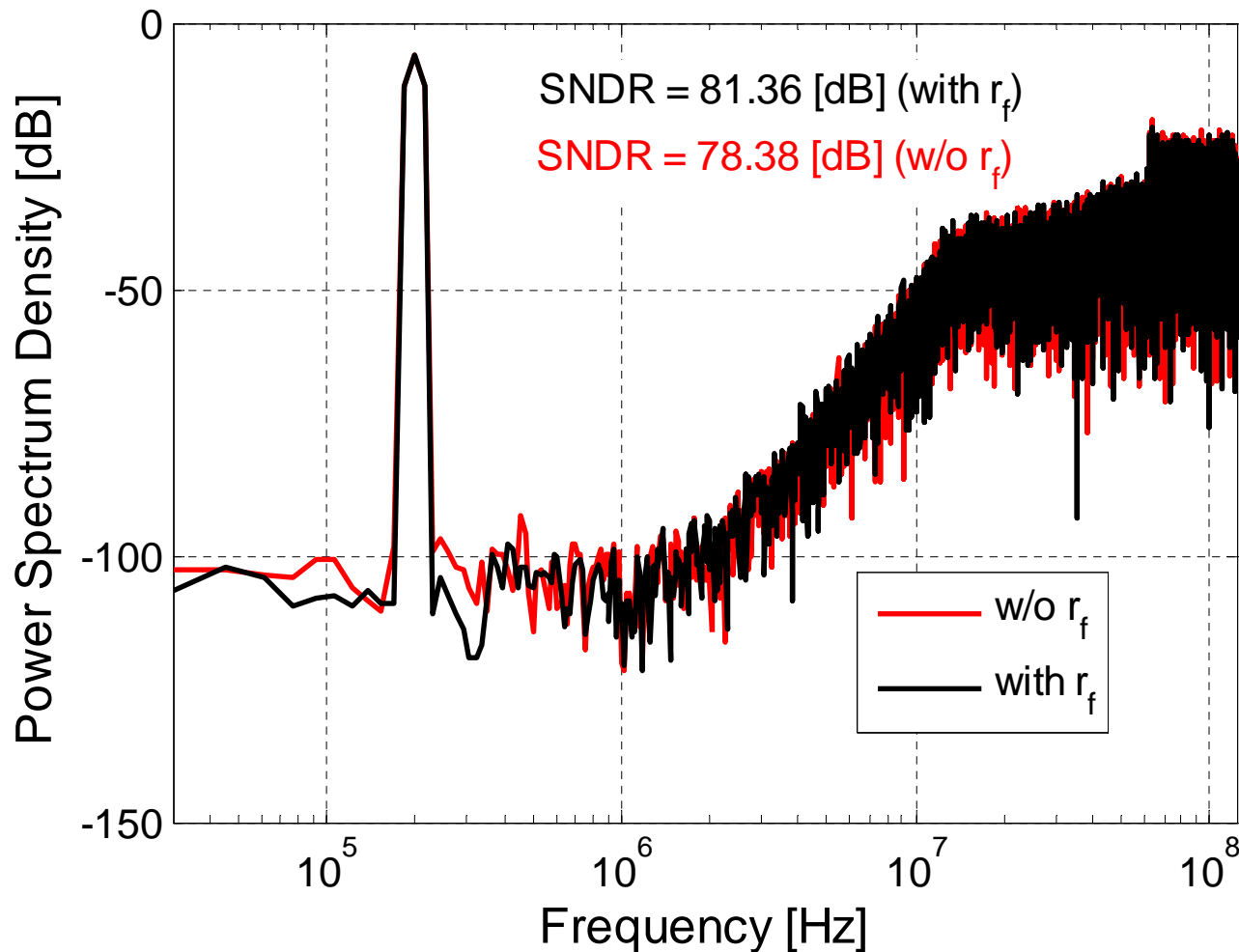
Schematic of the proposed topology

- ポール・ゼロキャンセルを用いた方が応答が速い



Transient Simulation Result

- ポール・ゼロキャンセル法で、SNDRが3dB改善



-6dBFS input, 1% Jitter (= 40p) Simulation Result

- 背景・目的
- ポール・ゼロキャンセル法
- ノイズへの影響
- まとめ

- ポール・ゼロキャンセル法で、スイッチトキャパシタ回路のセッティング時間が大幅に改善できる。
- この方法では、ノイズの広帯域化と、挿入したフィードバック抵抗のノイズにより、全体ノイズが増加することを示した。
- ただし、電力効率の面から、ポール・ゼロキャンセル法が有効であることが明らかになった。