

A/D変換器と設計の基礎

東京工業大学
大学院理工学研究科

松澤昭

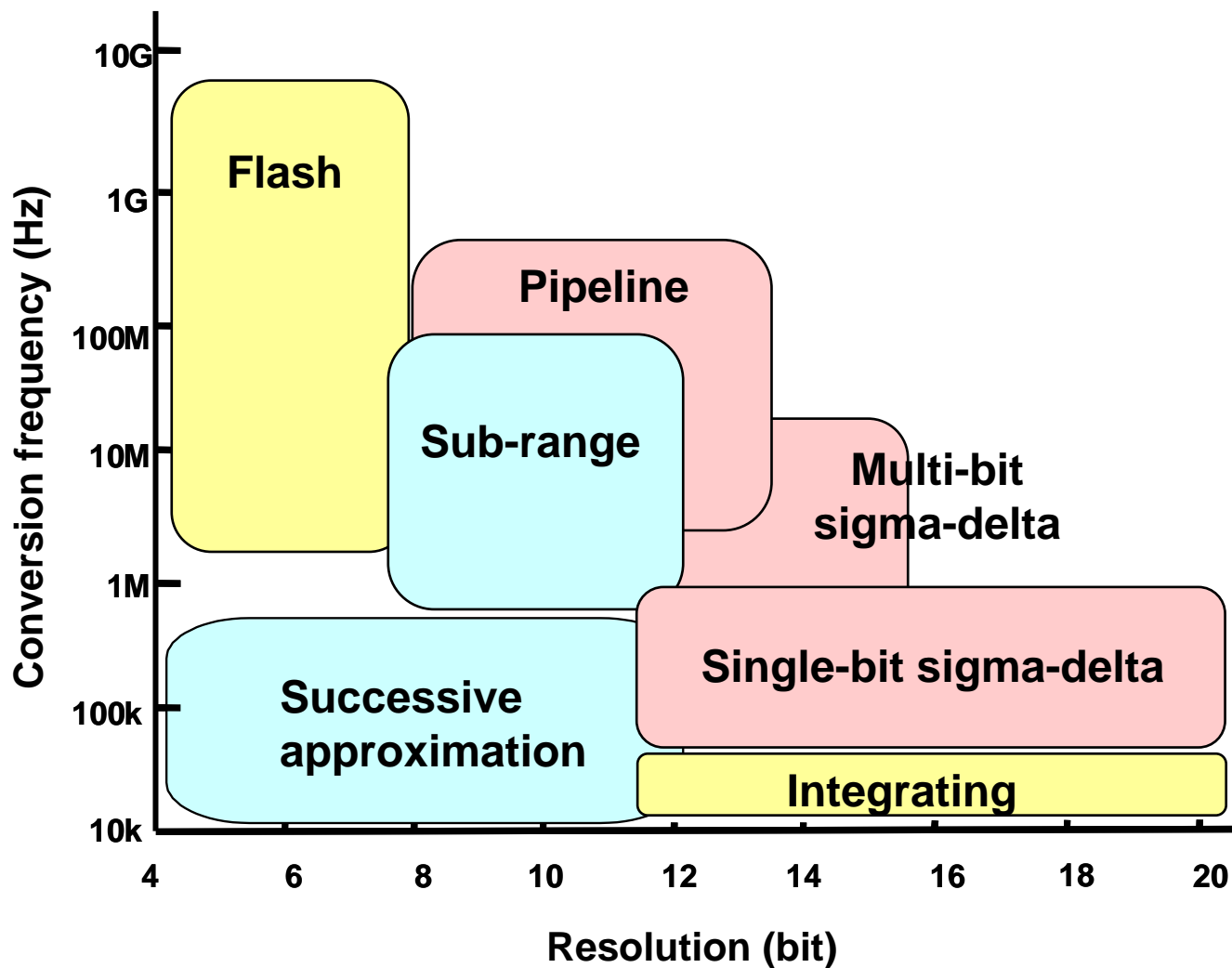
目次

- A/D変換器の変換方式
- パイプライン型A/D変換器
- パイプライン型A/D変換器の設計
- A/D変換性能のより詳細な解析
- OPアンプ回路
- 比較器
- サンプル・ホールド回路
- 付録:演習問題

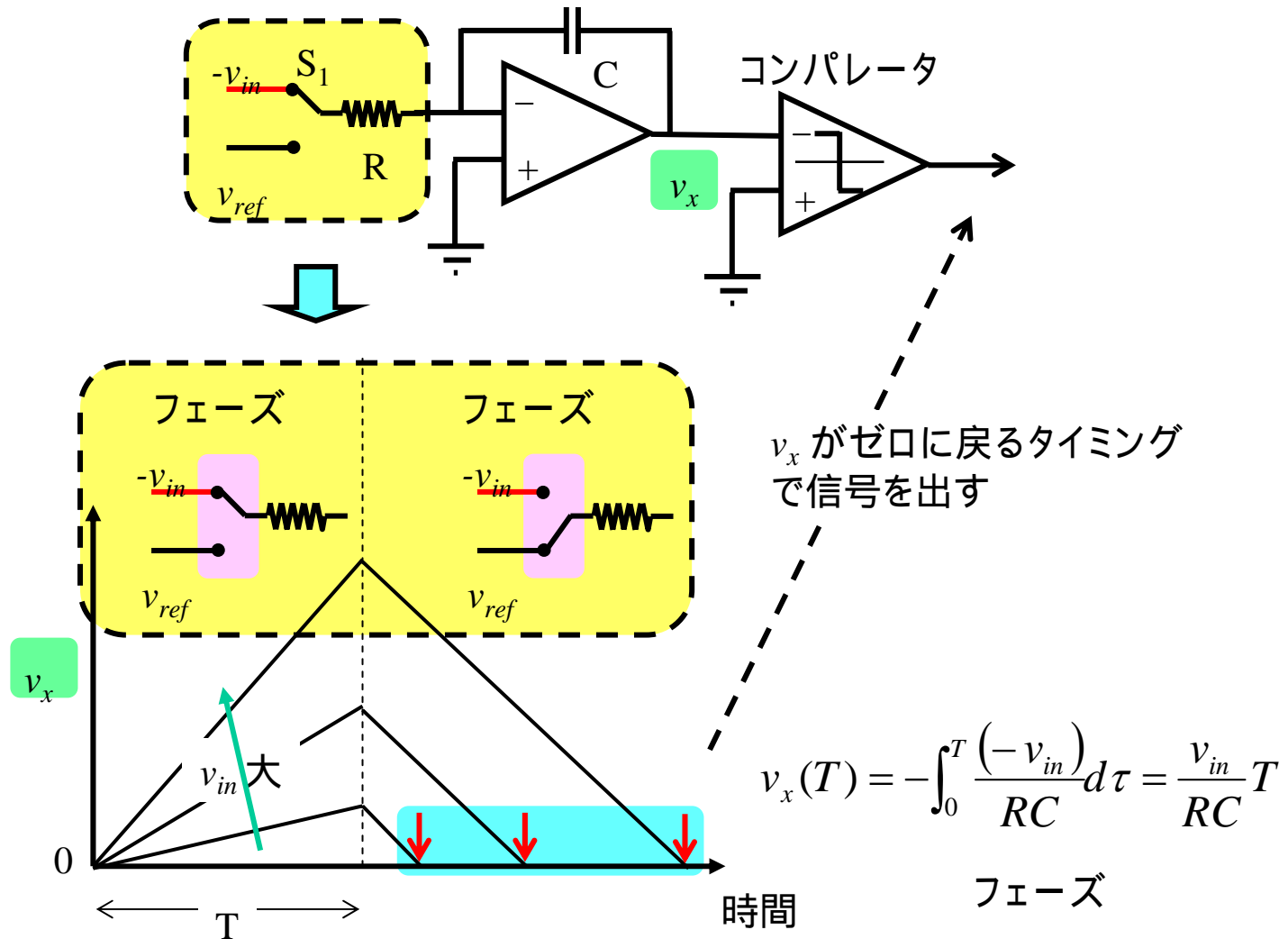
A/D変換器の変換方式

- ・積分型
- ・逐次比較型
- ・並列型

ADCの性能と変換方式

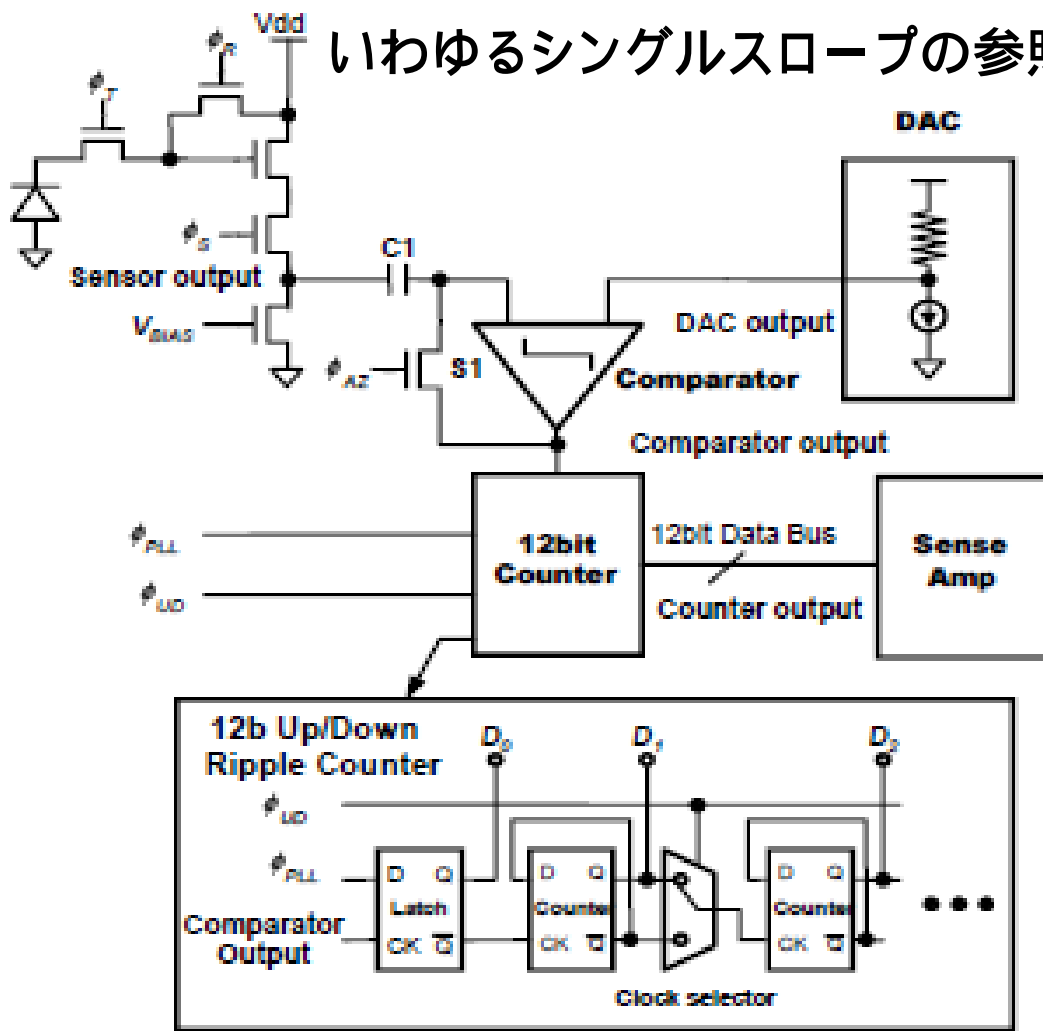


積分型ADコンバータ



積分型ADCの最新の開発例

いわゆるシングルスロープの参照電圧スイープ型のコラムADC



27.5 High-Speed Digital Double Sampling with Analog CDS on Column Parallel ADC Architecture for Low-Noise Active Pixel Sensor

Yoshikazu Nitta, Yoshinori Muramatsu, Kiyotaka Amano, Takayuki Toyama, Jun Yamamoto, Koji Mishina, Atsushi Suzuki, Tadayuki Taura, Akihiko Kato, Masaru Kikuchi, Yukihiro Yasui, Hideo Nomura, Noriyuki Fukushima

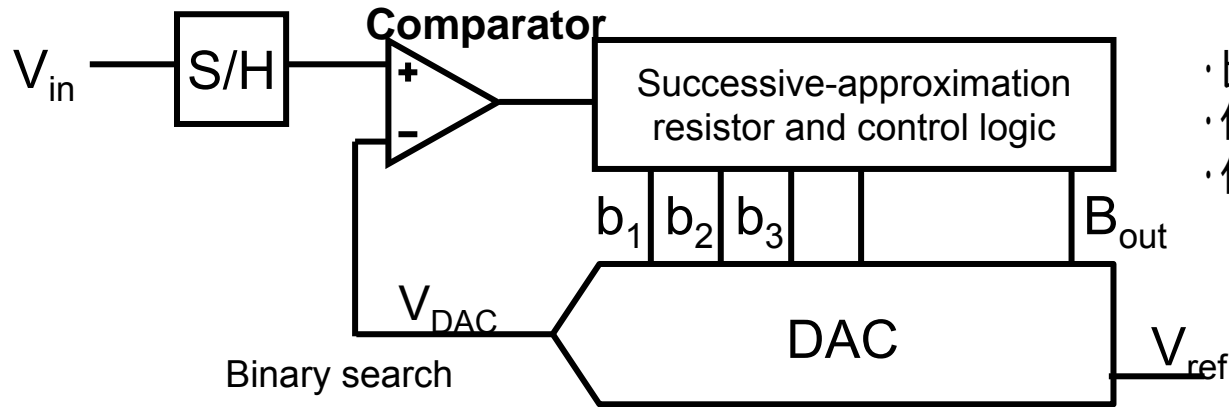
Sony, Atsugi, Japan

ISSCC 2006

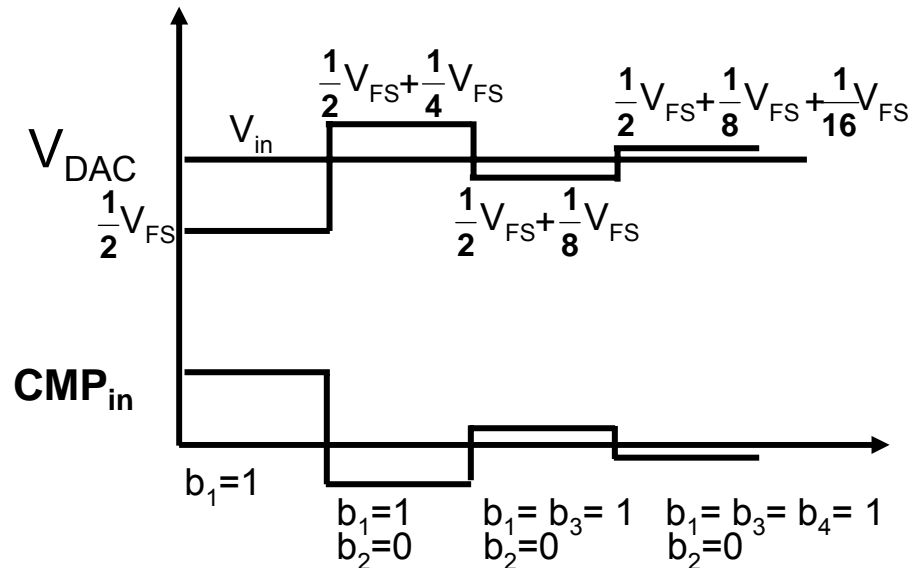
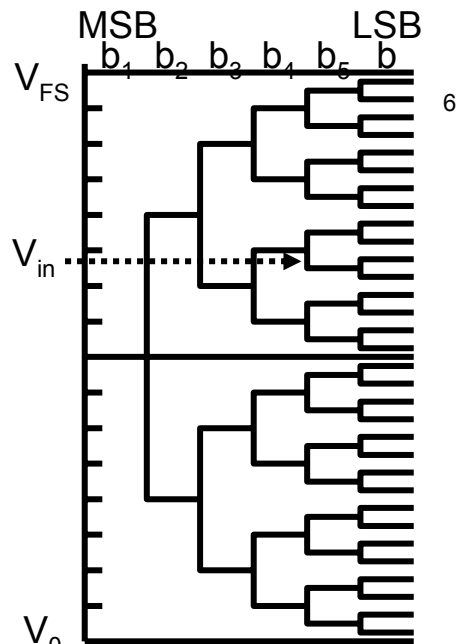
Figure 27.5.2: Column-inline dual CDS architecture.

逐次比較型 ADC

バイナリサーチのアルゴリズムを用いたものが逐次比較型ADCである。



- ・比較的高精度 16bit程度
- ・低消費電力(OPアンプを使用しない)
- ・低速(マルチサイクル)



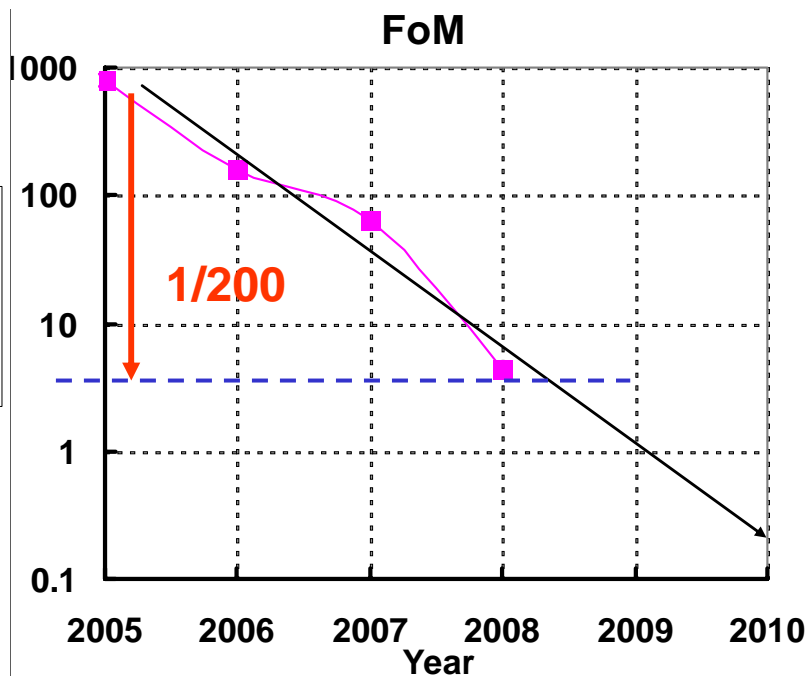
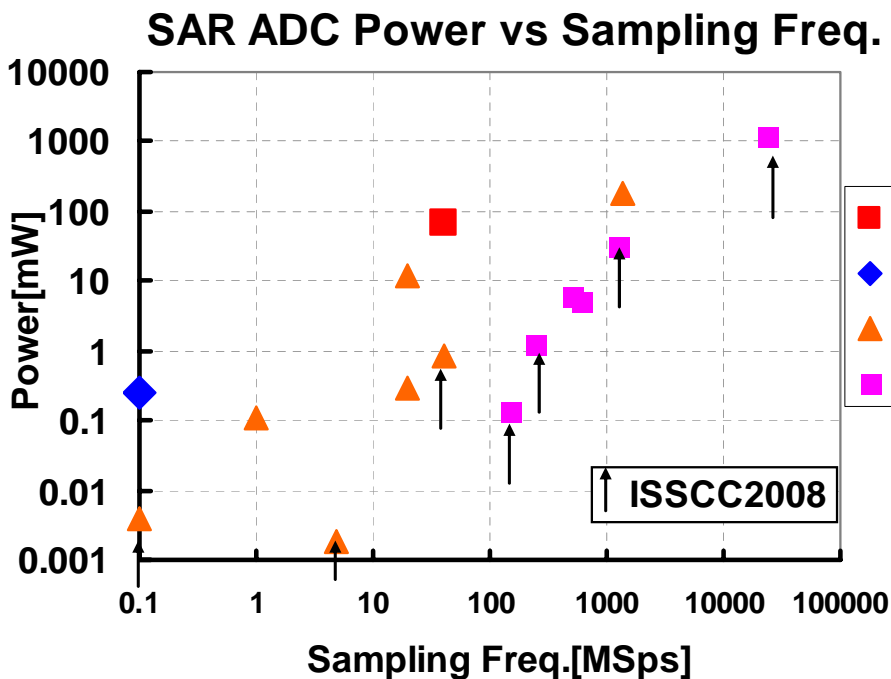
SA ADCの性能

SA ADCは高分解能から高速まですべての領域で開発が進められている。
FoMは3年間で1/200まで低下した。

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

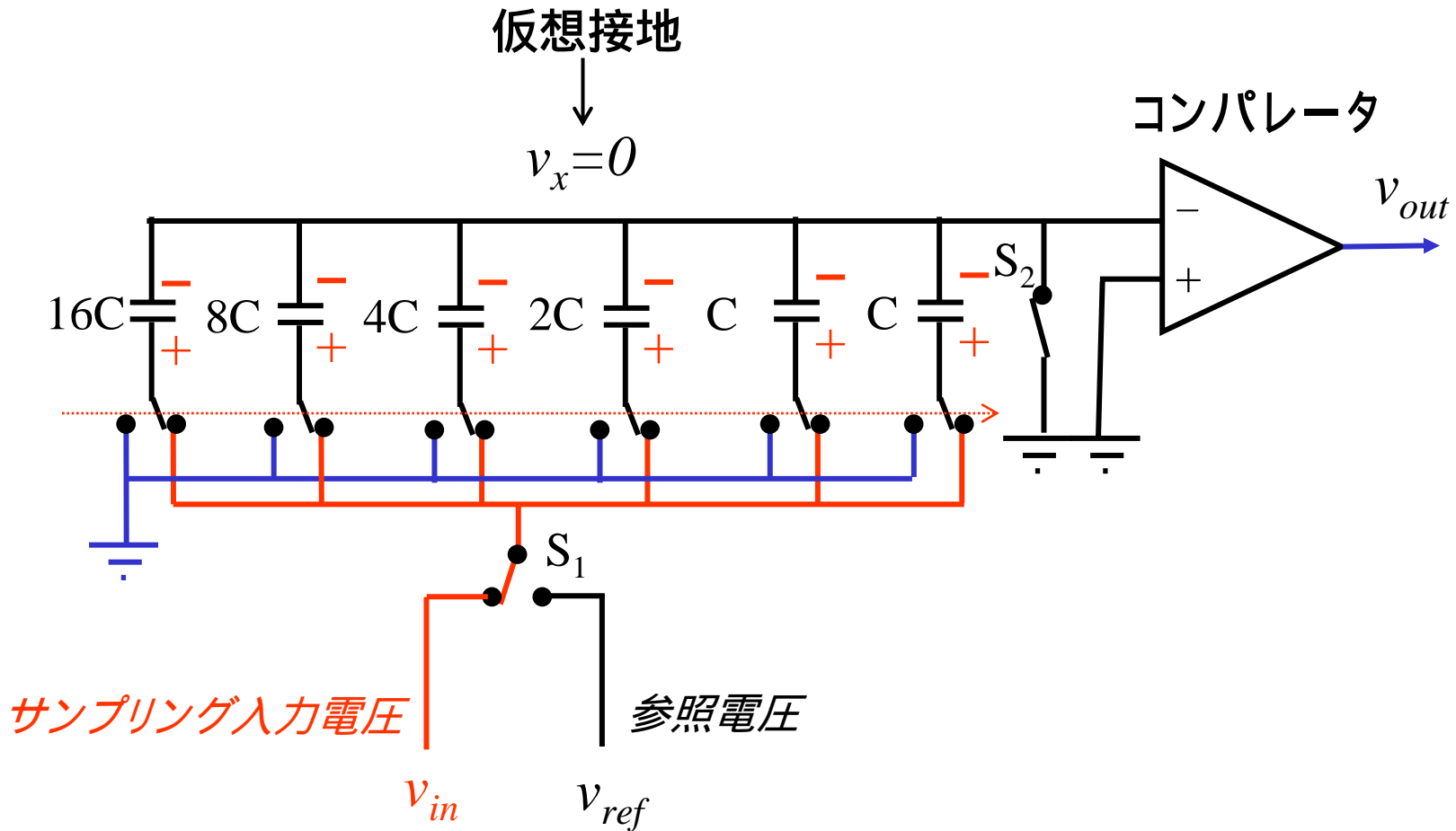
Courtesy Y. Kuramochi

3年間で FoMは 1/200に減少



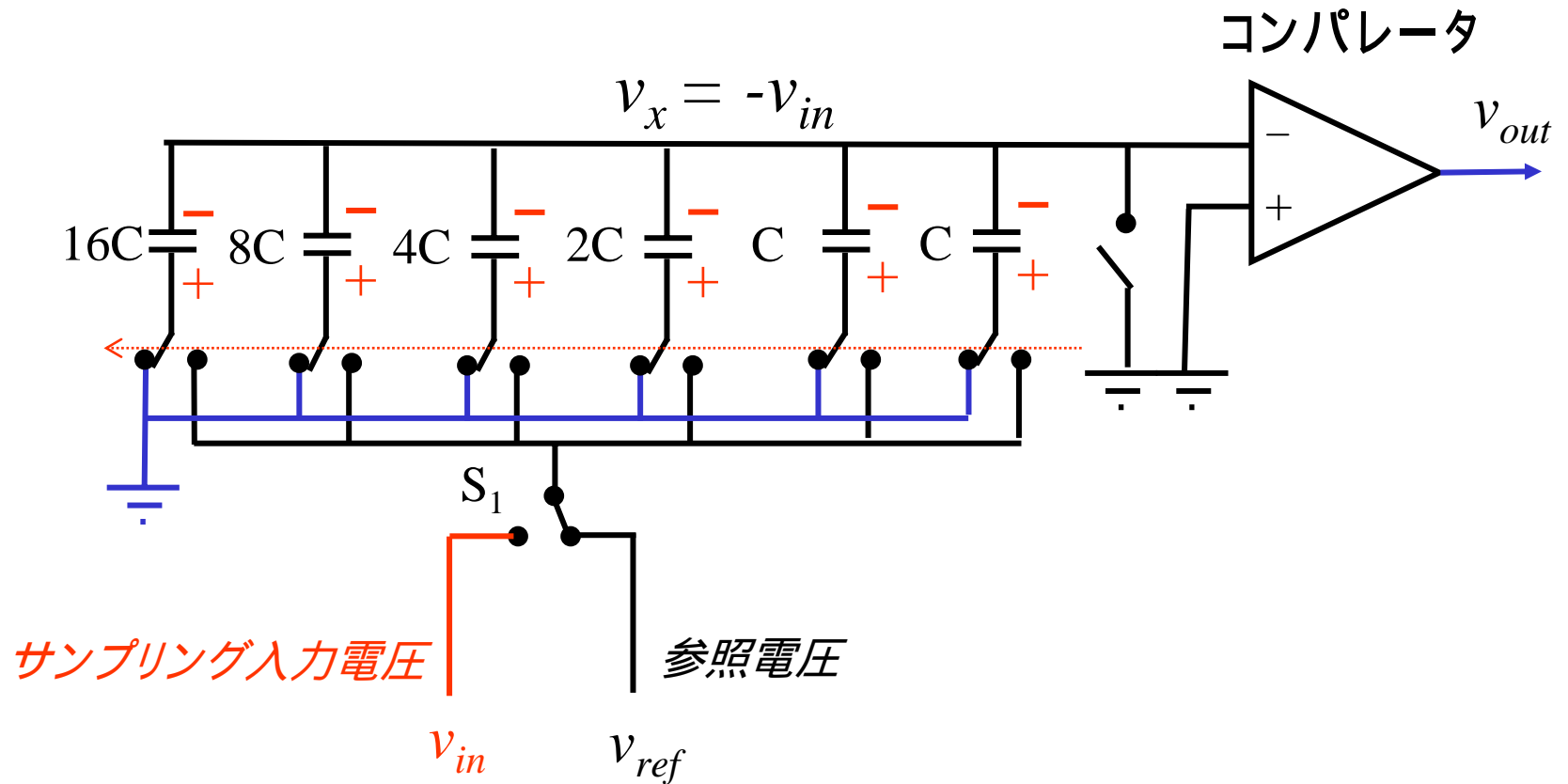
逐次比較型ADコンバータ(1)

サンプルモード



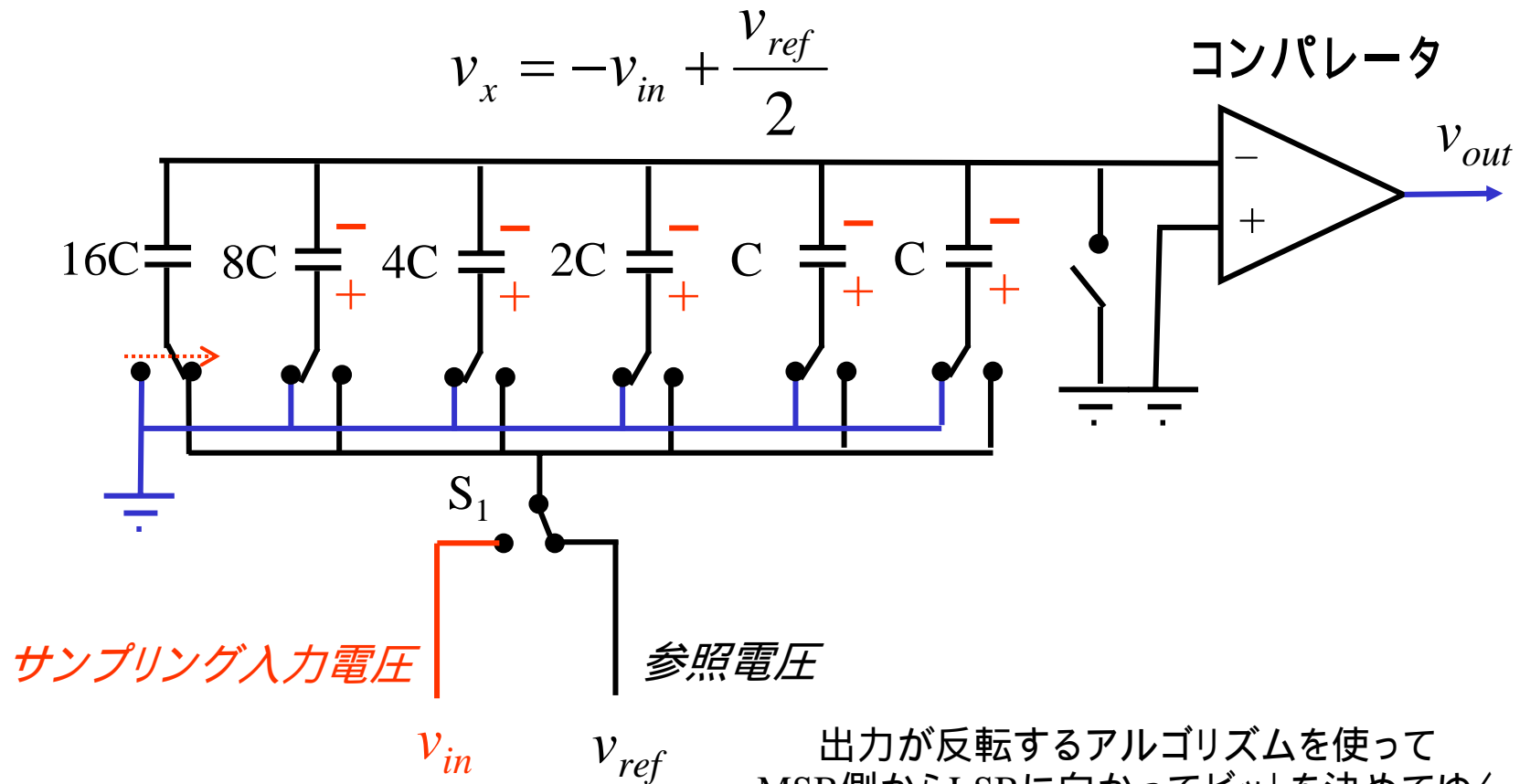
逐次比較型ADコンバータ(2)

ホールドモード



逐次比較型ADコンバータ(3)

ビット・サイクリング・モード



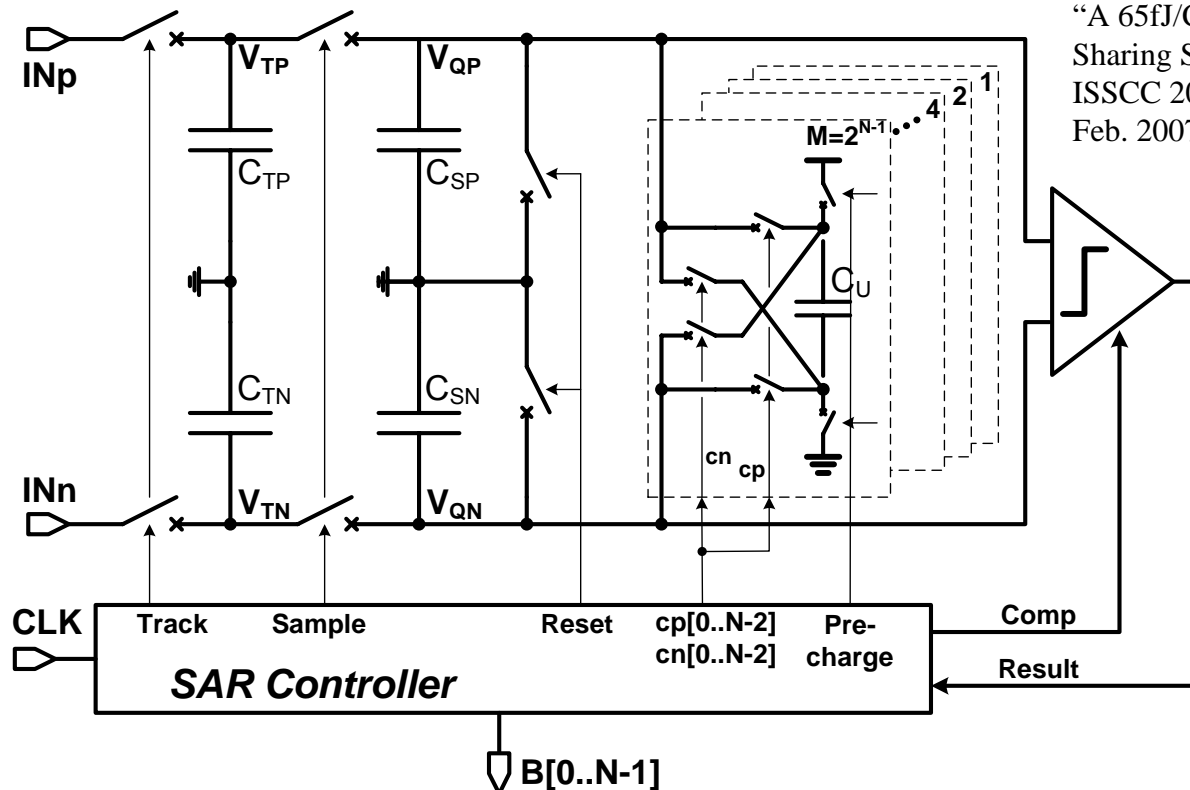
出力が反転するアルゴリズムを使って
MSB側からLSBに向かってビットを決めてゆく

逐次比較型ADCの最新開発例

65fJ/conv. を達成した逐次比較型ADC

あらかじめ参照電圧を重み付けされた容量に保存しておき
 V_{QP} , V_{QN} 間を比較して極性を変えながら接続することで逐次比較を実現する。
 参照電圧の逐次印加が不要なのでセットリングが速く、バッファが要らないので低電力

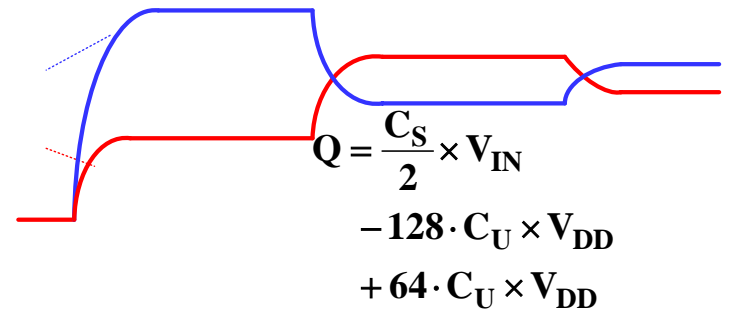
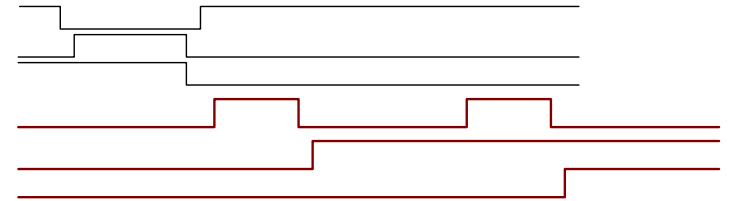
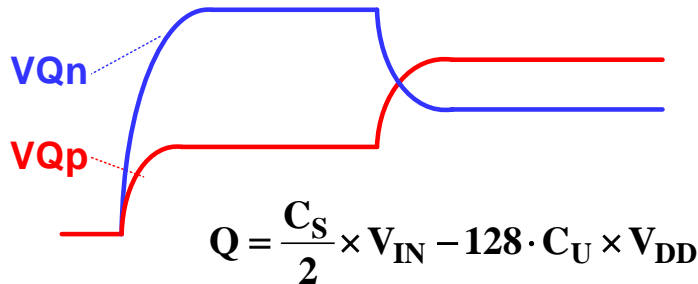
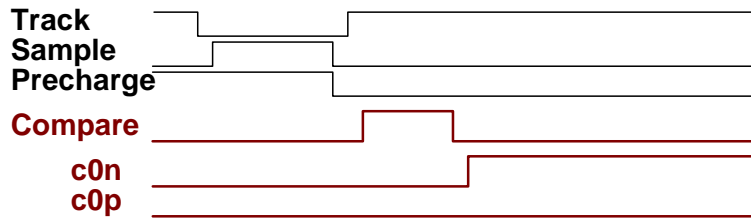
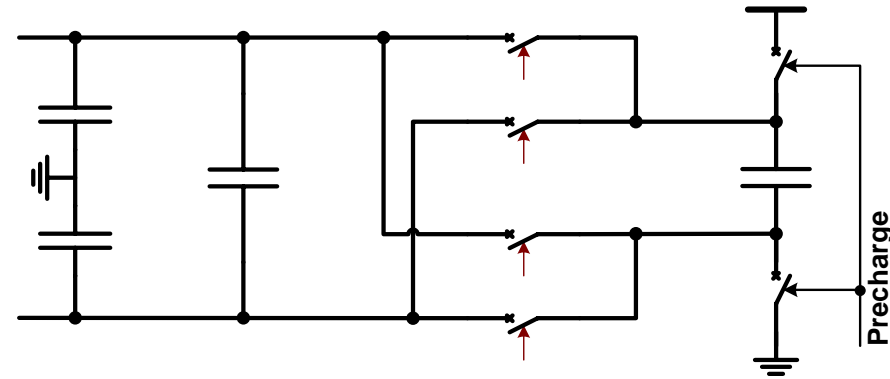
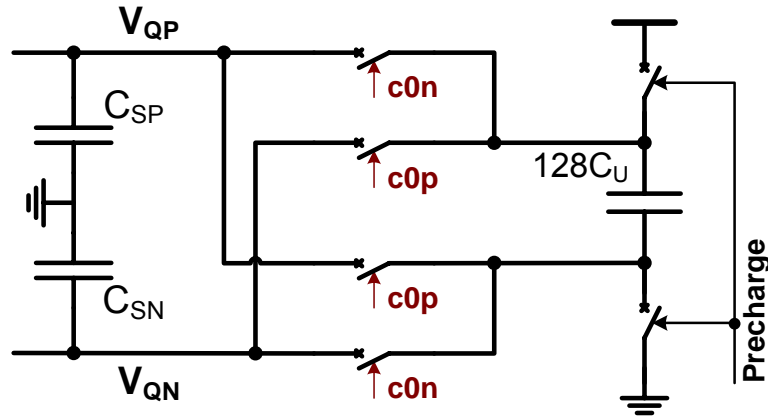
J. Craninckx and G. Van der Plas,
 "A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," IEEE
 ISSCC 2007, Dig. of Tech. Papers, pp.246-247,
 Feb. 2007.



$$Q_{REF} = \sum_i 2^i C_U \cdot V_{DD}$$

逐次変換の方法

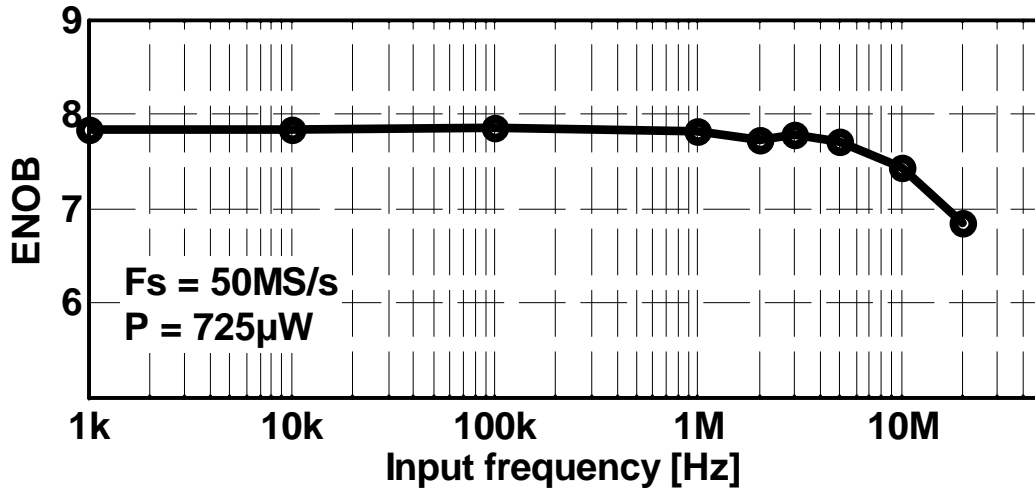
1. 差動入力信号を C_{sp} , C_{sn} に保存し、 V_{QP} , V_{QN} 間を比較してMSBを決定する。
2. MSBの状態に応じて容量 $128C_U$ の接続極性を切り替えて C_{sp} , C_{sn} に接続
3. 減少した差動電位を比較してMSB-1 bitを決定、以下繰り返す



± ...

評価結果

FoM=65fJ/stepの驚異的な低FoMを達成



変換周波数20MHzで
ナイキスト周波数まで
7.8bitの有効ビットを達成

20MHzで0.3mW
FoM=65fJ/stepの驚異的な低FoMを達成

90nm CMOS 1V動作

ISSCC06 Paper #	Arch.	Fs [MS/s]	ENOB	P [mW]	FoM [fJ]	FoM includes		
						Ref.	Clock	Dec.
3.1	CTΔΣ	40	12	50	300	-	Yes	Yes
3.4	ΔΣ	4.4	12.6	13.8	500	-	No	No
12.1	PL	100	9.4	39	570	-	-	-
12.3	Subr.	50	10.4	30	440	-	-	-
12.4	PL-CBSC	7.9	8.7	2.5	760	-	-	-
12.5	SAR	0.1	10.5	0.025	170	No	No	-
12.7	PL	50	9.2	15	510	-	-	-
31.1	Flash	1250	3.7	2.5	160	-	-	-
31.5	SAR	300	5.3	2.65	220	No	Yes	-
This work	CS-SAR	20	7.8	0.29	65	Yes	Yes	-

世界最小の FoM を達成した ADC

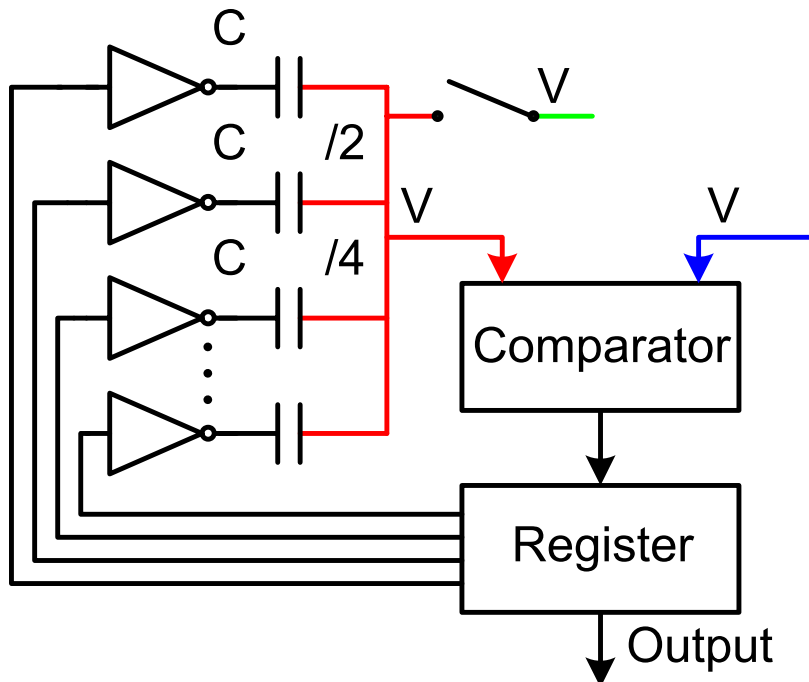
断熱充電技術により驚異的な FoM= 4.4fJ/Conv-step. を達成した

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B. Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

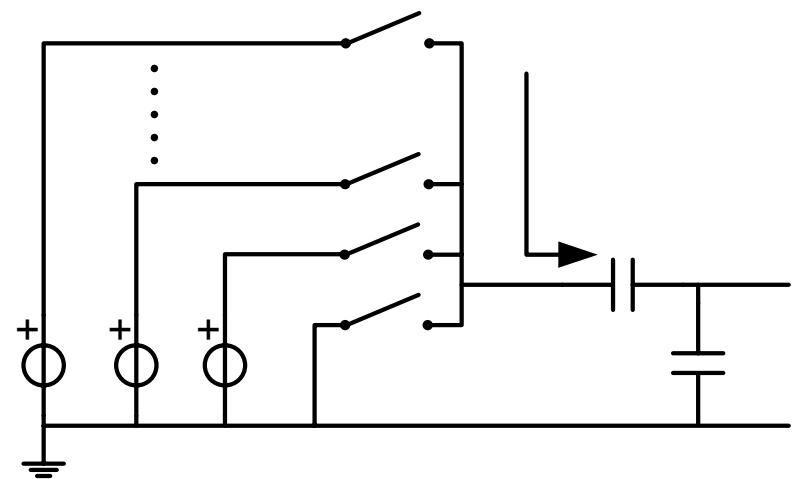
Multi-step charging can reduce energy more

$$E_{\text{diss}} = n \cdot \frac{1}{2} \cdot C_{\text{eq}} \cdot \left(\frac{V_b}{n} \right)^2 = \frac{1}{n \cdot 2} \cdot C_{\text{eq}} \cdot V_b^2$$

Simple SA architecture



Multi-step charging (断熱充電)

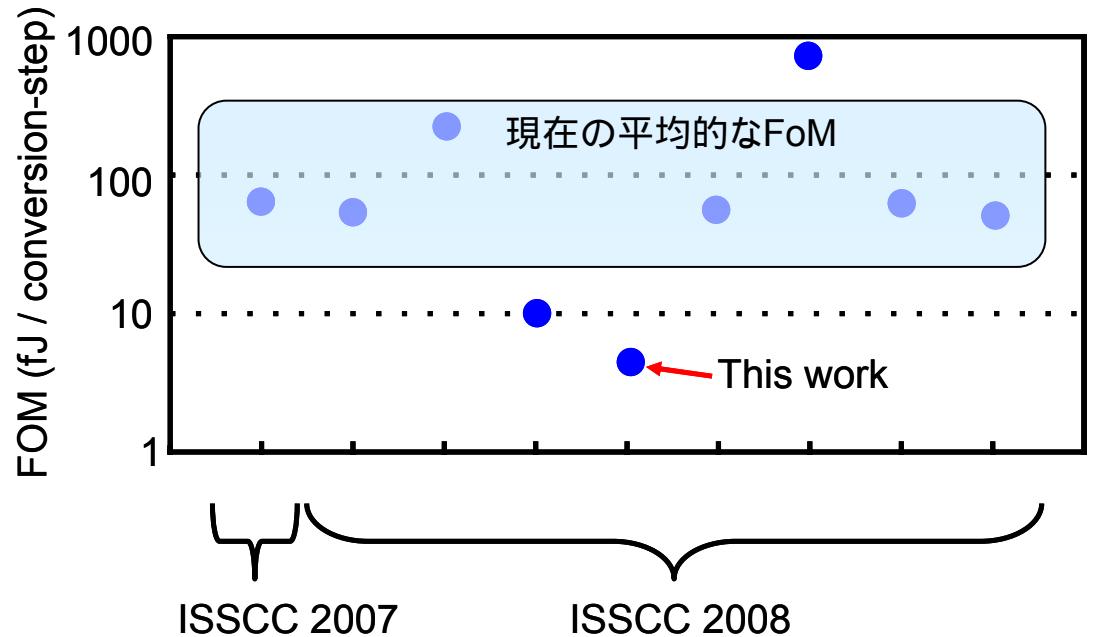


得られた性能

驚異的な FoM, 4.4fJ/conv-step. を達成した。

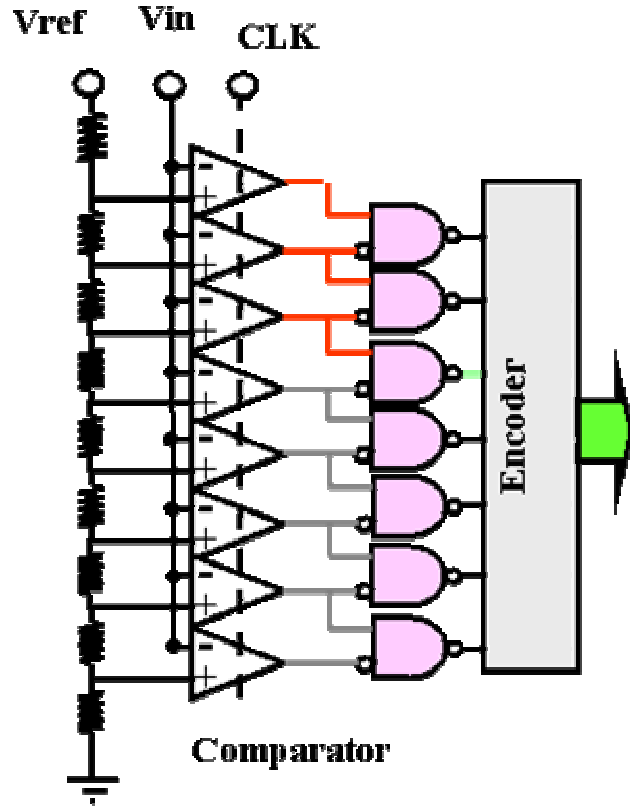
1.9uW, 10bit, 1MSps @ 90nm CMOS

	Average
SNR (dB)	55.6
THD (dB)	-61.1
DNL (LSB)	0.49
INL (LSB)	2.24
SNDR (dB)	54.4
ENOB (bit)	8.75
$E_{\text{conversion}}$ (pJ/conversion)	1.9
Figure Of Merit (fJ / conversion-step)	4.42



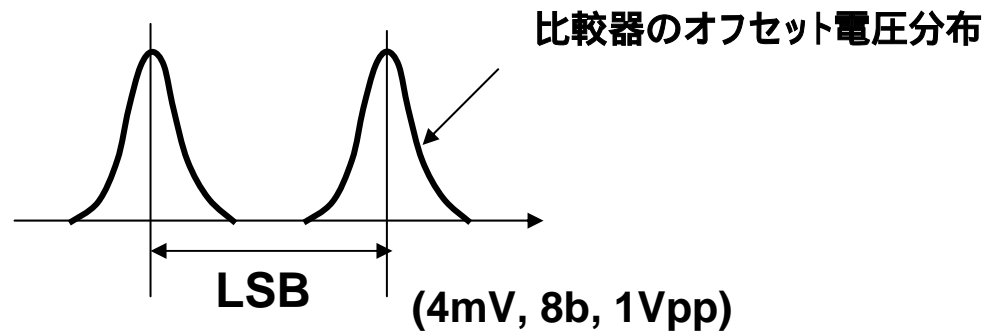
並列型ADC

Ultra-high speed (---2GHz)
Low resolution (<8bit)
Large power consumption



DC精度

主として比較器のオフセット電圧のばらつき



AC精度

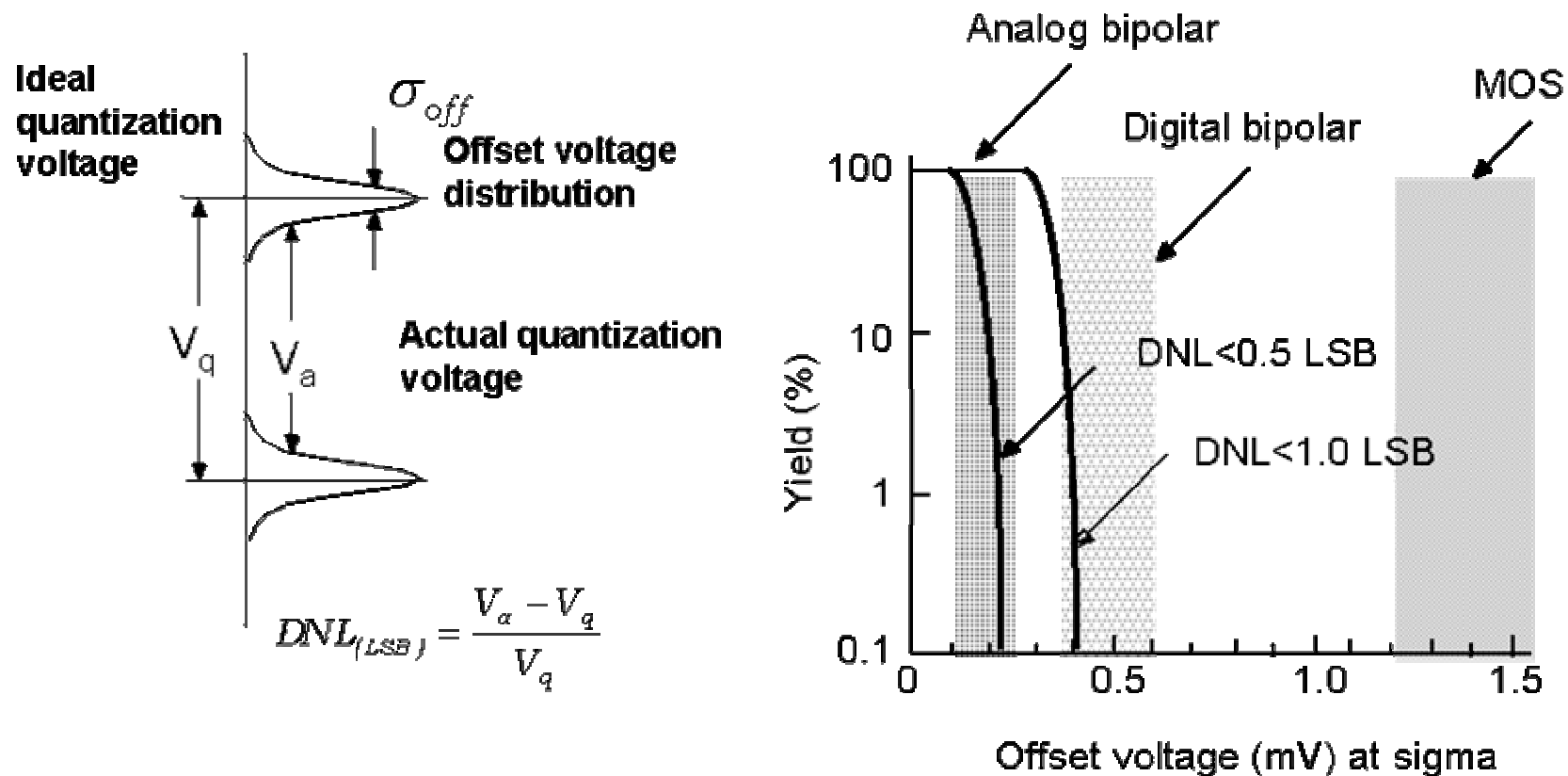
- ・サンプリングジッター
- ・入力容量による時定数と非線形容量
- ・クロックと信号のタイミング分布(配線遅延)
- ・比較器の過渡特性

変換速度

- ・比較器の応答(メタステーブル特性)
- ・ロジック系の速度

ADCの精度

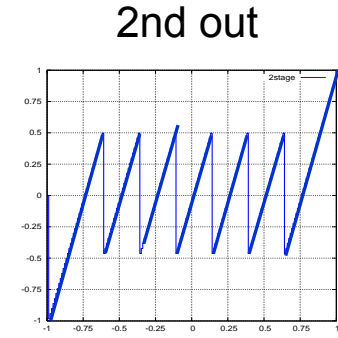
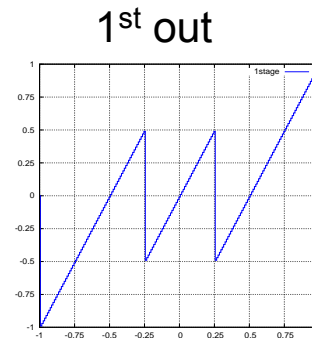
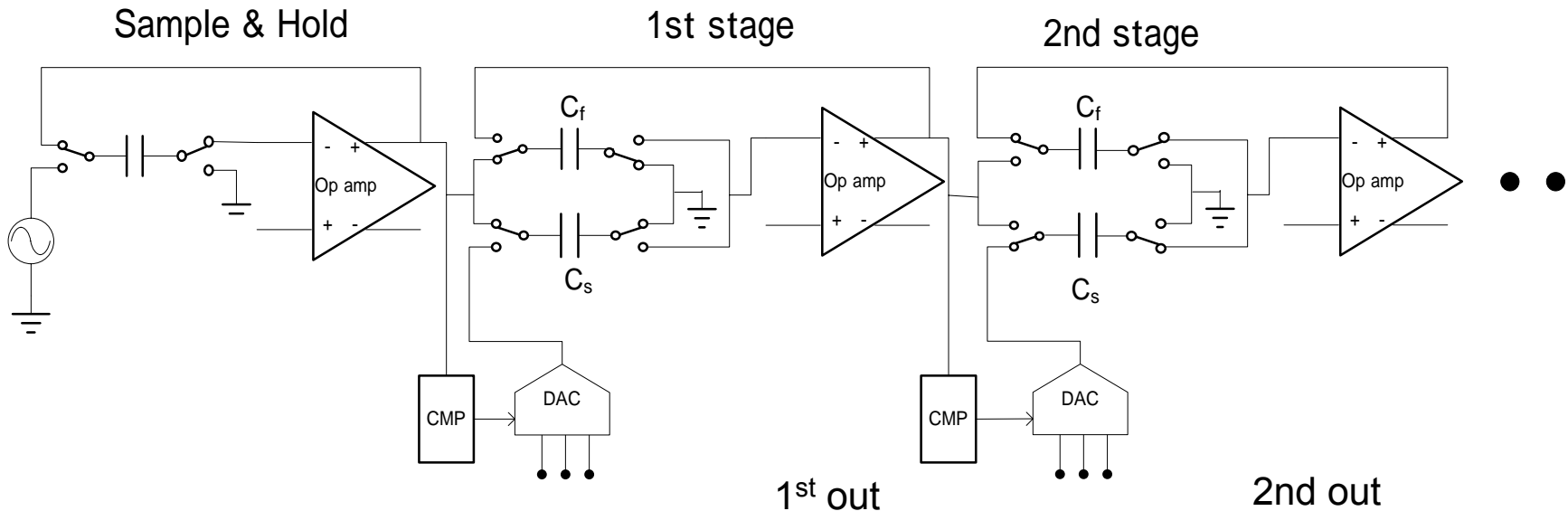
殆どの場合、比較器のミスマッチにより決定される。



パイプライン型ADC

パイプライン型ADCの基本構成

- パイプライン型ADCは
- ・ 標本化
 - ・ 電圧比較 (ADC)
 - ・ 比較結果に応じたDAC電圧設定
 - ・ 増幅 (通常2倍)
- をパイプライン的に行う

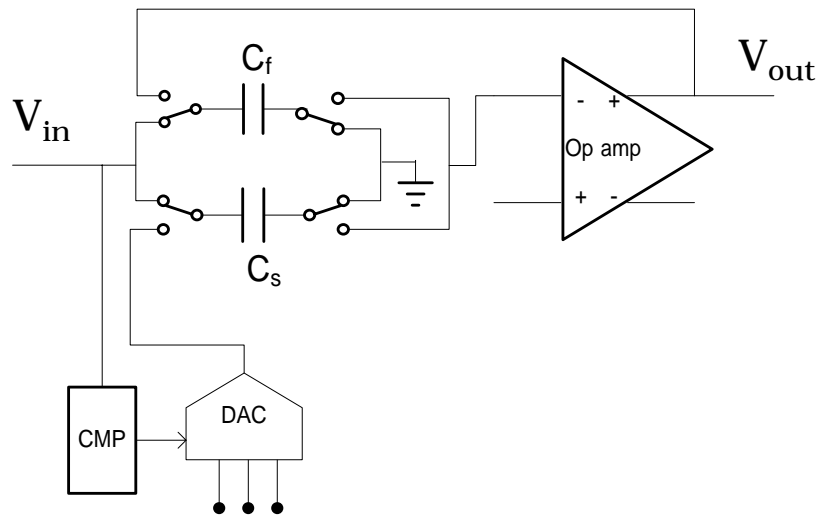


2つの動作モード

Sample

容量 C_f , C_s に前段の出力がサンプリングされる

このときOPアンプは休止していても良い



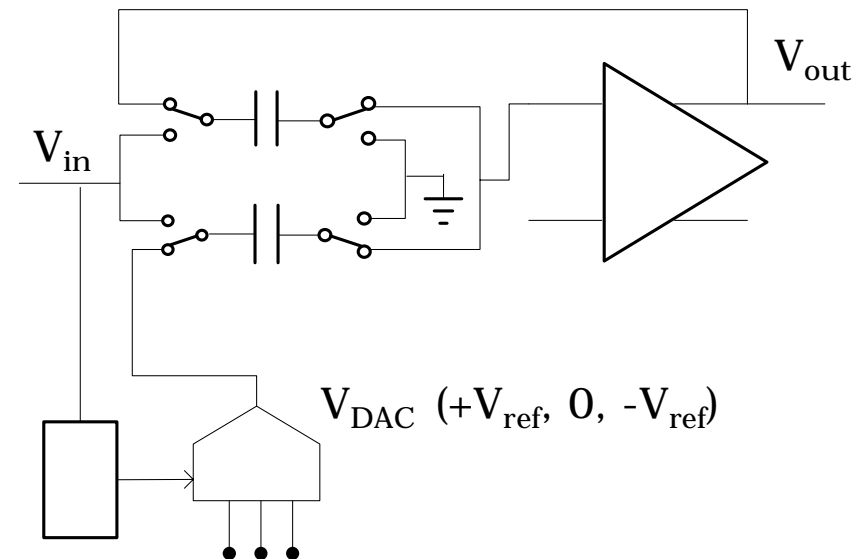
Amplify (Hold)

容量 C_f : OPアンプの入出力間に接続される

容量 C_s : OPアンプの入力端とDACに接続

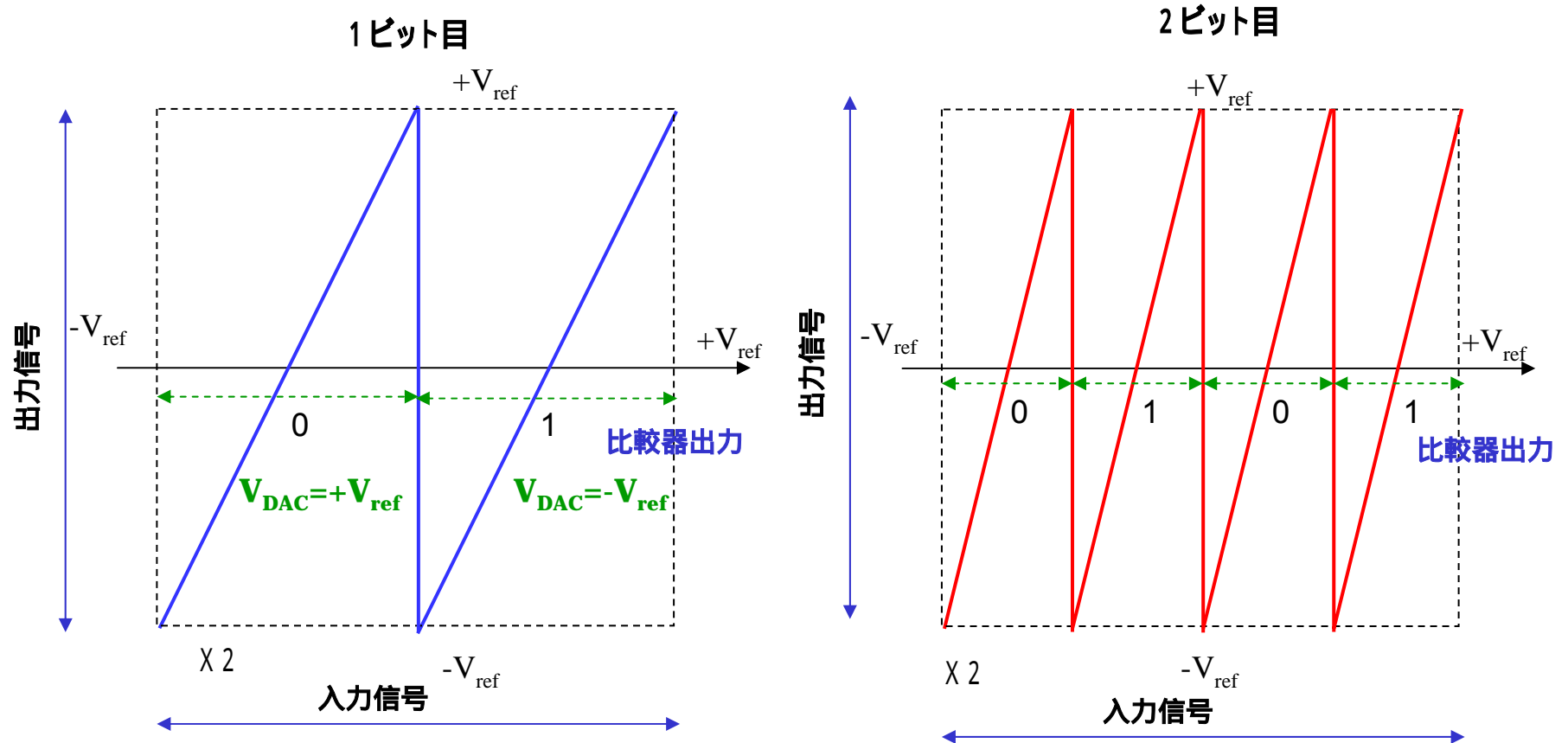
DAC: 比較器により+/- V_{ref} , 0を出力

$$V_{out} = 2 \left(V_{in} - \left\{ + \frac{V_{ref}}{2}, 0, - \frac{V_{ref}}{2} \right\} \right)$$



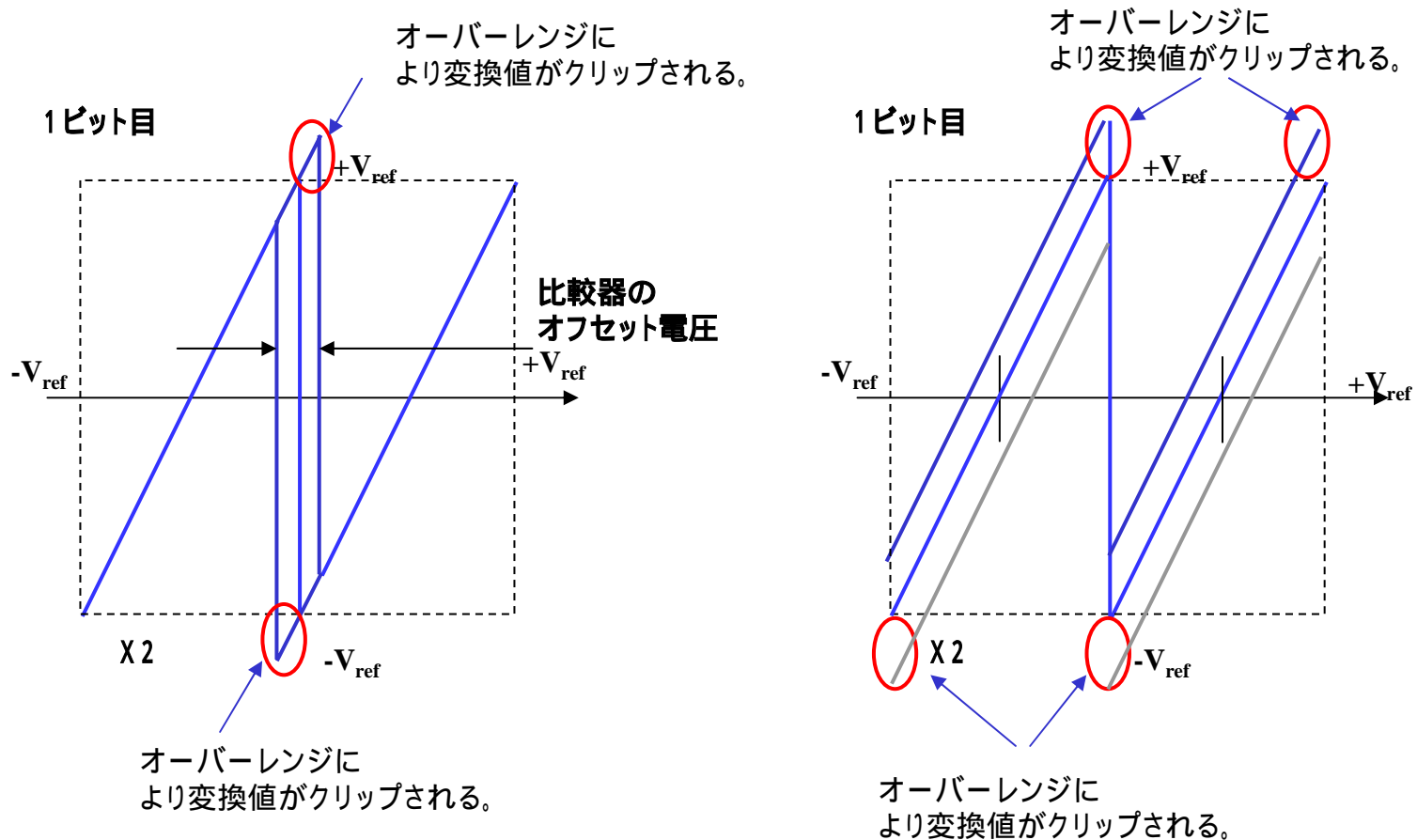
1bit パイプラインADCの動作

信号を折れ返して転送することにより1ビットずつ変換を行う



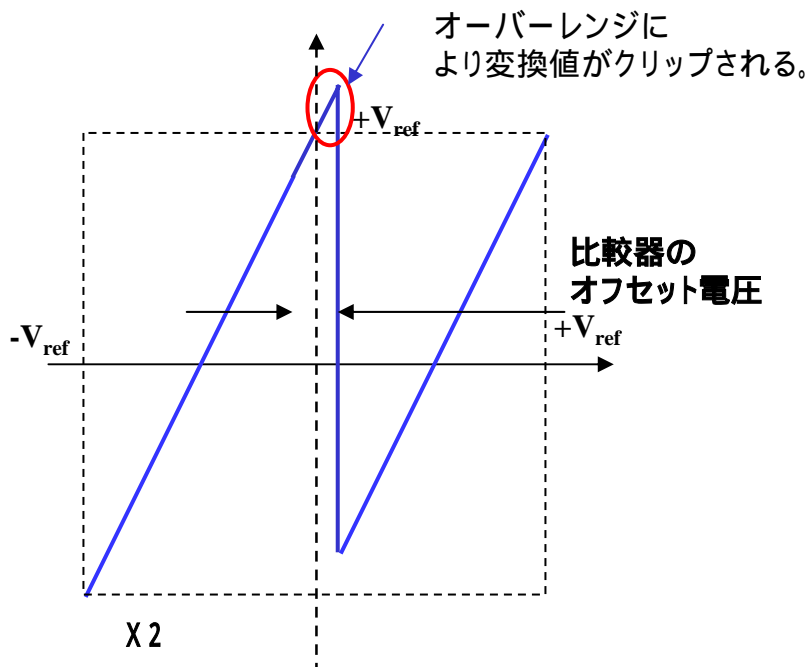
比較器とOPアンプのオフセット電圧の影響

1bit構成では比較器とOPアンプのオフセット電圧精度が量子化電圧程度要求される。

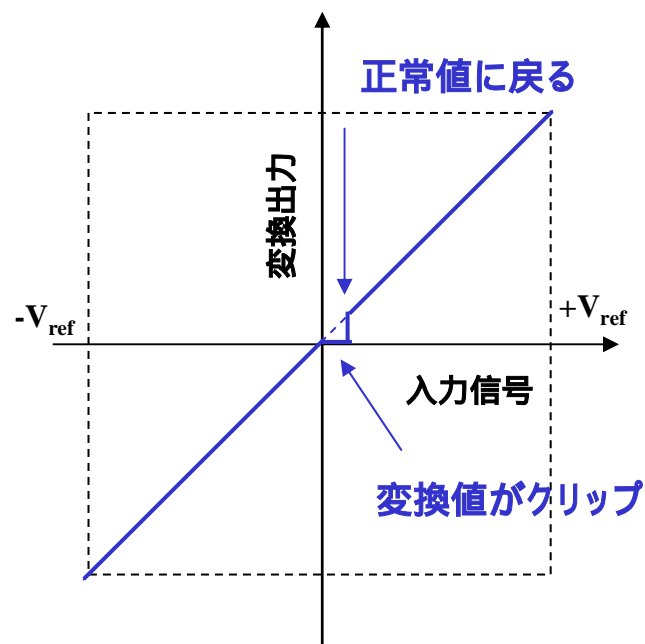


1bit変換時の比較器オフセットと変換特性

1ビット目の入出力特性



A/D変換特性

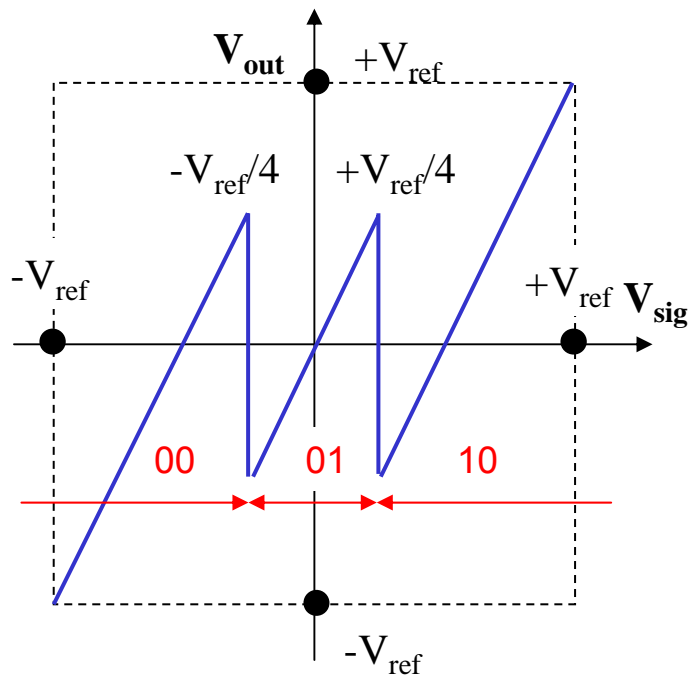


1.5ビット冗長構成

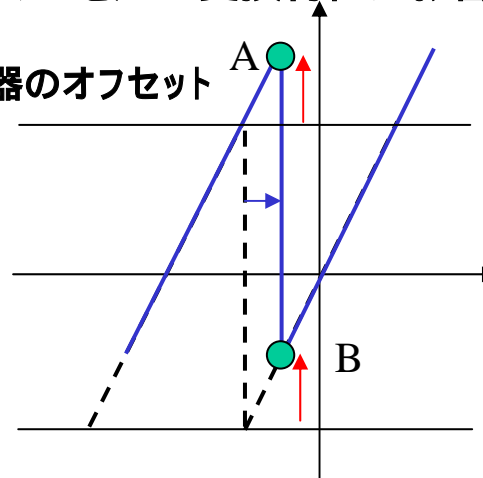
冗長構成にすることで比較器と増幅器のオフセット電圧は変換特性に影響を与えないようになった。

1.5ビット冗長構成の変換特性

変換範囲の充分内側で折れ返す特性



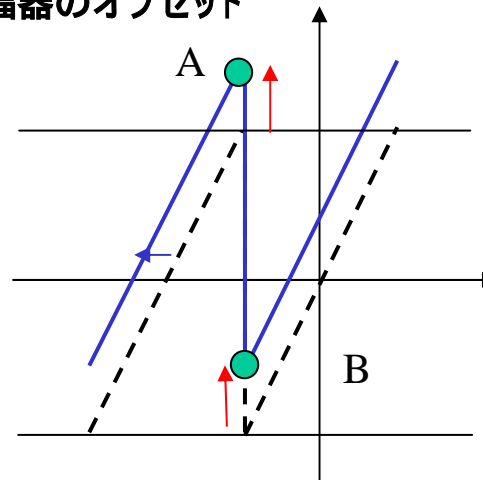
比較器のオフセット



比較器のオフセットで
切り替わり点はずれる
利得が正確な場合
A点とB点は値として
つながる

比較器のオフセットは
補正可能

増幅器のオフセット



増幅器のオフセットで
変換特性は上下にシフト
利得が正確な場合
A点とB点は値として
つながる

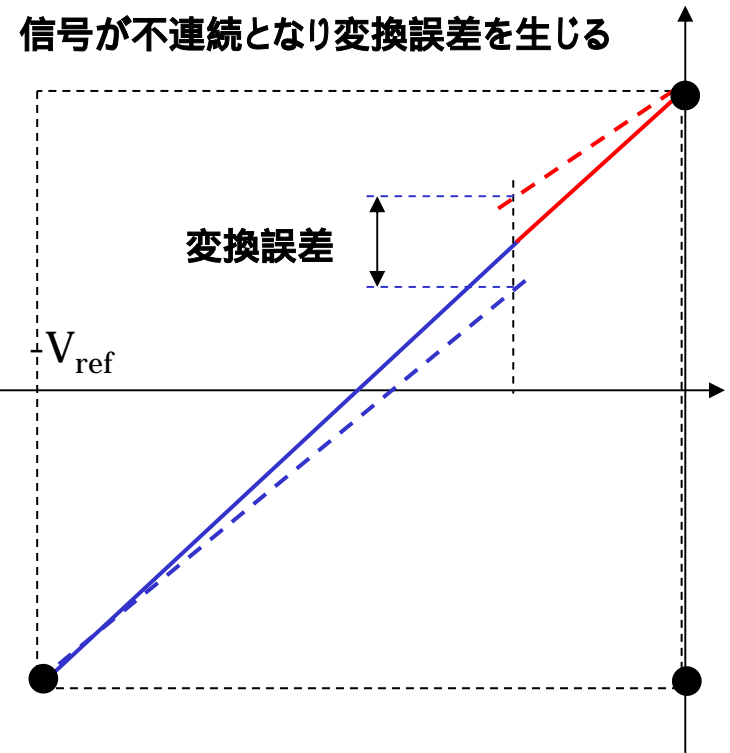
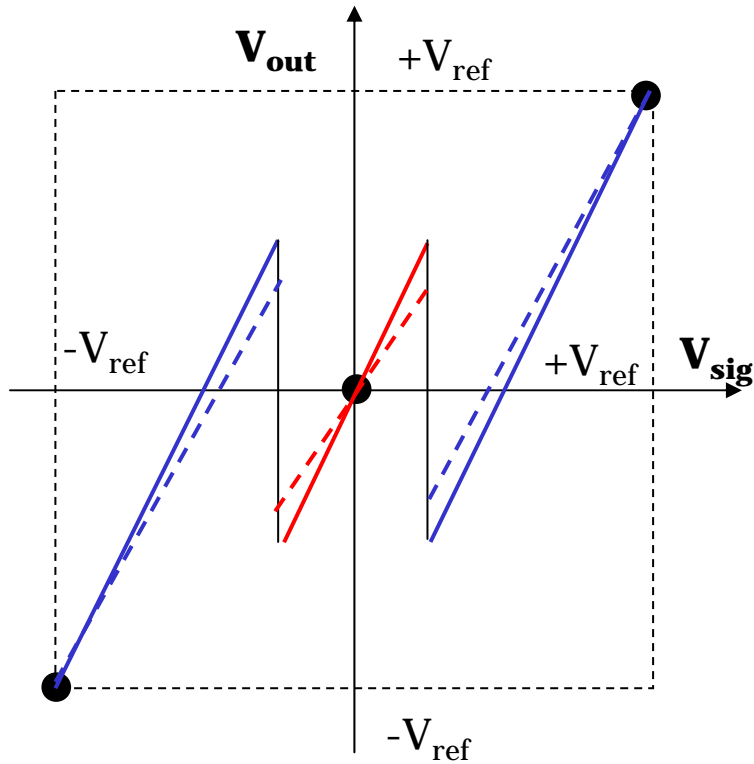
増幅器のオフセットは
補正可能

利得誤差の影響

変換のつながりのイメージ

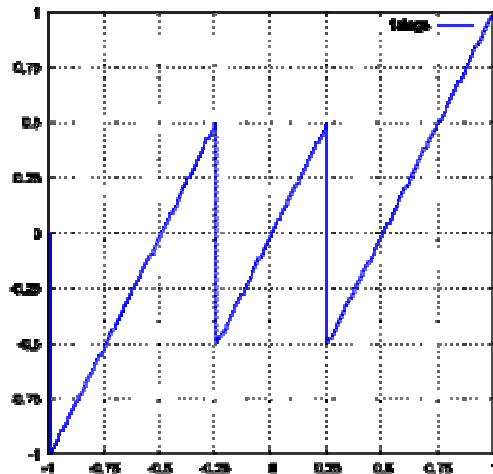
実線: 理想利得 (2倍)

波線: 利得誤差があるとき (この場合2倍以下)

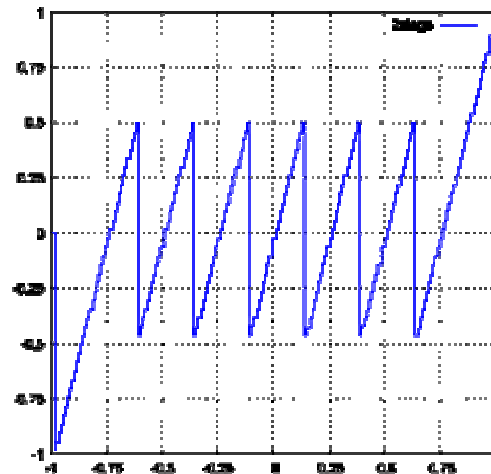


1.5b 構成の変換: 正常変換

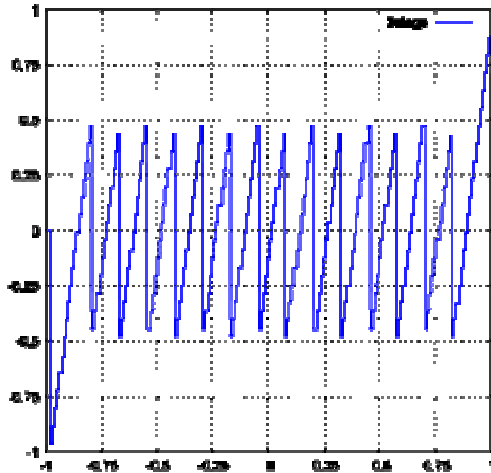
1st out



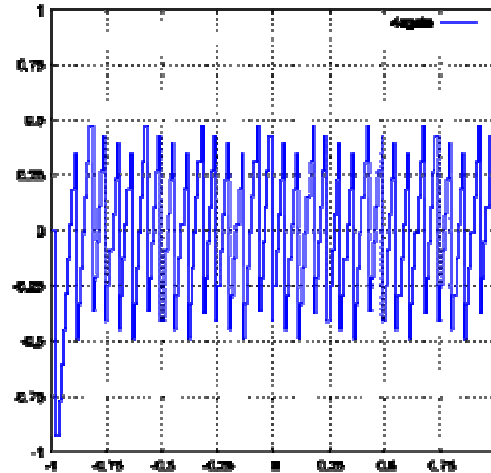
2nd out



3rd out



4th out

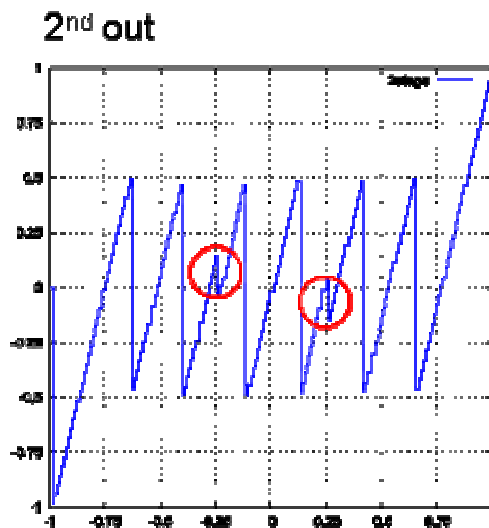
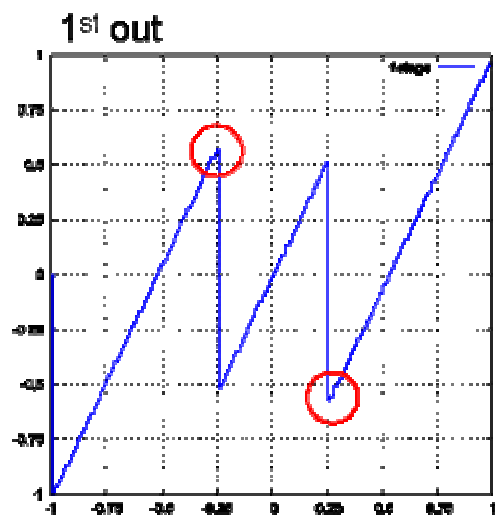


容量比精度が完全な場合

各段のアナログ信号は
 $\pm 0.5 V_{ref}$ に集まってくる。

$C_f=1\text{pF}$
 $C_s=1\text{pF}$

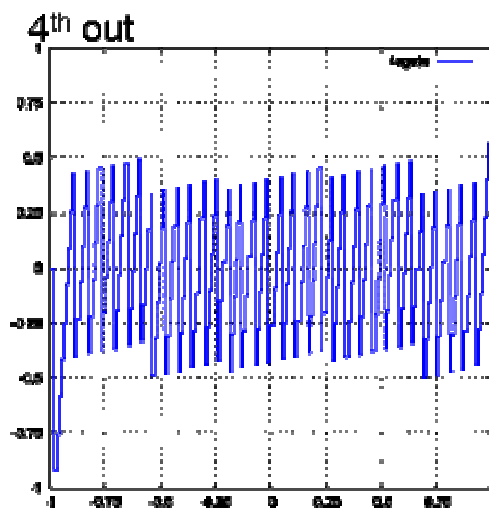
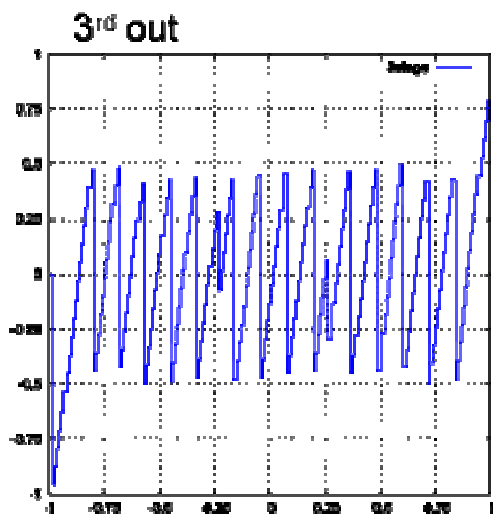
容量ミスマッチがあるときの変換



容量比精度が不完全な場合

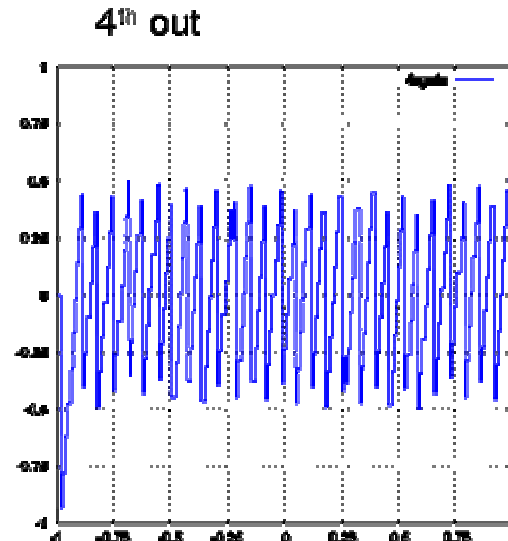
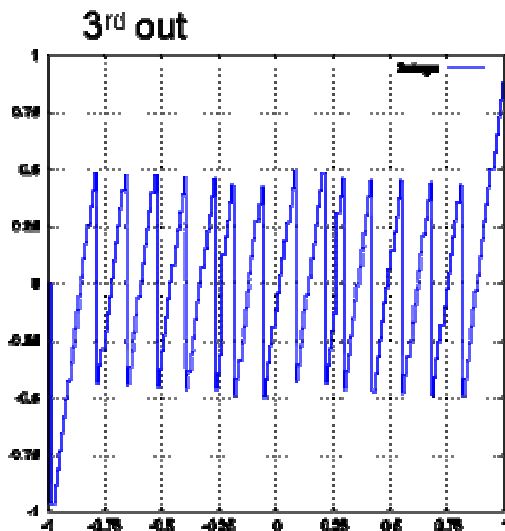
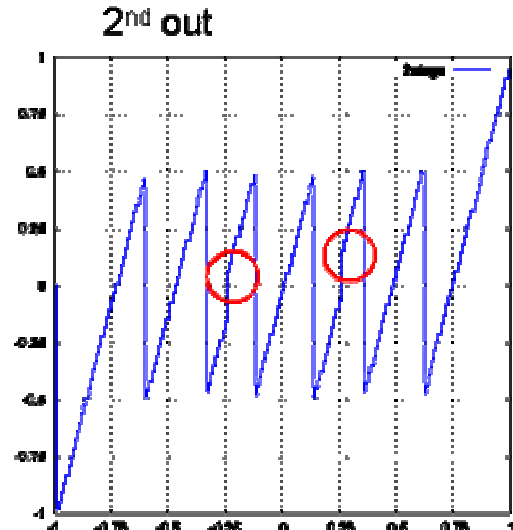
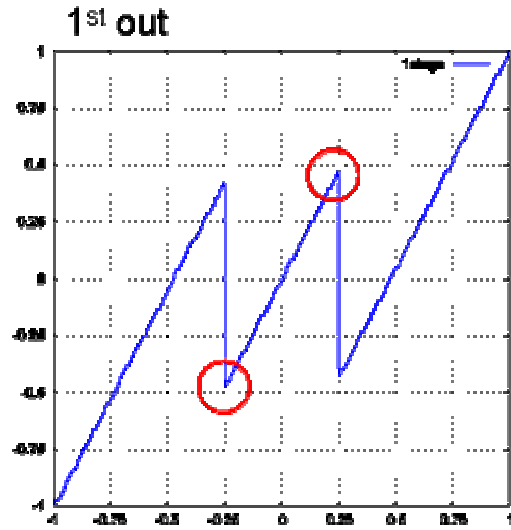
この場合は利得が2以上

比較器の切替わり部で段差発生



$C_f=0.9\text{pF}$
 $C_s=1.0\text{pF}$

容量ミスマッチがあるときの変換



容量比精度が不完全な場合

この場合は利得が2以下

比較器の切替わり部で段差発生

$$C_f = 1.1 \text{ pF}$$
$$C_s = 1 \text{ pF}$$

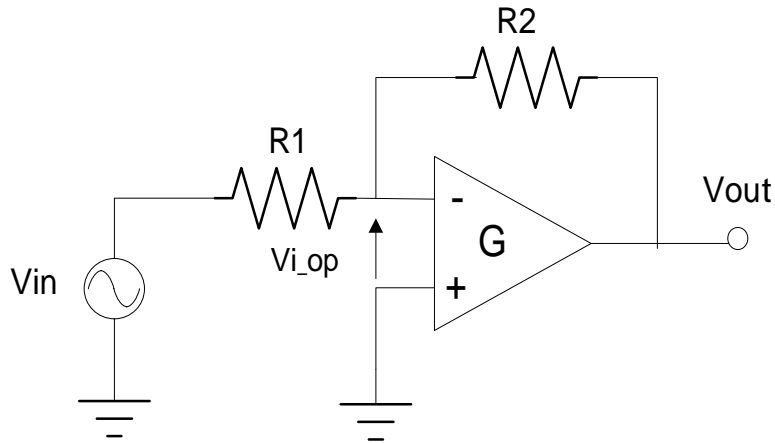
パイプライン型A/D変換器の設計

パイプライン型ADCの設計

- **スタティックな変換精度**
 - 容量ミスマッチが支配的
 - 不十分なOPアンプ利得
 - ステージ間の参照電圧の違い
 - スイッチ回路のフィードスルー誤差
 - クロストークなどのデジタルノイズ
 - ノンオーバラップクロックの不完全性
- **ダイナミックな変換精度**
 - 標本化回路の歪みや帯域不足
 - クロストークなどのデジタルノイズ
- **変換速度**
 - OPアンプの閉ループでの周波数特性(セットリング時間)
 - スイッチ速度
 - タイミング設定と精度
- **消費電力**
 - OPアンプ回路
 - クロック・DFF・加算器などのデジタル回路

OPアンプのDC利得と誤差

OPアンプの利得が有限であるので利得誤差を生じる



2つの抵抗を流れる電流は等しいので

$$\frac{V_{in} - V_{i_op}}{R_1} = \frac{V_{i_op} - V_{out}}{R_2}$$

OPアンプの利得をGとすると

$$V_{out} = V_{i_op} \times -G$$

これより

$$\frac{V_{out}}{V_{in}} = -\frac{R_2}{R_1} \frac{1}{1 + \frac{1}{G} \left(1 + \frac{R_2}{R_1} \right)} \approx -\frac{R_2}{R_1} \left(1 - \frac{1}{G} \left(1 + \frac{R_2}{R_1} \right) \right)$$

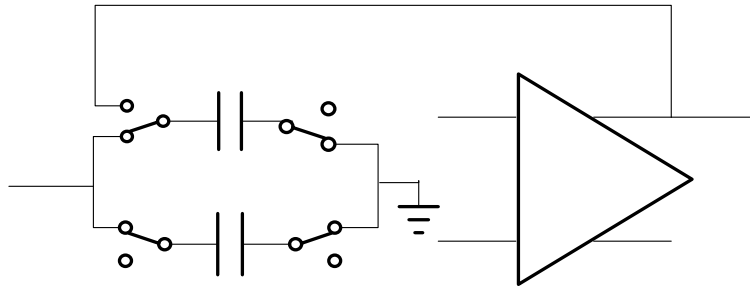
利得誤差は

$$-\frac{1}{G} \left(1 + \frac{R_2}{R_1} \right)$$

1.5bit冗長の場合のOPアンプ回路

$C_s=C_f$ なので通常は-1倍の利得であるが、 C_f に入力信号がサンプリングされて残っているので-2倍になる。

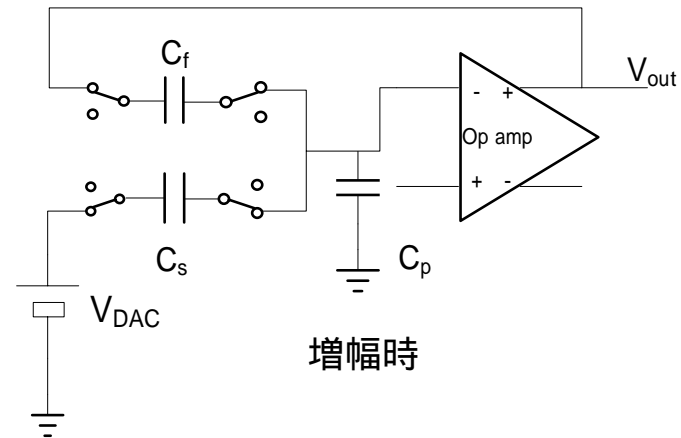
Sample



サンプリング時

$$q_f = C_f v_{in}, q_s = C_s v_{in}, q_p = 0$$

Amplify



増幅時

$$q_s' = C_s (v_{DAC} - v_{io}), q_f' = C_f (v_{out} - v_{io}), q_p' = C_p v_{io}$$

電荷保存則より $-(q_f + q_s) + q_p = -(q_f' + q_s') + q_p'$ $V_{out} = -G \cdot v_{io}$ $C_f=C_s$ の場合

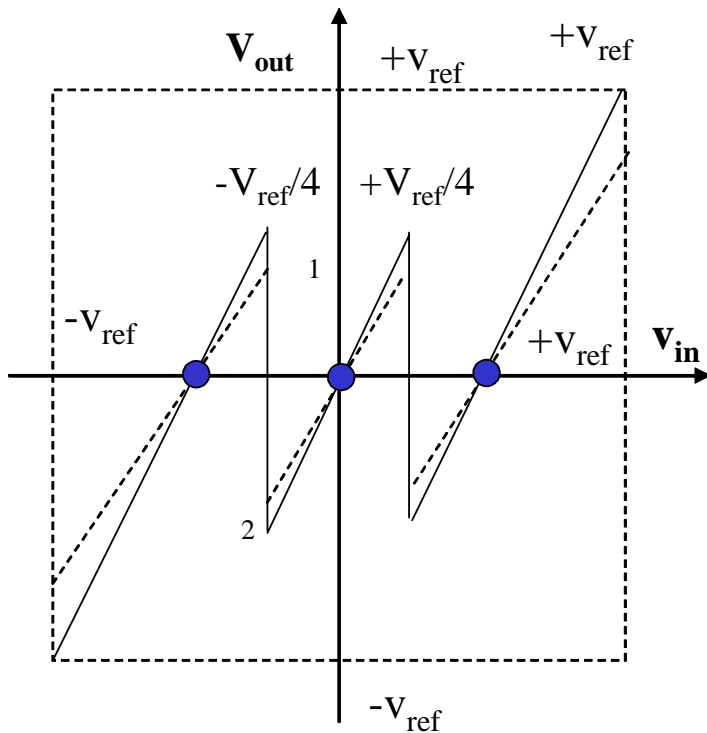
$$V_{in} \quad v_{out} = 2 \left(v_{in} - \frac{V_{DAC}}{2} \right) \frac{1}{1 + \frac{1}{G} \left(2 + \frac{C_p}{C_f} \right)}$$

- +
Op amp

+ -

利得誤差の影響

利得誤差があるときは容量ミスマッチと異なり、 $V_{out}=0$ の点が不動点になる



$$\delta_1 = \delta_2 \approx -\frac{V_{ref}}{2G} \left(2 + \frac{C_{pi}}{C_o} \right)$$

$$\frac{1.25}{G} V_{ref} < \frac{LSB}{4} = \frac{2V_{ref}}{4 \cdot 2^N}$$

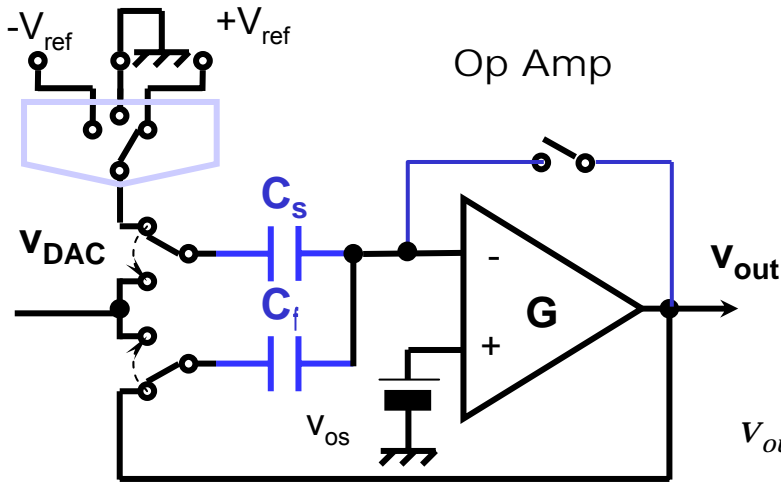
$$G > 2.5 \times 2^N$$

$$G (dB) > 6N + 10$$

8ビット58dB, 10ビット70dB
12ビット82dB, 14ビット94dB

容量ミスマッチ

ゲインステージの容量感度



イマジナリショートが完全と仮定

サンプリング時

$$q_f = C_f (v_{in} - v_{os})$$

$$q_s = C_s (v_{in} - v_{os})$$

増幅時

$$q_f' = C_f (v_{out} - v_{os})$$

$$q_s' = C_s (v_{DAC} - v_{os})$$

電荷保存則より $-(q_f + q_s) = -(q_f' + q_s')$

$$v_{out} = \frac{(C_s + C_f)v_{in} - C_s v_{DAC}}{C_f} \cong 2 \left(v_{in} - \frac{v_{DAC}}{2} \right) \quad C_f = C_s \text{ の場合}$$

v_{os} は消えている

容量変化に対する感度

$$\Delta v_{out} = \frac{\partial v_{out}}{\partial C_s} \Delta C_s + \frac{\partial v_{out}}{\partial C_f} \Delta C_f = \left(\frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (v_{in} - v_{DAC})$$

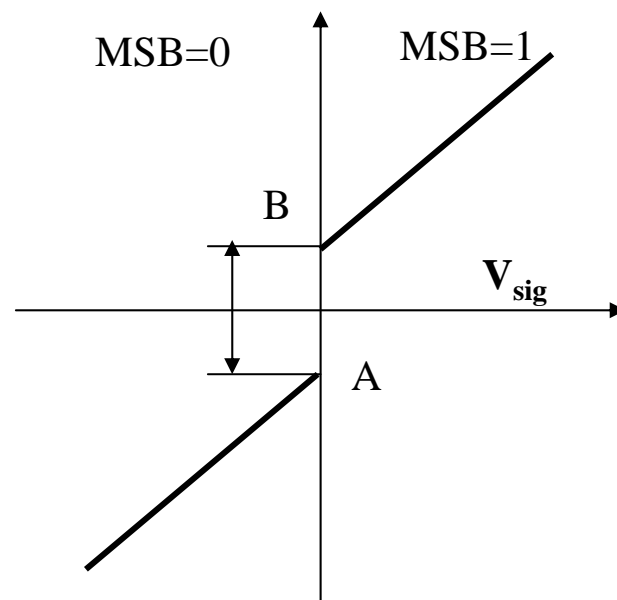
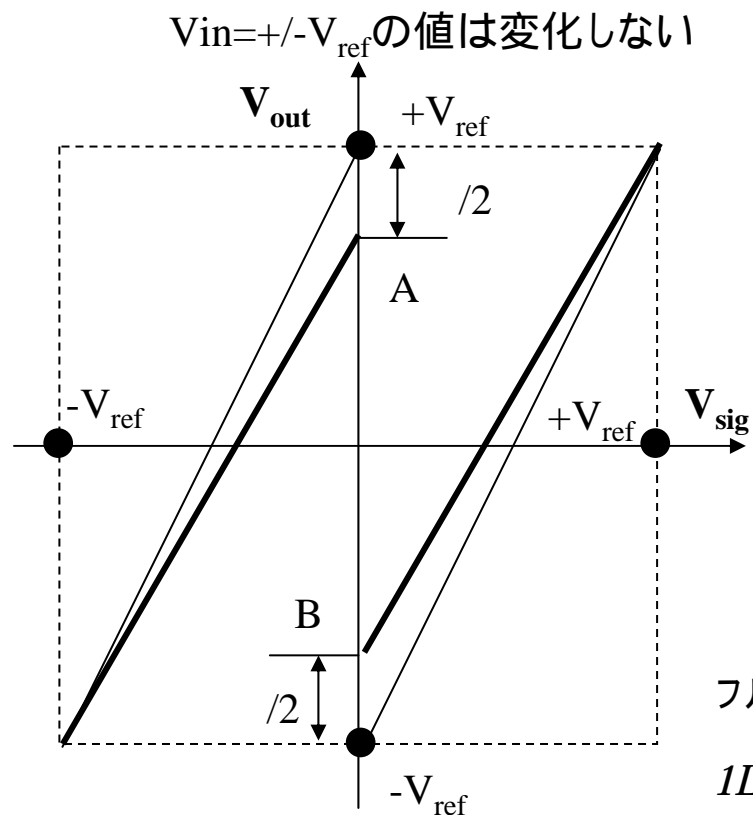
DAC電圧に対する感度

$$\Delta v_{out} = \frac{\partial v_{out}}{\partial v_{DAC}} \Delta v_{DAC} = -\frac{C_s}{C_f} v_{DAC} \approx -v_{DAC}$$

$v_{in} = v_{DAC}$ の点では容量変化に不感である。

容量ミスマッチ精度 (1bitの場合)

コンパレータポイントでの不連続が誤差となる



フルスケールは $2V_{ref}$ なので、入力電圧での1LSBは

$$1LSB(\text{入力換算}) = \frac{2V_{ref}}{2^N}$$

許容誤差をLSB/4とすると

$$\frac{1}{4}LSB = \frac{2V_{ref}}{2^N} \cdot \frac{1}{4} = \frac{V_{ref}}{2^{N+1}}$$

初段利得が2倍あることを勘案して

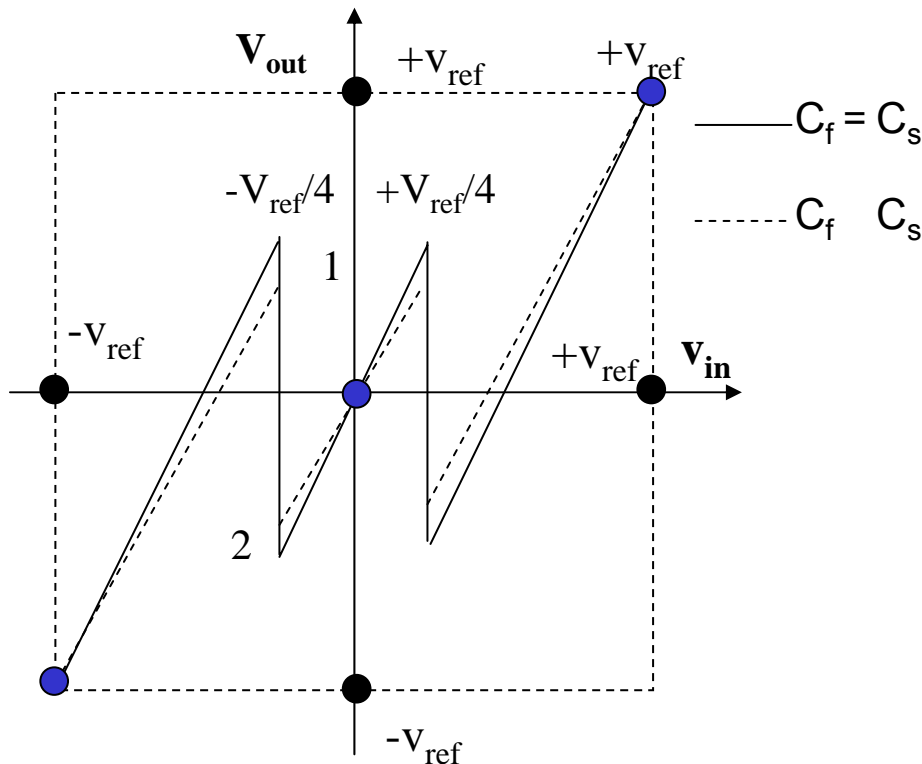
$$\delta \leq \frac{V_{ref}}{2^N} \quad \frac{\delta}{2} = \left(\frac{\Delta C}{C}\right)V_{ref} \quad \text{なので} \quad \frac{\Delta C}{C} \leq \frac{1}{2^{N+1}}$$

$$\frac{\Delta C}{C} \leq \frac{1}{2^{N+1}}$$

0.01% for 12bit

容量ミスマッチ精度 (1.5bitの場合)

$v_{in} = \pm v_{ref}$, 0 の値は変化しない



$$\Delta v_{out} = \left(\frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (v_{in} - v_{DAC}) \text{ より、}$$

$$\delta_1 = \frac{3}{4} \left(\frac{\Delta C}{C} \right) V_{ref} \quad (v_{DAC} = -V_{ref})$$

$$\delta_2 = \frac{1}{4} \left(\frac{\Delta C}{C} \right) V_{ref} \quad (v_{DAC} = 0)$$

$$\delta = \delta_1 + \delta_2 = \left(\frac{\Delta C}{C} \right) V_{ref}$$

$\frac{1}{4}$ LSB の誤差の場合

$$\frac{\Delta C}{C} \leq \frac{1}{2^N} \quad (1.5\text{b構成: } 1/4\text{LSB誤差})$$

容量ミスマッチ

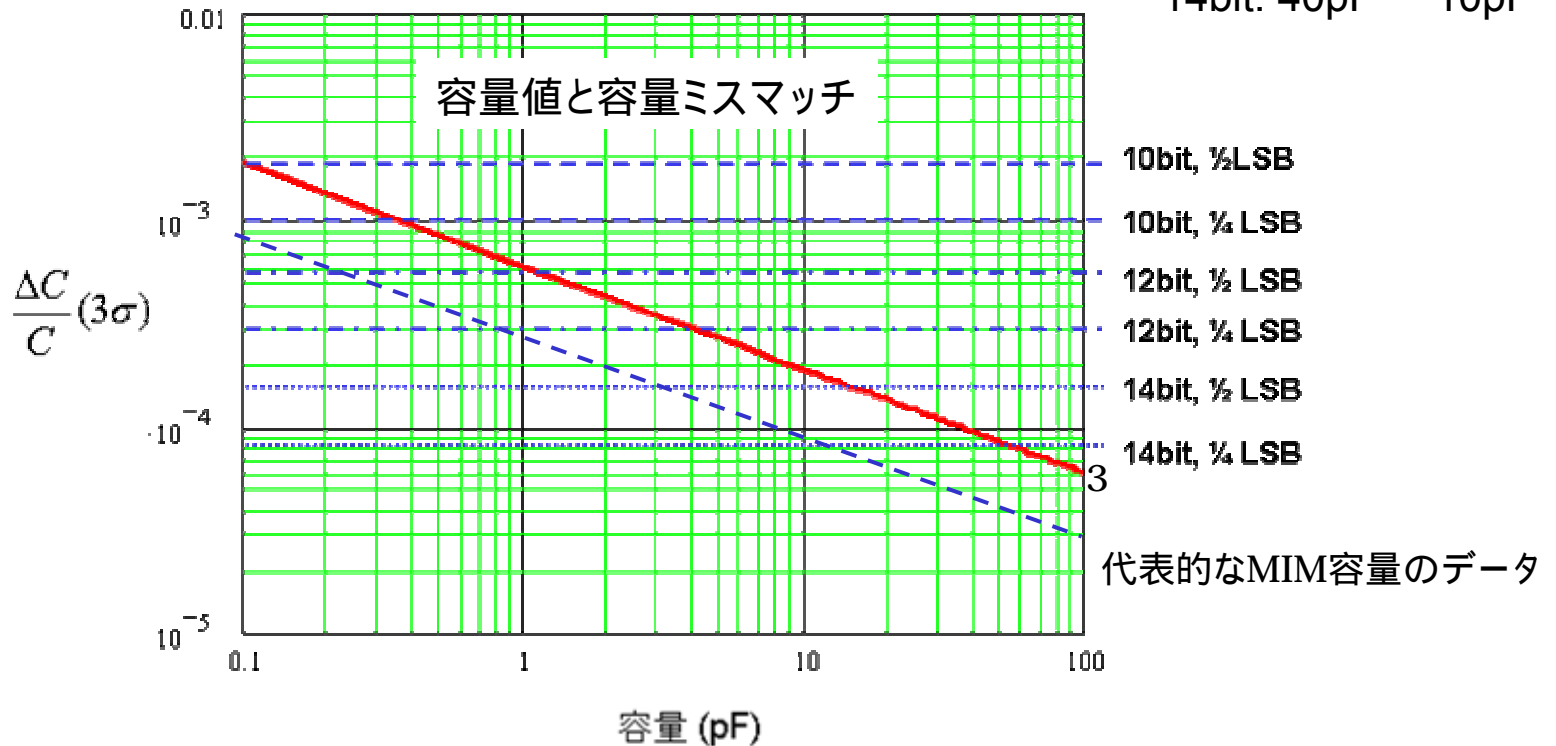
容量ミスマッチからは分解能が2ビット上がる毎に必要な容量は1桁上昇する
高精度ADCには大きな容量が必要となる

ただし、3 は過剰スペックのようなので、実際は で設計しても良いかもしれない

モデル化した値

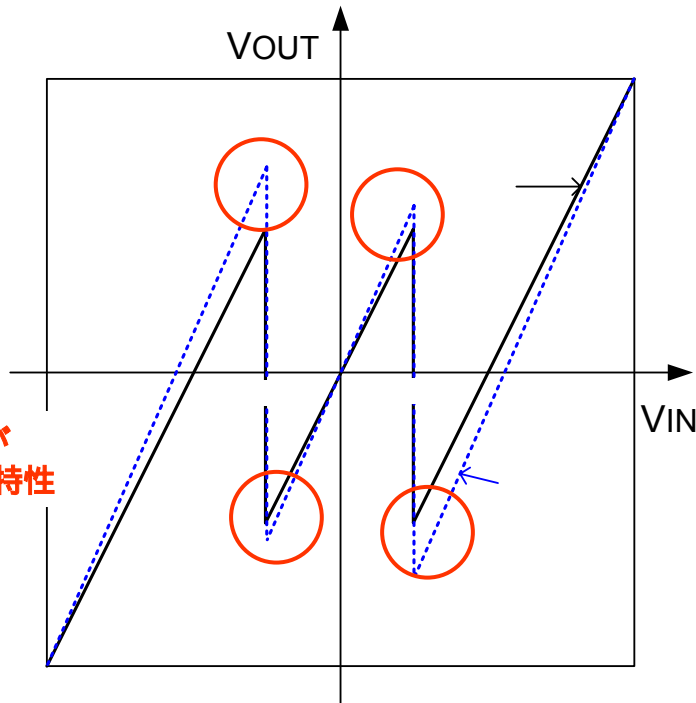
$$\frac{\Delta C}{C}(3\sigma) = \frac{6 \times 10^{-4}}{\sqrt{C(\text{pF})}} \quad C \geq 3.6 \times 10^{-19} 2^{2N}$$

	3	10bit: 0.4pF	0.1pF
		12bit: 4pF	1pF
		14bit: 40pF	10pF

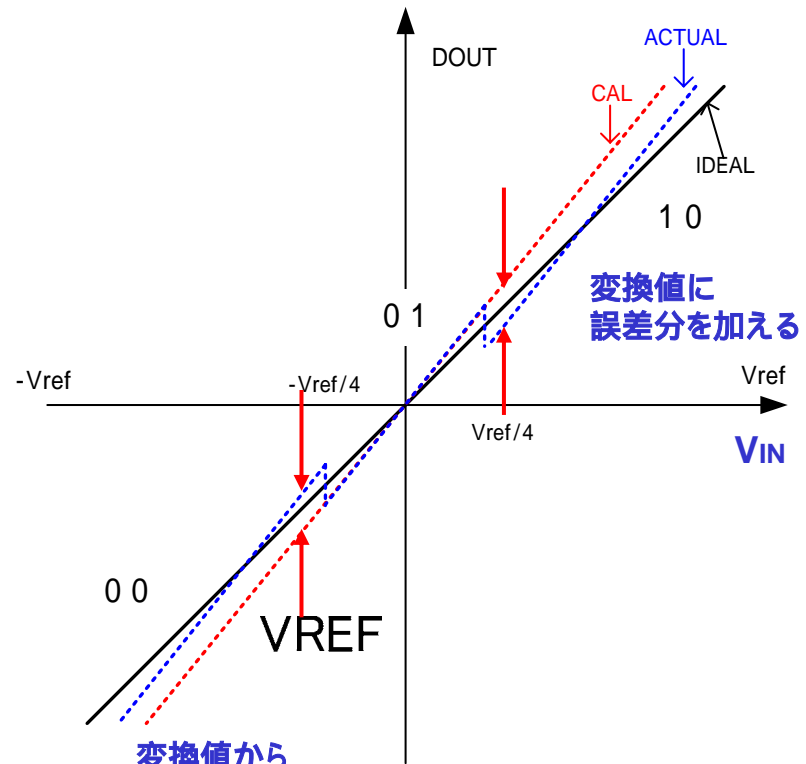


誤差補正

利得誤差があると変換誤差を生じるが、この誤差を計測して引くことにより補正可能であるしたがって、容量 mismatch はあまり考慮しなくてもよくなった。



1.5Bステージの変換特性



ADC入出力特性

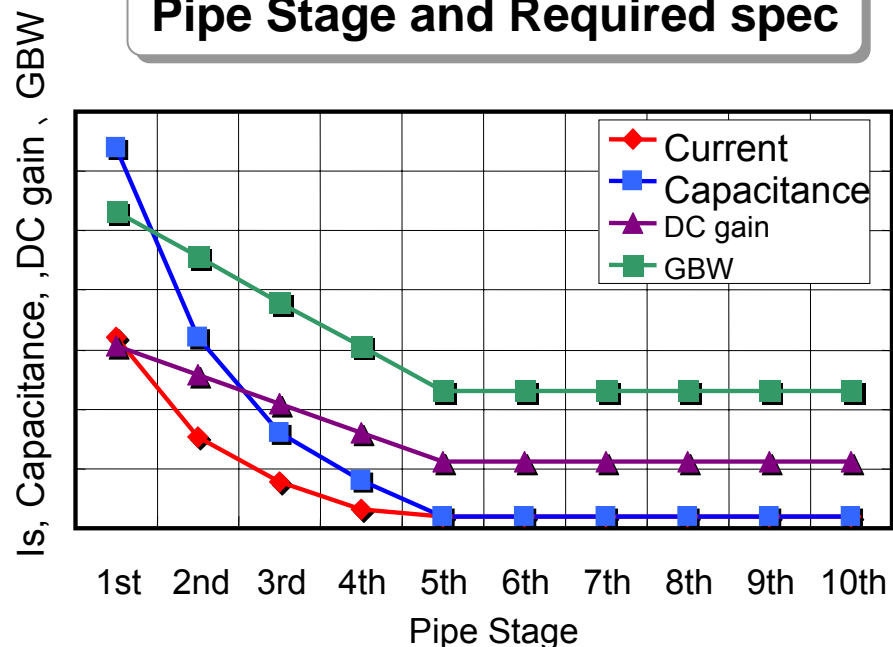
ゲインステージの最適化

各段、2倍ずつ増幅しているなので、後段ほど精度要求は緩くなる。
したがって、容量値、動作電流をゲインステージに添って1/2程度で減少させることができる。

Pipe Stage and required spec

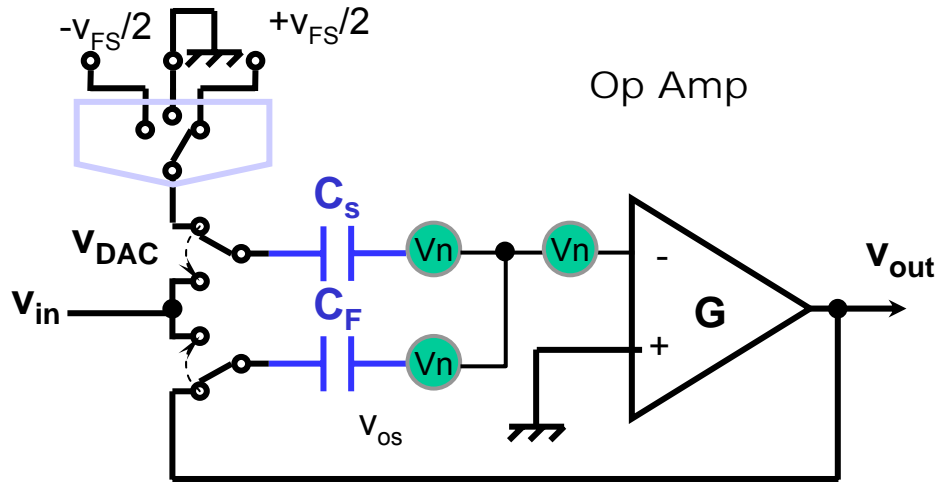
Stage	C [pF]	Islew [mA]	DC gain [dB]	GBW [MHz]
1st	3.2	1.6	75.8	416
2nd	1.6	0.76	69.7	378
3rd	0.8	0.39	63.7	340
4th	0.4	0.16	57.7	303
5th	0.103	0.093	51.6	265

Pipe Stage and Required spec



ノイズ解析

ノイズも実効分解能を決める重大要素である。



$$V_{nt}^2 = V_q^2 + \sum V_c^2 + \sum V_{th}^2 + \sum V_{1/f}^2$$

\sum : OPアンプが多段になっていることを考慮

v_{nt}^2 : トータルノイズ

v_q^2 : 量子化ノイズ

v_c^2 : $\frac{kT}{C}$ ノイズ

v_{th}^2 : OPアンプの熱雑音

$v_{1/f}^2$: OPアンプの $1/f$ 雑音

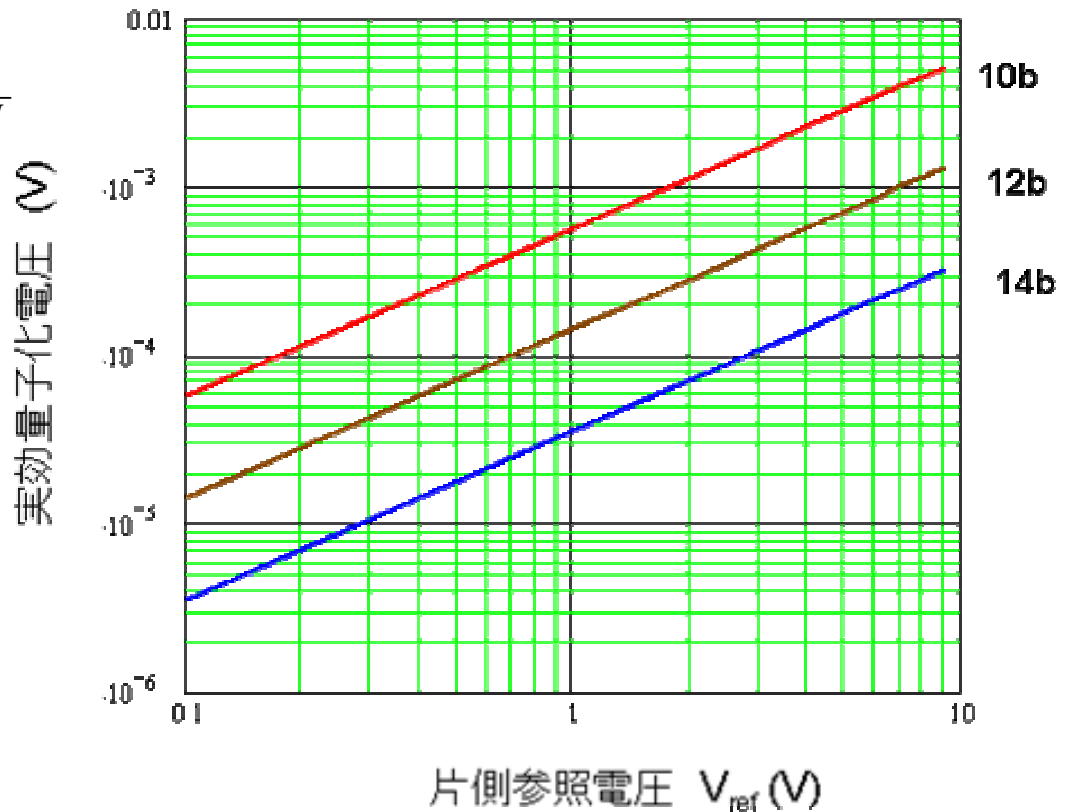
量子化ノイズ

量子化ノイズはA/D変換に伴う不可避なノイズ。

実効量子化ノイズ電圧は量子化電圧 V_q の1/3.5程度に減少する

$$V_{qn}^2 = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{1}{3} \left(\frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

$$\overline{V_{qn}} = \frac{1}{\sqrt{3}} \frac{V_{ref}}{2^N} = \frac{1}{\sqrt{3}} \frac{V_{ref}}{2^N} = \frac{V_q}{2\sqrt{3}}$$



ノイズ量の基準

容量により大半のノイズが決定

ノイズより必要容量を算出

・ノイズ量の算定基準

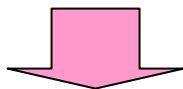
熱雑音を考慮したときのSNR

$$V_{qn}^2 = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{1}{3} \left(\frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

$$\frac{V_{qn}}{V_q} = \frac{1}{\sqrt{3}} \frac{V_{ref}}{2^N} = \frac{1}{\sqrt{3}} \frac{V_{ref}}{2^N} = \frac{V_q}{2\sqrt{3}}$$

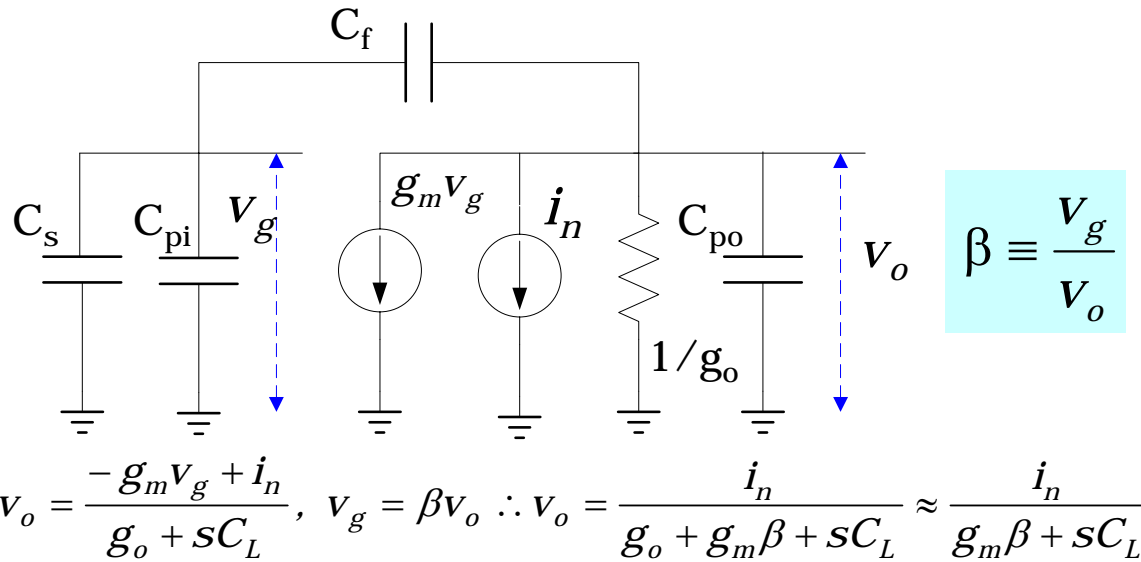
$$10 \log \left\{ \frac{3}{2} \frac{1}{3 \left(\frac{V_{th}}{V_{ref}} \right)^2 + \left(\frac{1}{2^N} \right)^2} \right\}$$

量子化ノイズ電力と同等 有効ビットに換算して0.5bitの劣化



熱雑音=量子化ノイズ電力を算定基準とする

増幅時の出力ノイズ



フィードバックファクター

これが小さいとノイズが増加し
応答速度が遅くなる

$$V_o = \frac{-g_m V_g + i_n}{g_o + sC_L}, \quad V_g = \beta V_o \therefore V_o = \frac{i_n}{g_o + g_m \beta + sC_L} \approx \frac{i_n}{g_m \beta + sC_L}$$

$$v_{no}^2 / \text{Hz} = \frac{i_n^2}{(g_m \beta)^2 + (\omega C_L)^2}, \quad i_n^2 = \gamma \cdot n \cdot \frac{8}{3} kT g_m$$

n=2: Cascode
n=3: Folded Cascode

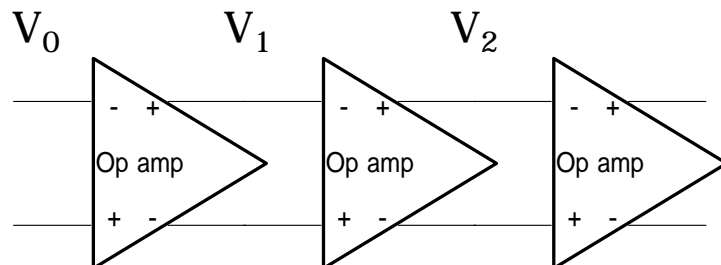
$$\therefore v_{no}^2 = \int_0^\infty \frac{i_n^2}{(g_m \beta)^2 + (\omega C_L)^2} df = \frac{2\gamma \cdot n \cdot kT}{3\beta C_L} \therefore \int_0^\infty \frac{1}{a^2 + (2\pi f)^2} df = \frac{1}{4a}$$

これにCfがサンプリング時のノイズを加えて

$$v_{no}^2 = \frac{2\gamma \cdot n \cdot kT}{3\beta C_L} + \frac{kT}{C_f}$$

パイプライン全体のノイズ

熱雑音は信号系の容量とフィードバックファクター、回路形式で決まる。



$$V_0: v_{no}^2 \approx \frac{kT}{C}$$

$$\beta \rightarrow \beta$$

$$V_1: v_{n1}^2 = \frac{2\gamma \cdot n \cdot kT}{3\beta C_L} + \frac{kT}{C}$$

$$C_L \rightarrow \frac{C_L}{2}$$

$$v_{nt}^2 = 2 \frac{kT}{C} + \frac{2\gamma nkT}{3\beta C_L}$$

$$V_2: v_{n2}^2 = 2v_{n1}^2$$

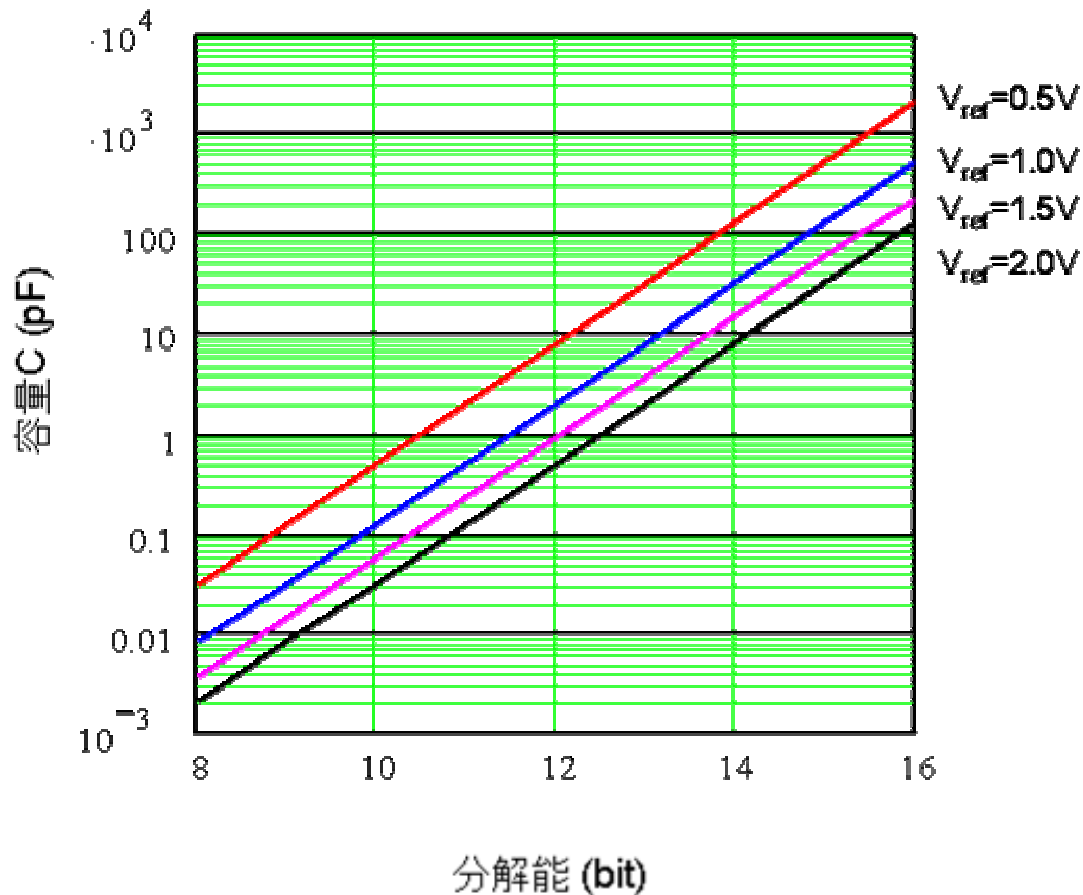
$$v_{ni}^2 = 2 \cdot v_{ni-1}^2$$

入力換算のトータルノイズは

$$v_{nt}^2 = \frac{kT}{C} + \sum_{i=1}^{N-1} \left(\frac{1}{2^i}\right)^2 \cdot v_i^2 = \frac{kT}{C} + \sum_{i=1}^{N-1} \frac{2^i}{2^{2i}} \cdot v_i^2 \approx \frac{kT}{C} + \left(\frac{2\gamma nkT}{3\beta C_L} + \frac{kT}{C}\right) = 2 \frac{kT}{C} + \frac{2\gamma nkT}{3\beta C_L}$$

ノイズから求めた分解能と必要容量

kT/Cノイズからは分解能が2ビット上がる毎に必要な容量は1桁上昇する



$V_{ref} = 1.0V$ とすると、

10bit: 0.1pF

12bit: 2pF

14bit: 30pF

$V_{ref} = 2.0V$ とすると、

10bit: 0.025pF

12bit: 0.5pF

14bit: 8pF

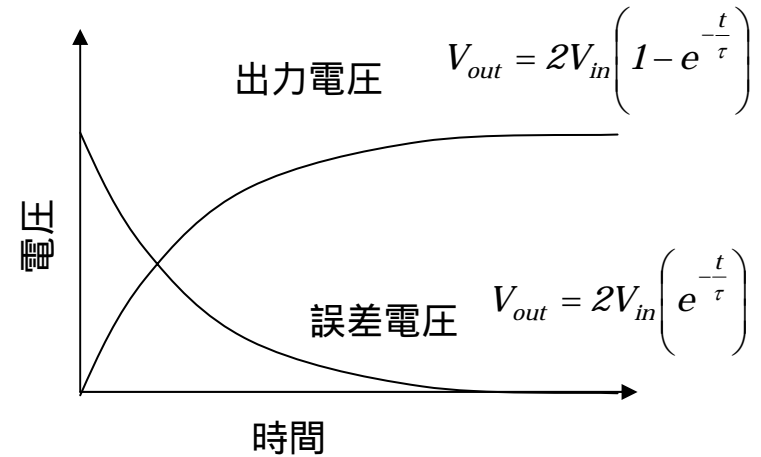
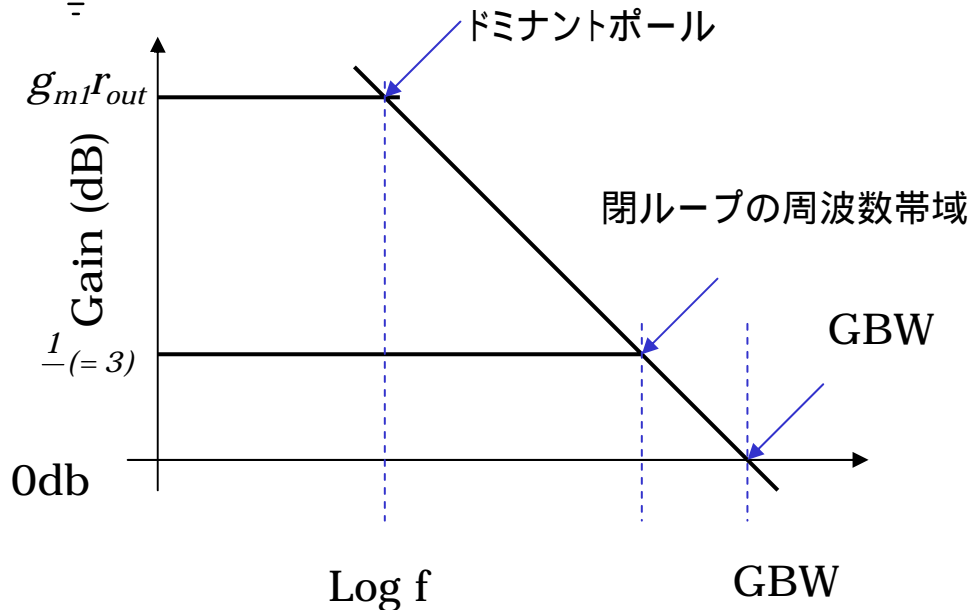
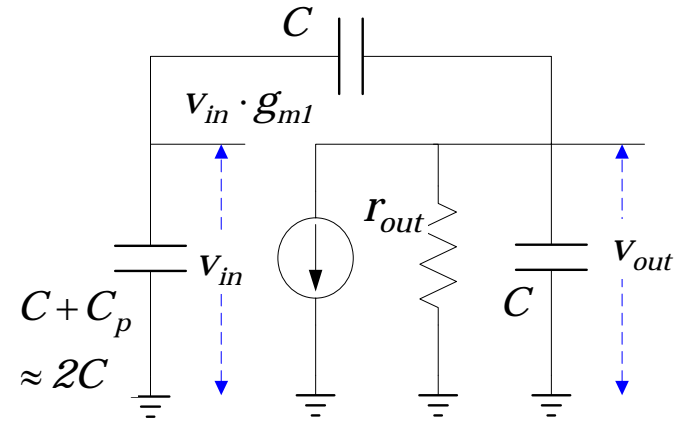
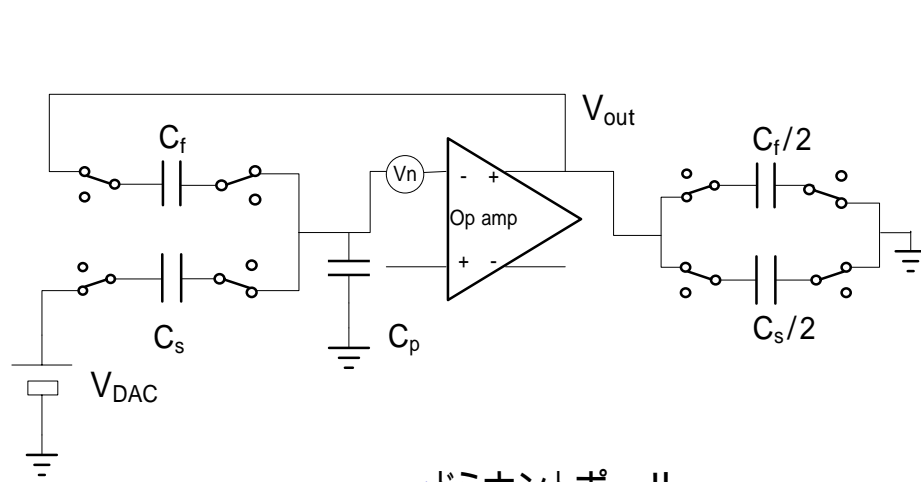
参照電圧の2乗に反比例

$$C \geq 1.32 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2$$

分解能 (bit)
分解能と必要容量

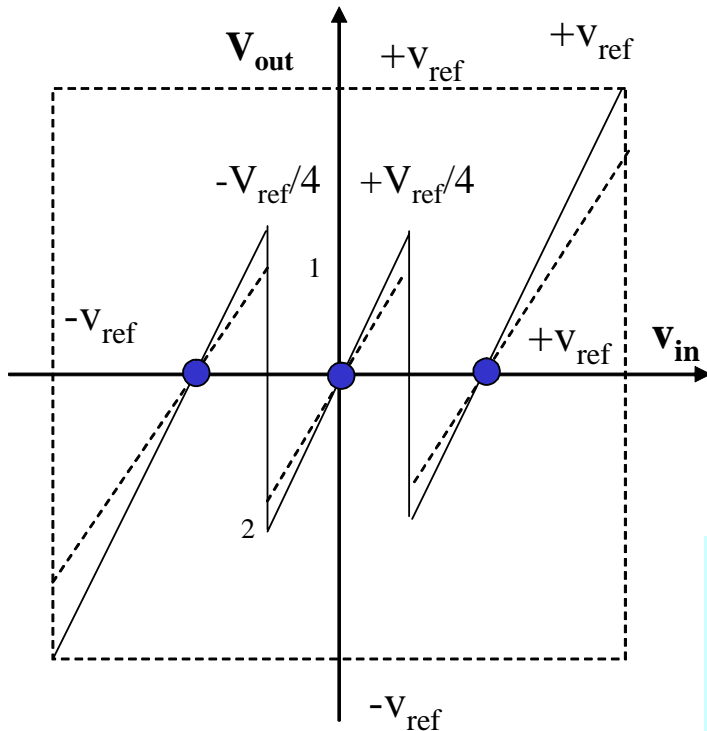
変換周波数

閉ループでのステップ応答で変換周波数が決まる



変換周波数

変換周波数は閉ループバンド幅と分解能で決まる



$$\delta_1 = \delta_2 = 2 \frac{V_{ref}}{4} e^{-\frac{t_{ss}}{\tau}}$$

$$\frac{\delta_1 + \delta_2}{2} = \frac{V_{ref}}{2} e^{-\frac{t_{ss}}{\tau}} < \frac{2V_{ref}}{2^N \cdot 4}$$

$$\tau < \frac{t_{ss}}{0.7N} \quad t_{ss} = \frac{1}{3f_c} \quad \tau = \frac{1}{2\pi GBW_{close}} = \frac{1}{\omega_{close}}$$

$$\omega_{close} = \frac{g_m \beta}{C_L}$$

$$GBW_{close} = \frac{g_m \beta}{2\pi C_L}$$

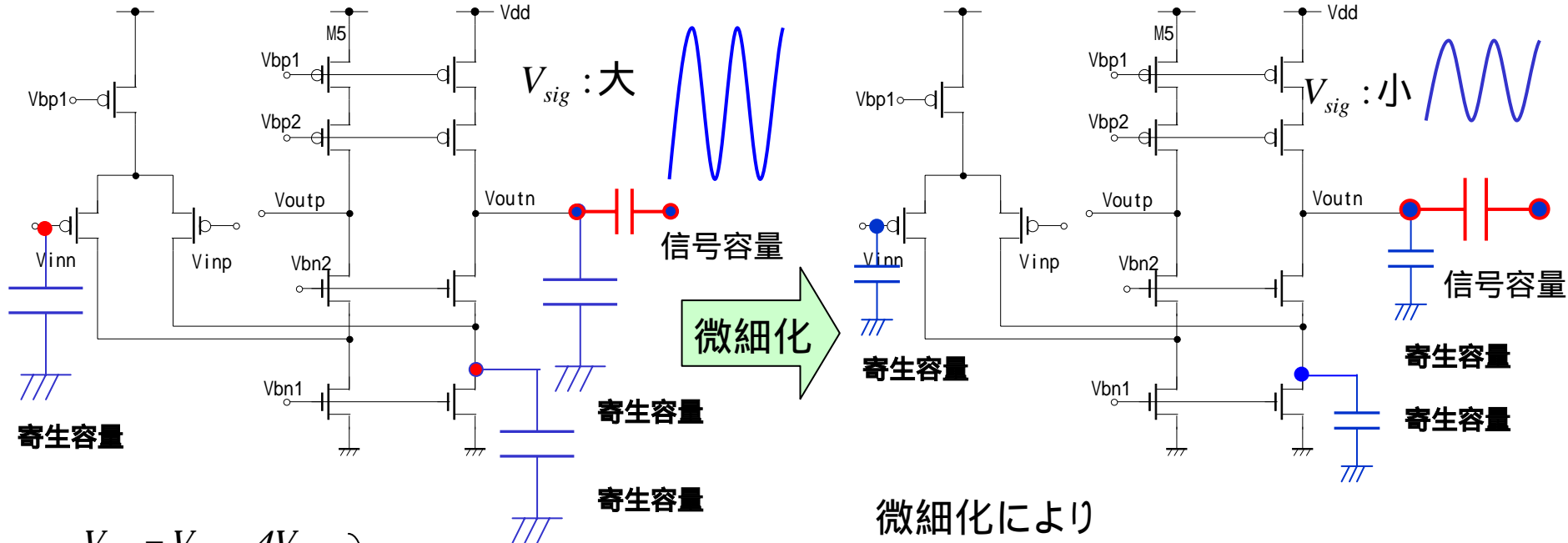
$$GBW_{close} > \frac{3f_c \cdot 0.7N}{2\pi} \approx \frac{Nf_c}{3}, \quad f_c < \frac{3GBW_{close}}{N}$$

$$\omega_{close} > 2.1f_c N$$

A/D変換性能のより詳細な解析

ADCの性能モデルの構築

微細化により寄生容量は減るが信号容量は大きくなる。
 微細化とADC性能の関係を明確できるような性能モデルを構築する



$$V_{sig} = V_{dd} - 4V_{ref}$$

$$SNR \propto \frac{C_L V_{sig}^2}{kT}$$

$$u \approx \frac{g_m}{C_L}$$

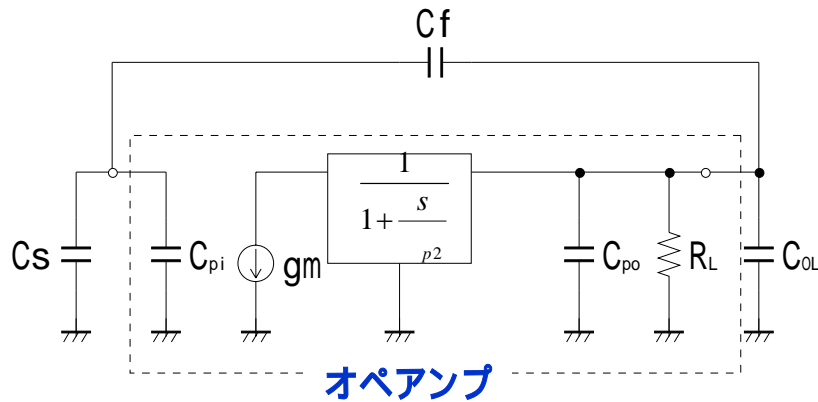
V_{sig} が小さくても
 同じSNRを得るためには
 信号容量を増やす。

- 微細化により
- ・寄生容量・・・減
 - ・信号振幅・・・減
 - ・信号容量・・・大

これらのトレードオフの関係を明らかにし、
 デザインルールを考慮した最適設計を実現する

GBW_{close}の算出

単位変換回路のGBW



単位変換回路の等価回路

g_m : 入力部トランジスタのトランスコンダクタンス

C_s, C_{pi} : 帰還容量

C_{oL} : 次段の帰還容量の和

C_{pi}, C_{po} : オペアンプの入力, 出力寄生容量

R_L : オペアンプ出力抵抗

p_2 : オペアンプの第2ポール

クローズドループにおける GBW_{close} は

$$GBW_{close} = \frac{g_m}{2 C_L}$$

は帰還係数、 C_L は実効負荷容量を表し、

$$= \frac{C_f}{C_f + C_s + C_{pi}}$$

$$C_L = C_{po} + C_{oL} + \frac{C_f(C_s + C_{pi})}{C_f + C_s + C_{pi}}$$

次段の帰還容量を1/2ずつ減ずると仮定すると、

$$C_{oL} = \frac{C_s + C_f}{2}$$

$$C_o = C_s = C_f = C_{oL}$$

これより、

$$GBW_{close} = \frac{g_m}{2 C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)}$$

GBW_{close}の推定

電流 I_{ds} で規格化した寄生容量 C_{pi}, C_{po} をもとに GBW_{close} を推定する。

$$GBW_{close} = \frac{g_m}{2 C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)} = \frac{I_{ds}}{C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}$$

$$g_m = \frac{2I_{ds}}{V_{eff}} \quad C_{pi} = \alpha_{pi} I_{ds}, \quad C_{po} = \alpha_{po} I_{ds}$$

α_{pi}, α_{po} はデザインルールに依存

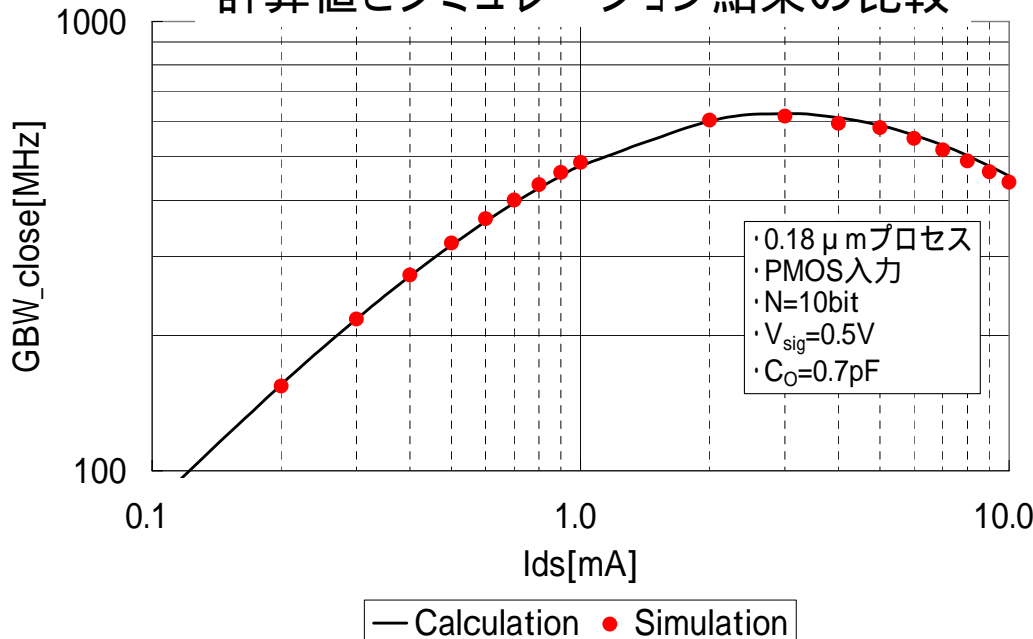
C_o は熱雑音などを考慮して、

$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$

理論値とSim結果は5%以内で一致
(入力の寄生容量 C_{gd} の
ミラー効果を2倍として計算)

PMOS入力でパイプラインADCの
変換周波数 f_c を推定

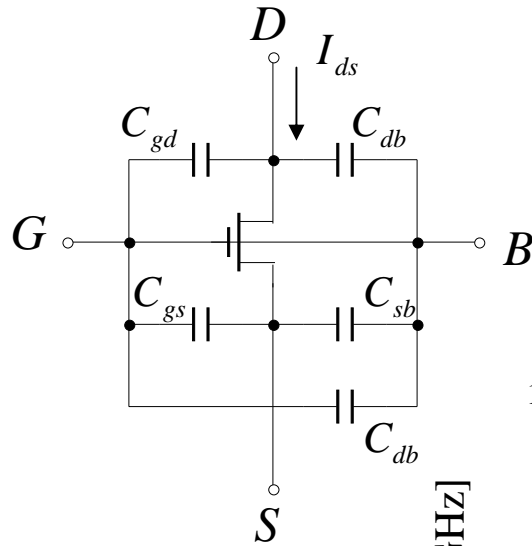
計算値とシミュレーション結果の比較



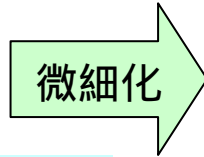
Ids: 各トランジスタの動作電流 (全体では4Ids)

アナログにおけるトランジスタの微細化

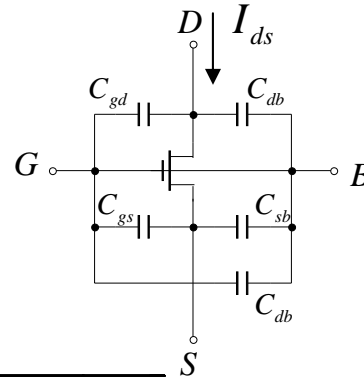
アナログにおいて微細化とは同一 g_m (=電流) において容量と面積が減少することである。



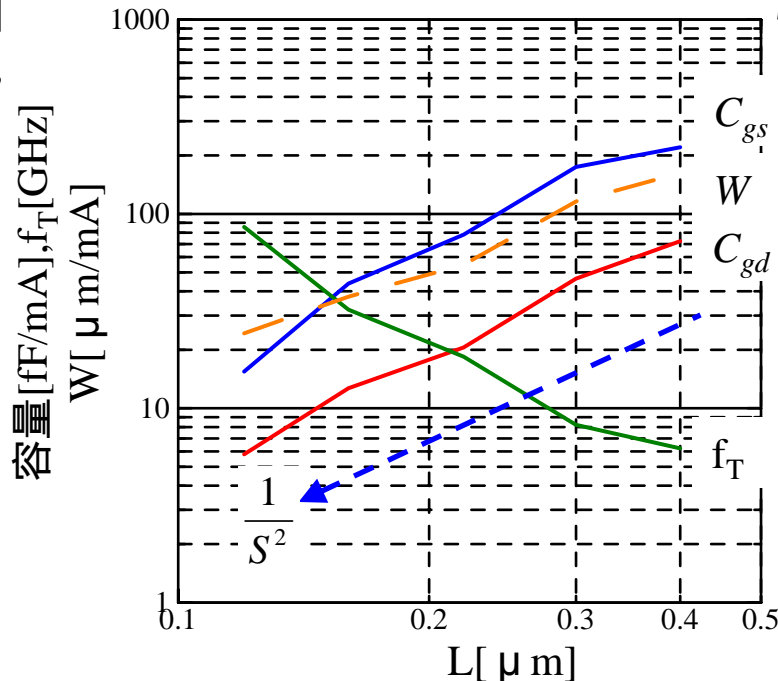
$$W = \frac{2L}{\mu C_{ox} V_{eff}^2} I_{ds}$$



$$g_m = \frac{2I_{ds}}{V_{eff}} \quad \text{一定条件}$$



寄生容量が低下
 f_T が上昇



$V_{eff}=0.175V$ とした時の値

0.35 μm ~ 90nmプロセスの
代表的なモデルパラメータを
用いた。

トランジスタパラメータのデザインルール依存

代表的プロセスでの
MOSのキャラクタライズ $V_{\text{eff}}=0.175\text{V}$

(a) $W_N, W_P [\mu\text{m}/\text{mA}], V_{A_N}, V_{A_P} [\text{V}]$

ルール	W_N	W_P	V_{A_N}	V_{A_P}
90nm	24.3	74.9	0.82	0.69
0.13 μm	37.5	147	0.82	0.64
0.18 μm	54.8	219	0.99	0.93
0.25 μm	116.0	396	0.78	0.97
0.35 μm	162.0	603	1.01	0.86

(b) $C_{\text{pi}_N}, C_{\text{pi}_P}, C_{\text{po}} [\text{fF}/\text{mA}], f_{\text{p2}_N}, f_{\text{p2}_P} [\text{GHz}]$

ルール	C_{pi_N}	C_{pi_P}	C_{po}	f_{p2_N}	f_{p2_P}
90nm	23.7	93.4	94.5	9.35	15.4
0.13 μm	65.5	249	168	7.7	10.3
0.18 μm	115	475	340	2.06	4.7
0.25 μm	236	662	832	0.83	1.7
0.35 μm	303	1034	892	0.54	1.7

ADCの変換周波数の推定

帰還容量 C_o よりも寄生容量 C_{pi} , C_{po} が小さい時は電流に比例して変換周波数 f_c は増加する。
 C_o よりも C_{pi} , C_{po} のどちらかが大きくなると f_c は飽和し、さらに C_{pi} , C_{po} 共に C_o より大きくなると f_c は電流に反比例する。

信号振幅1Vpp固定 8bit

$$f_c < \frac{3GBW_{-close}}{N} \leftarrow GBW_{-close} = \frac{g_m}{2 C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)}$$

$C_o = 44 \text{ fF}$

において

$$g_m = \frac{2I_{ds}}{V_{eff}}, \quad C_{pi} = \alpha_i I_{ds}, \quad C_{po} = \alpha_o I_{ds} \text{ より、}$$

$C_o < C_{po}, C_{pi}$ のとき

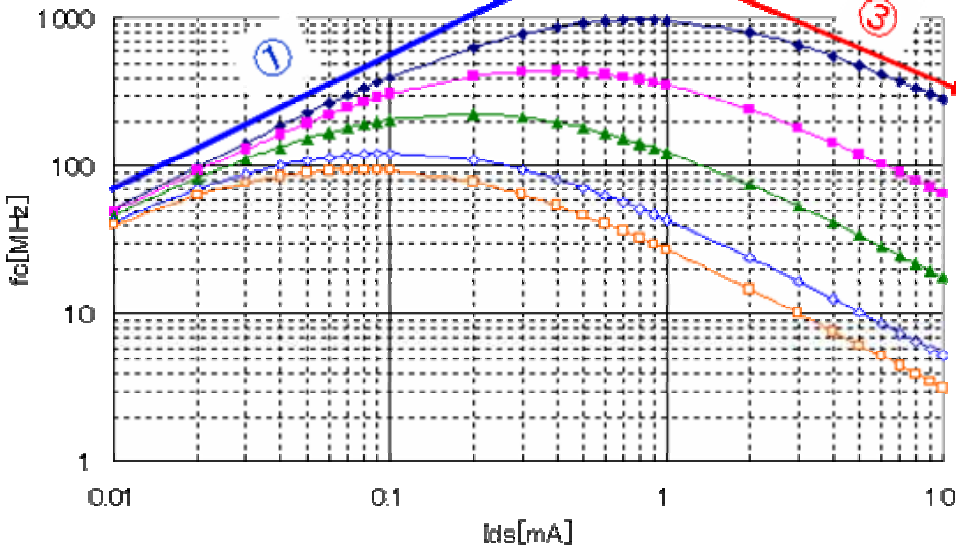
$$GBW_{-close} \approx \frac{I_{ds}}{C_o V_{eff}} \cdot \frac{1}{3} \quad (I_{ds} \text{ に比例})$$

$C_{pi} < C_o < C_{po}$ のとき

$$GBW_{-close} \approx \frac{1}{C_o V_{eff}} \cdot \frac{1}{3 + \frac{C_{po}}{C_o}} \quad (\text{一定})$$

$C_o < C_{po}, C_o < C_{pi}$ のとき

$$GBW_{-close} \approx \frac{1}{C_o V_{eff}} \cdot \frac{1}{3 + \frac{C_{po}}{C_o} + \frac{C_{pi}}{C_o} I_{ds}} \quad (I_{ds} \text{ に反比例})$$



◆ 90nm ■ 0.13 μm ▲ 0.18 μm ○ 0.25 μm □ 0.35 μm

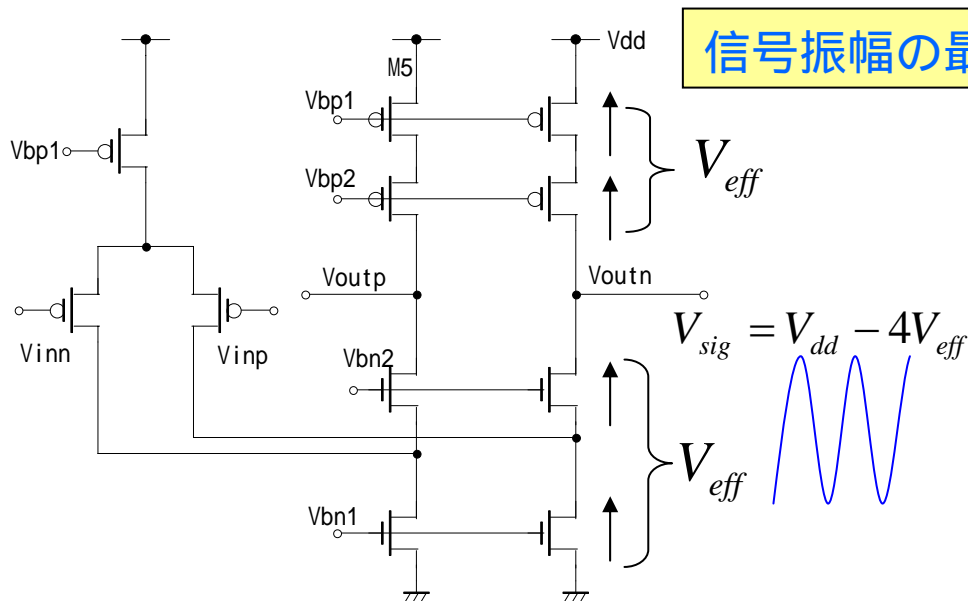
電流—変換周波数特性 8bit

ADCの変換周波数の推定

各デザインルールの電源電圧 V_{dd} に合わせて信号振幅を最大化する。
 信号振幅を大きくすることで C_o を小さくし、 GBW_{close} を大きくする。

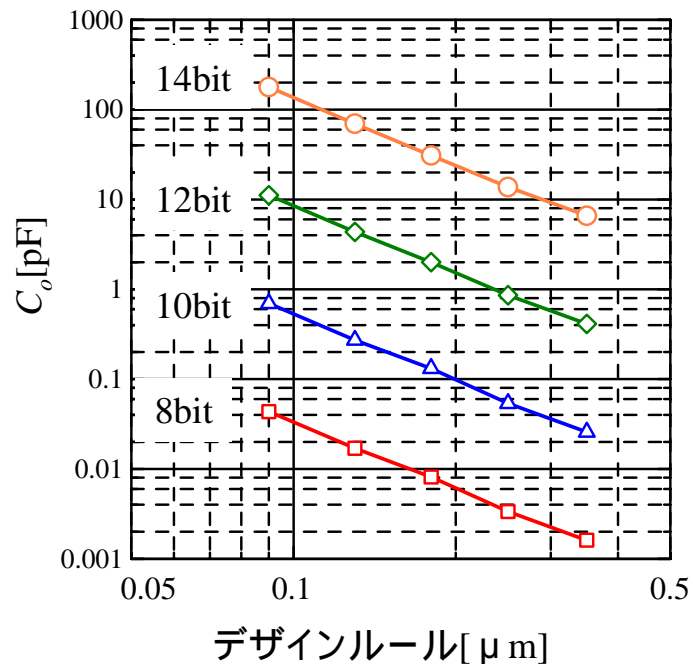
信号振幅の最適化

$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$



$V_{eff}=0.175$ とした時の V_{sig} の最適値

	90nm	0.13 μ m	0.18 μ m	0.25 μ m	0.35 μ m
V_{dd}	1.2V	1.5V	1.8V	2.5V	3.3V
V_{sig_pp}	1.0V	1.6V	2.2V	3.6V	5.2V

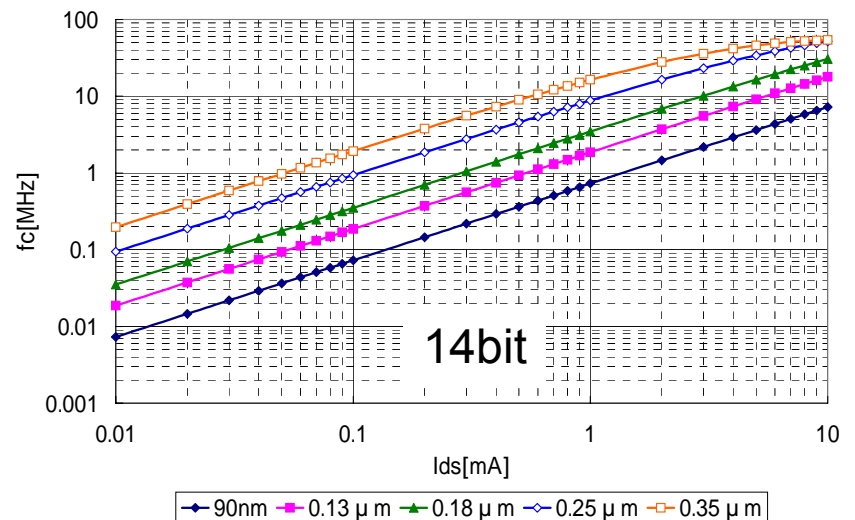
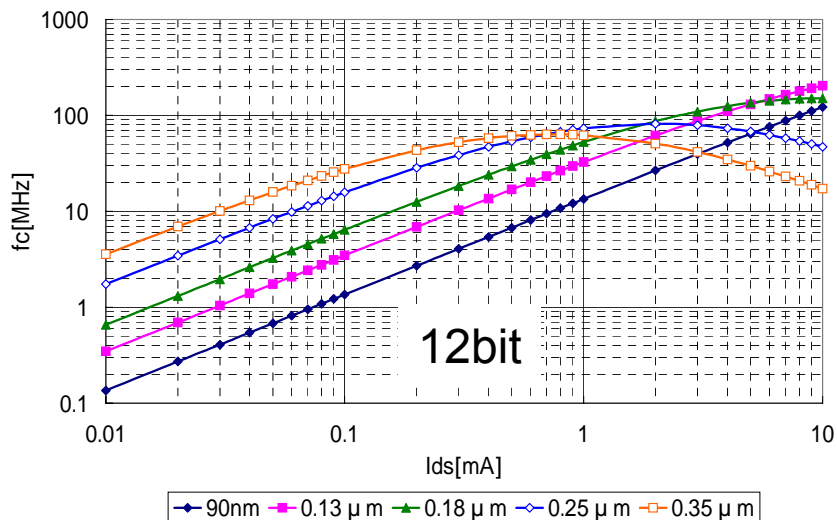
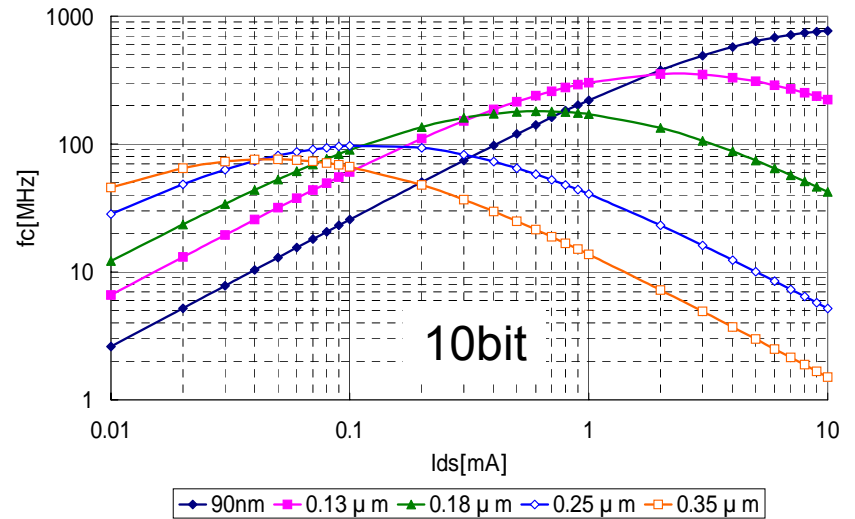
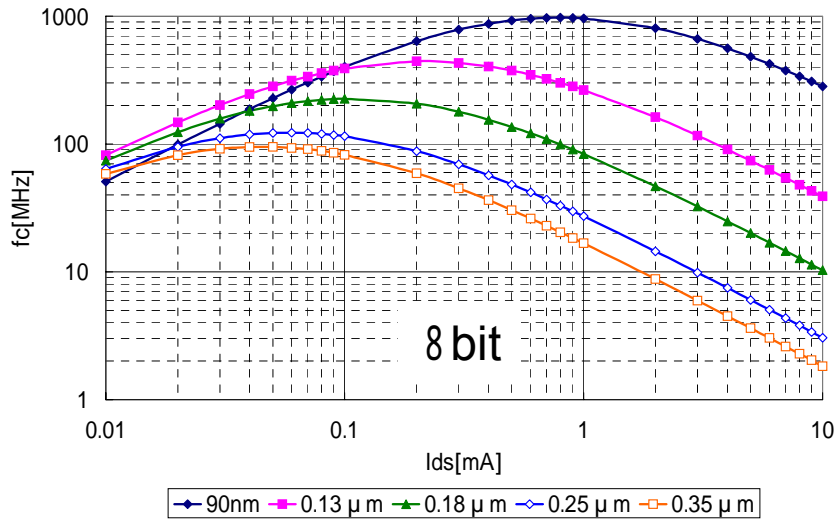


各デザインルールにおける必要容量
 25fF以下のものについては25fFに切り上げて算出

ADCの変換周波数の推定 PMOS

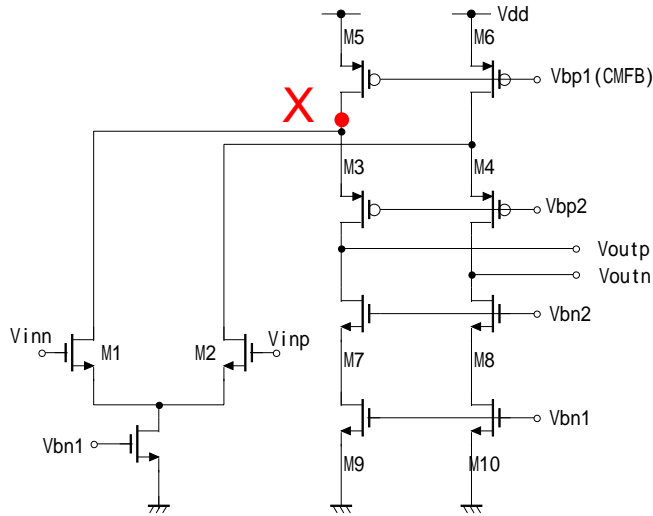
信号振幅の最適化

低分解能では微細化、高分解能では緩いプロセスが有利。



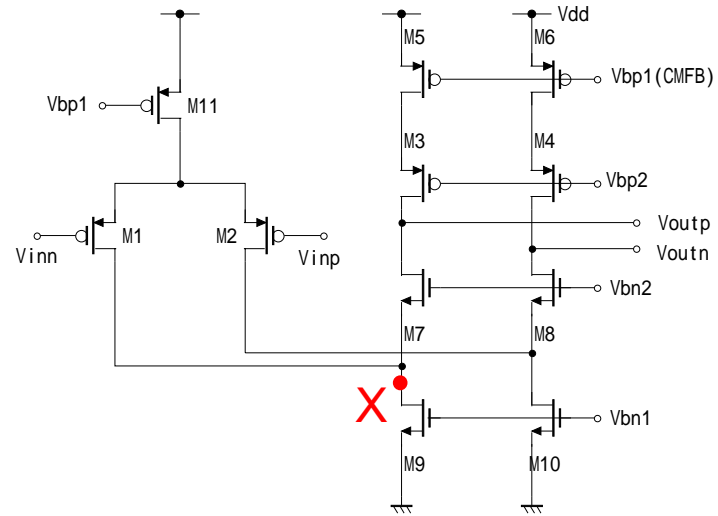
NMOS, PMOS入力の違い

GBW_{close} は p_2 の影響を考慮しなければならない。NMOS, PMOS入力両方の検討が必要



NMOS入力

- ・入力寄生容量 C_{pi} が小さい
- ・ p_2 が低い



PMOS入力

- ・入力寄生容量 C_{pi} が大きい
- ・ p_2 が高い

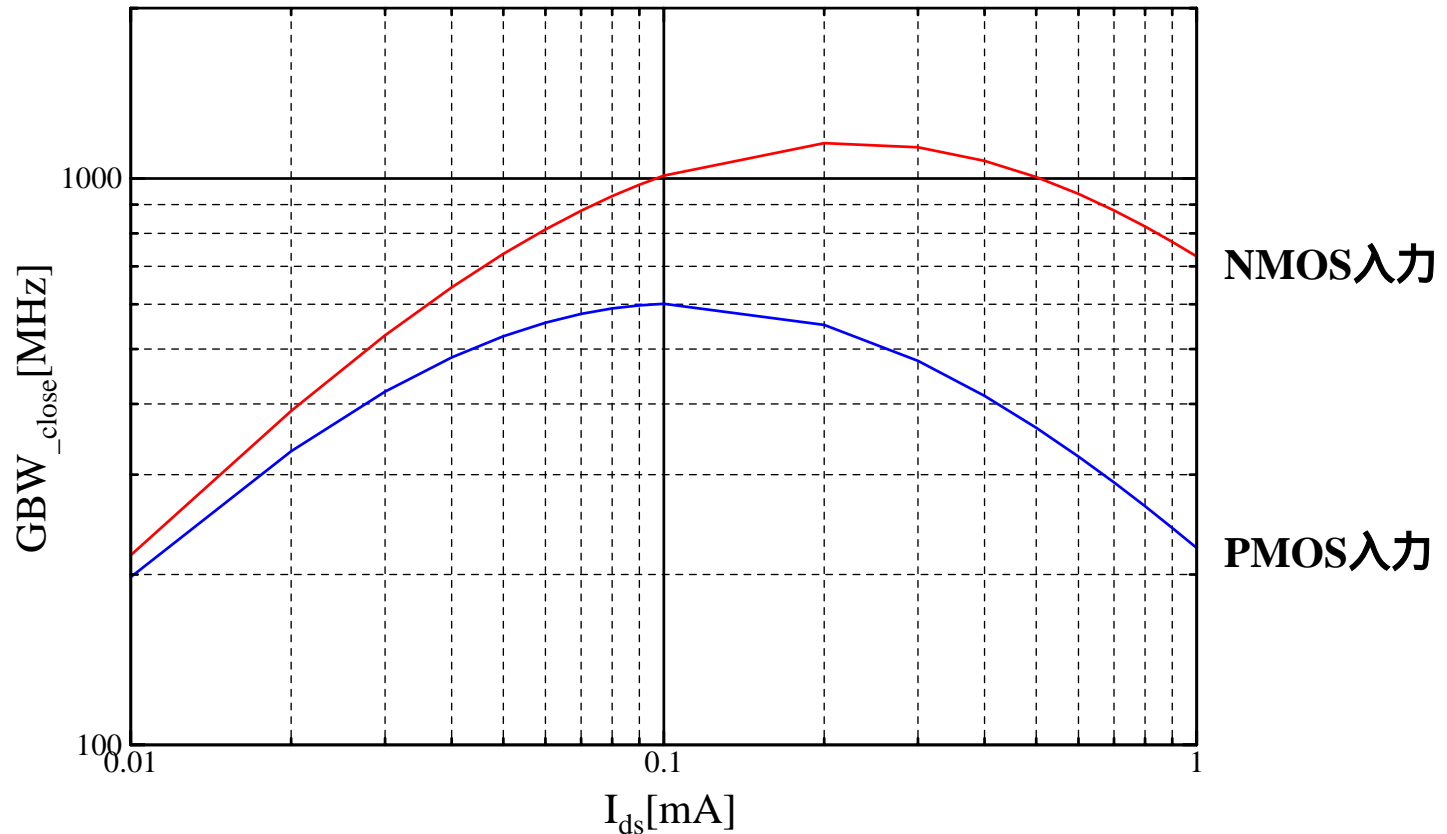
各デザインルールにおける第2ポールの比較

	90nm	0.13 μ m	0.18 μ m	0.25 μ m	0.35 μ m
f_{p2_N} GHz	18.6	15.4	4.1	1.7	1.1
f_{p2_P} GHz	30.4	20.3	9.4	3.4	3.4

NMOS, PMOS入力の違い

NMOS入力の方が変換周波数が高い

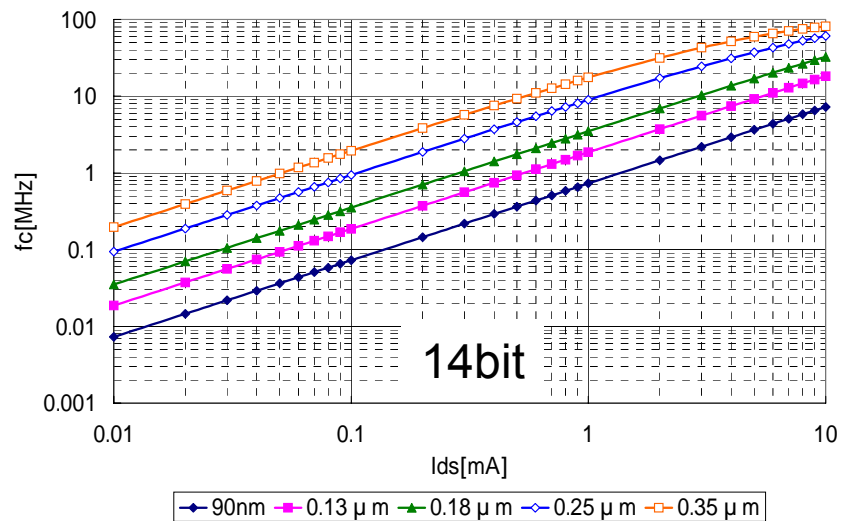
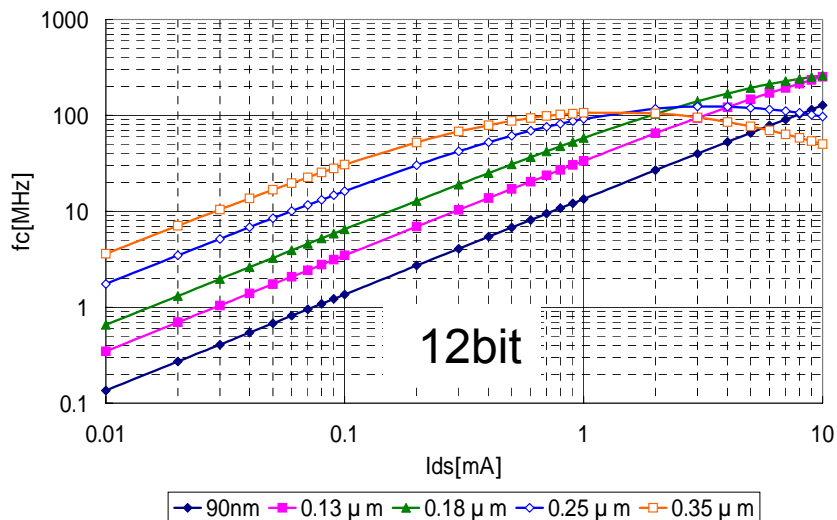
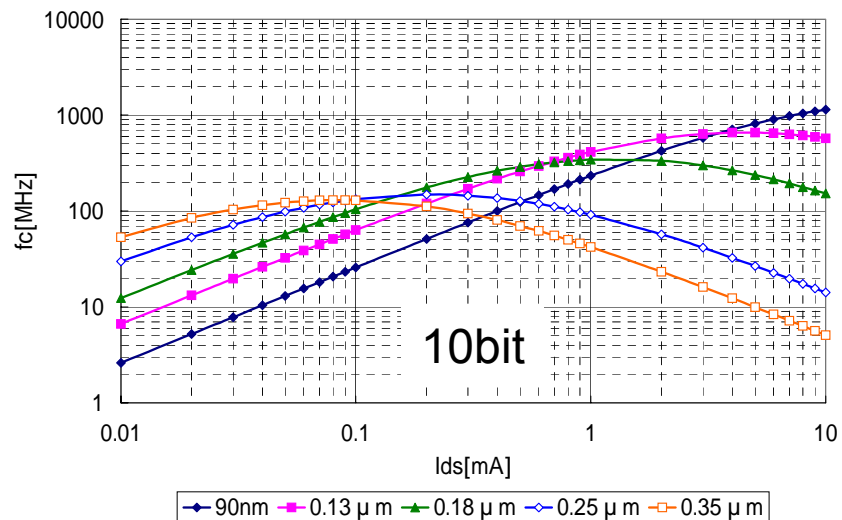
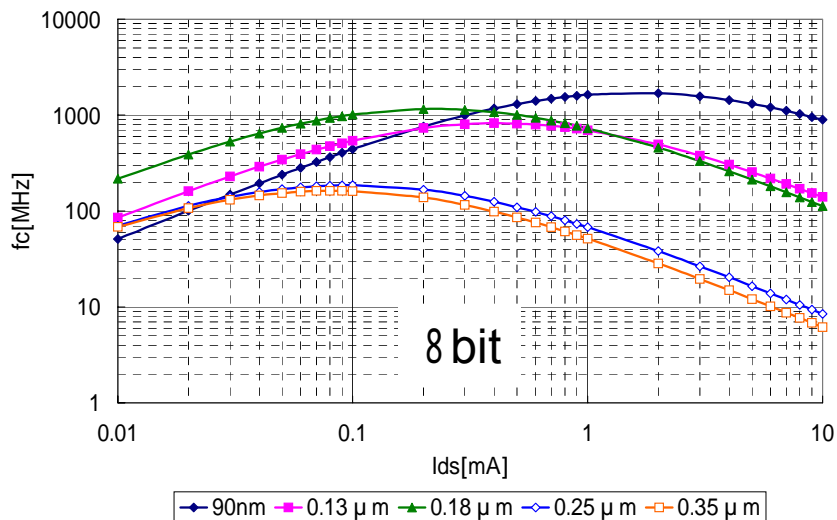
ただし、NMOS入力は位相マージンが下がるが、閉ループはぎりぎり安定である。



0.18 μ プロセスにおけるNMOS、PMOS入力のGBW(8bit)

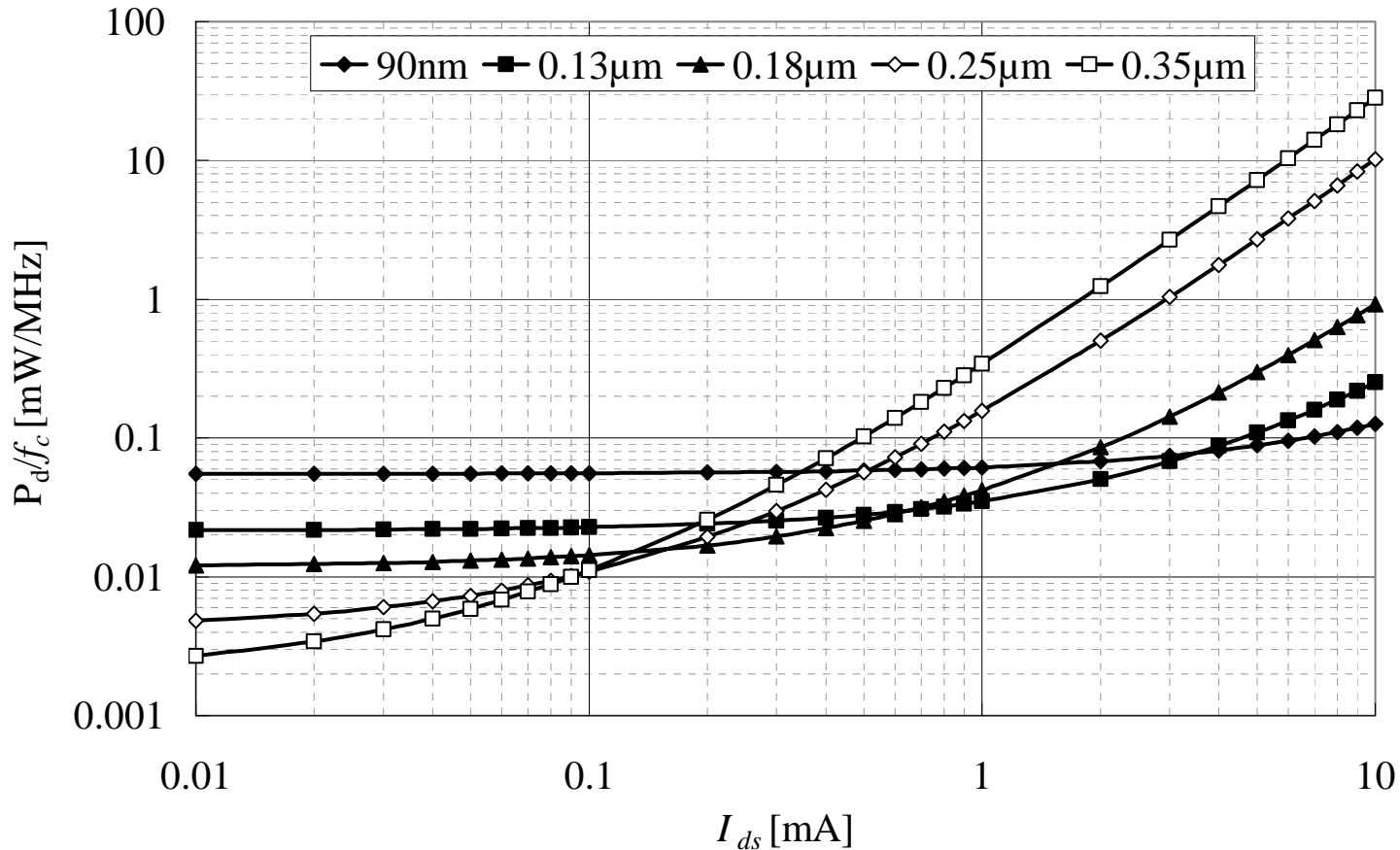
ADCの変換周波数の推定 NMOS

NMOS入力の方が変換周波数が高い



動作エネルギー

1MHzあたりの消費電力を推定すると、寄生容量の効果が見られるまでは消費電力と変換周波数は比例し、電流が増加すると、電流増大によるサイズ増大で寄生容量効果が現れ、動作エネルギーは増大する。



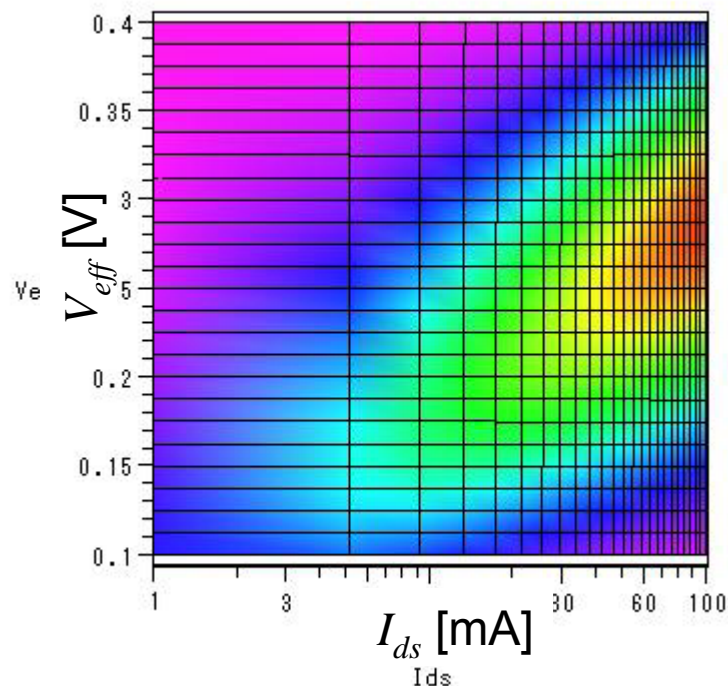
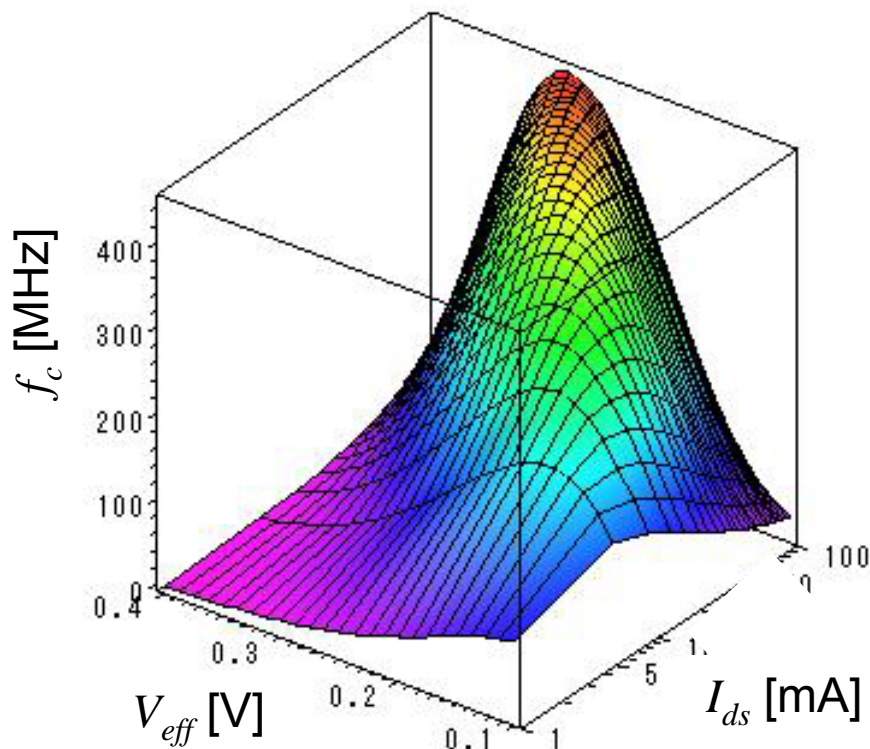
V_{eff} を可変にしたときのADC性能

V_{eff} を可変にする。動作電流により変換周波数を最大にする V_{eff} がある

$$GBW_{close}' = \frac{I_{ds}}{C_o V_{eff}'} \frac{1}{\left(2 + \frac{\alpha_{pi}' I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po}' I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi}' I_{ds}}{C_o}\right)}$$

- ・プロセス
- ・電源電圧
- ・分解能

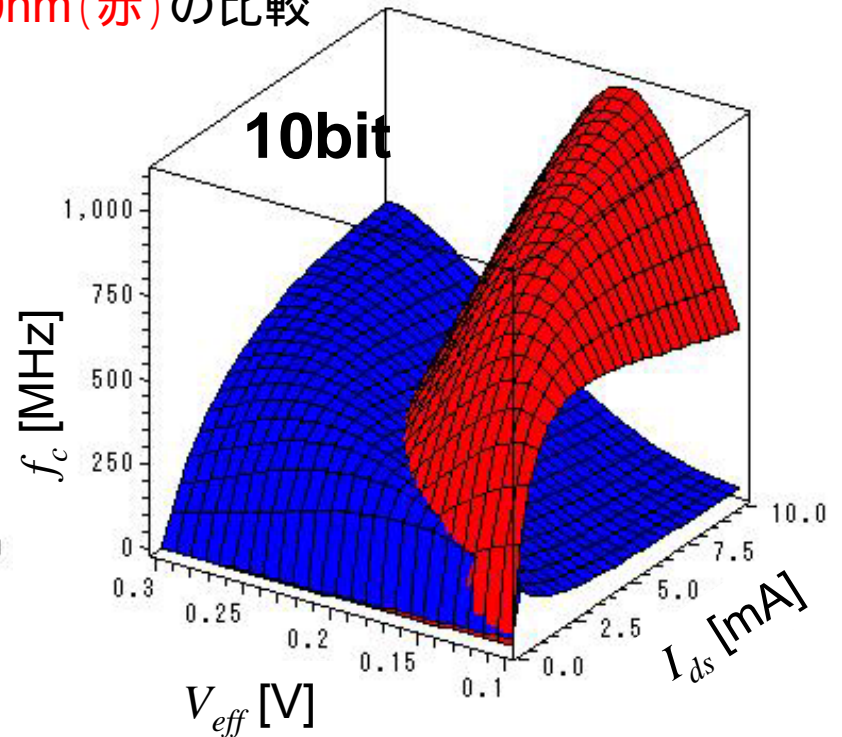
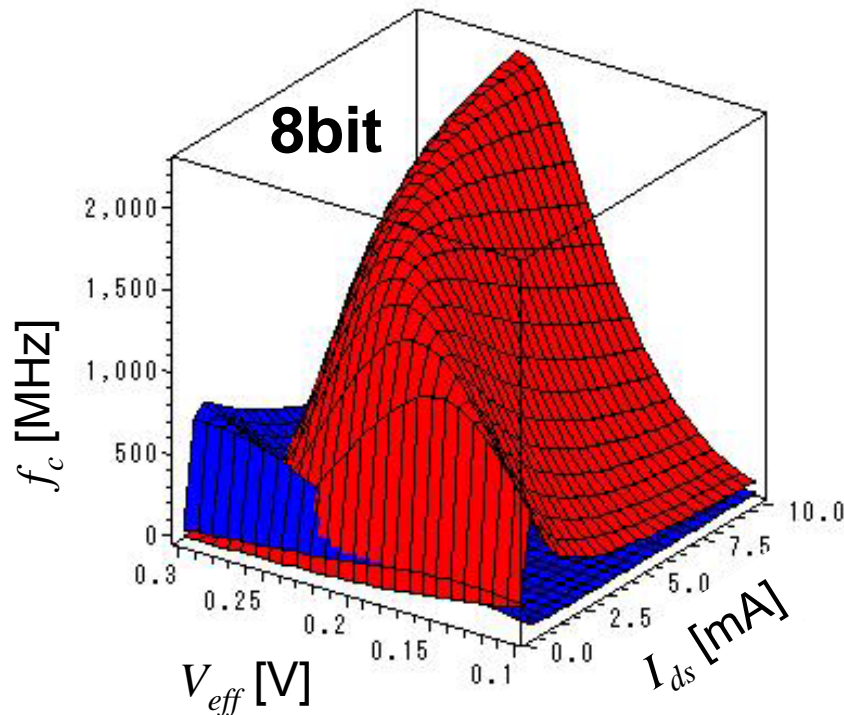
0.18 μm
 $V_{dd} = 1.8 \text{ V}$
 $N = 12 \text{ bit}$



V_{eff} を可変にしたときのADC性能

90nmプロセスでは V_{eff} の最適化の効果が大きい。
低分解能では V_{eff} を大きめにしてトランジスタの寄生容量の効果を抑えたほうが良い。

0.18 μm (青) と 90nm (赤) の比較



OPアンプ回路

フォールデッドカスコード型OPアンプ

通常NMOS入力型が高速、低電力に有利である。

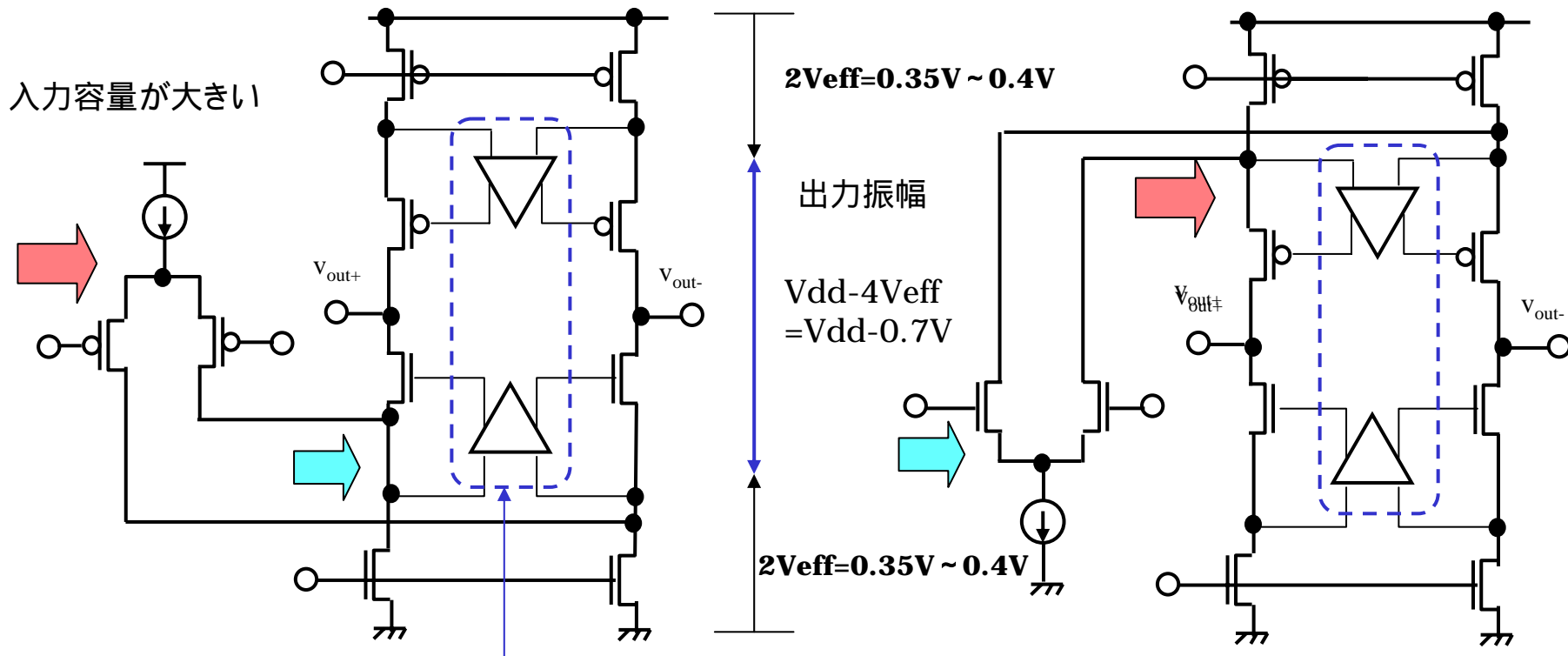
PMOS入力

NMOS入力

入力容量がNMOS入力の3倍程度
が下がり、閉ループでの帯域が低下
第2ポールが高く、位相余裕が大きい

カスコードだけでは低電圧で40dB
程度しか利得が取れない
ゲインブースト回路で利得を稼ぐ

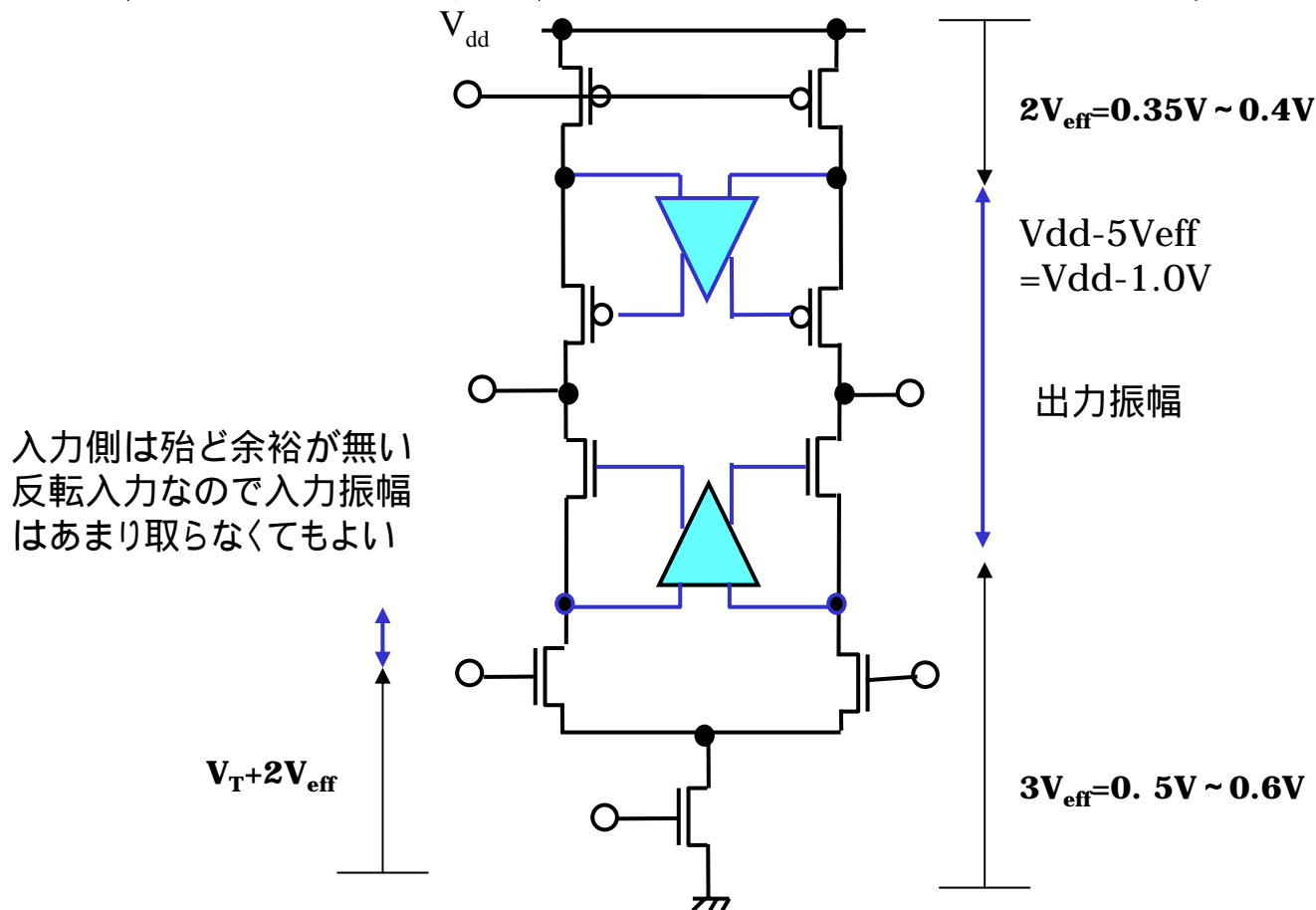
入力容量がPMOS入力の1/3倍程度
が高く、閉ループでの帯域が高い
第2ポールが低く、位相余裕が小さい



ゲインブースト回路を入れても消費電力は20%程度の増加で済む

スーパーカスコード型OPアンプ

スーパーカスコード型OPアンプはフォールデッドカスコード型に比べて低消費電力(半分程度)で位相余裕も大きく、高速動作が可能である。ただし、出力振幅が小さくなり、入力側の共通モード設定が厳しい。



入力側は殆ど余裕が無い反転入力なので入力振幅はあまり取らなくてもよい

コモンモードフィードバック回路 (スイッチドキャパシタ型)

動作

1) OPアンプを増幅器として動作させる期間

スイッチ S_3 を M_1 側に倒す、 S_1, S_3 を V_{com} 側に倒す。
容量 C_{2a}, C_{2b} に以下の電圧が貯まる。

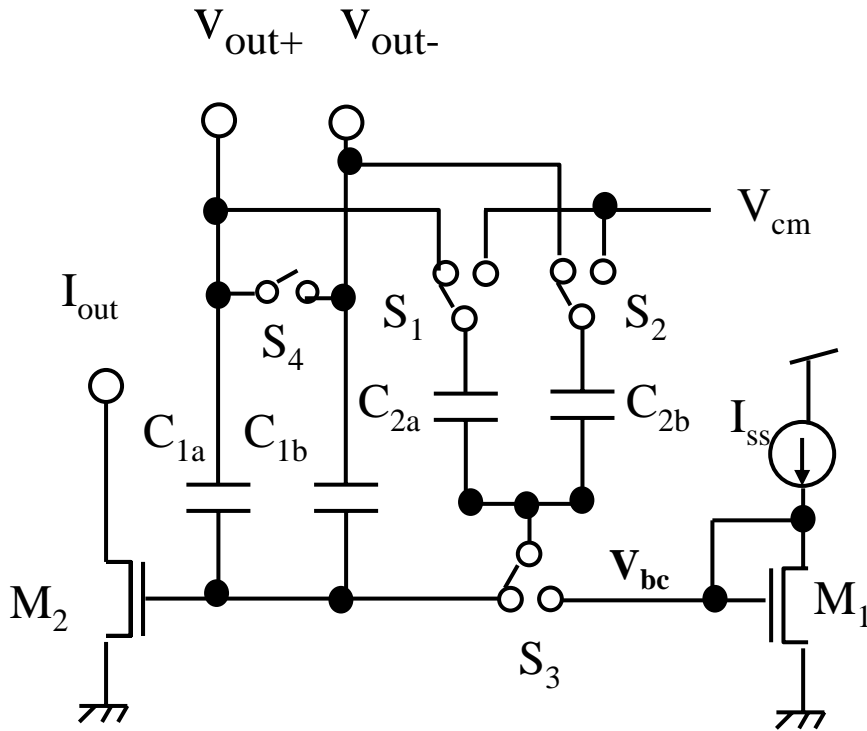
$$V_{C_{2a}} = V_{C_{2b}} = V_{cm} - V_{bc}$$

V_{out} 端子と M_2 のゲートには容量 C_{1a}, C_{1b} を通じてコモンモードフィードバックがかかっている。

2) OPアンプを増幅器として動作させない期間

スイッチ S_3 を M_2 側に倒し、 S_1, S_3 を V_{out} 側に倒す。
このとき通常は S_4 を設けて S_4 を閉じる。

容量 C_{2a}, C_{2b} から容量 C_{1a}, C_{1b} に向かって電荷が転送されて、何サイクルか繰り返すと出力のコモン電圧は V_{cm} に等しくなる。

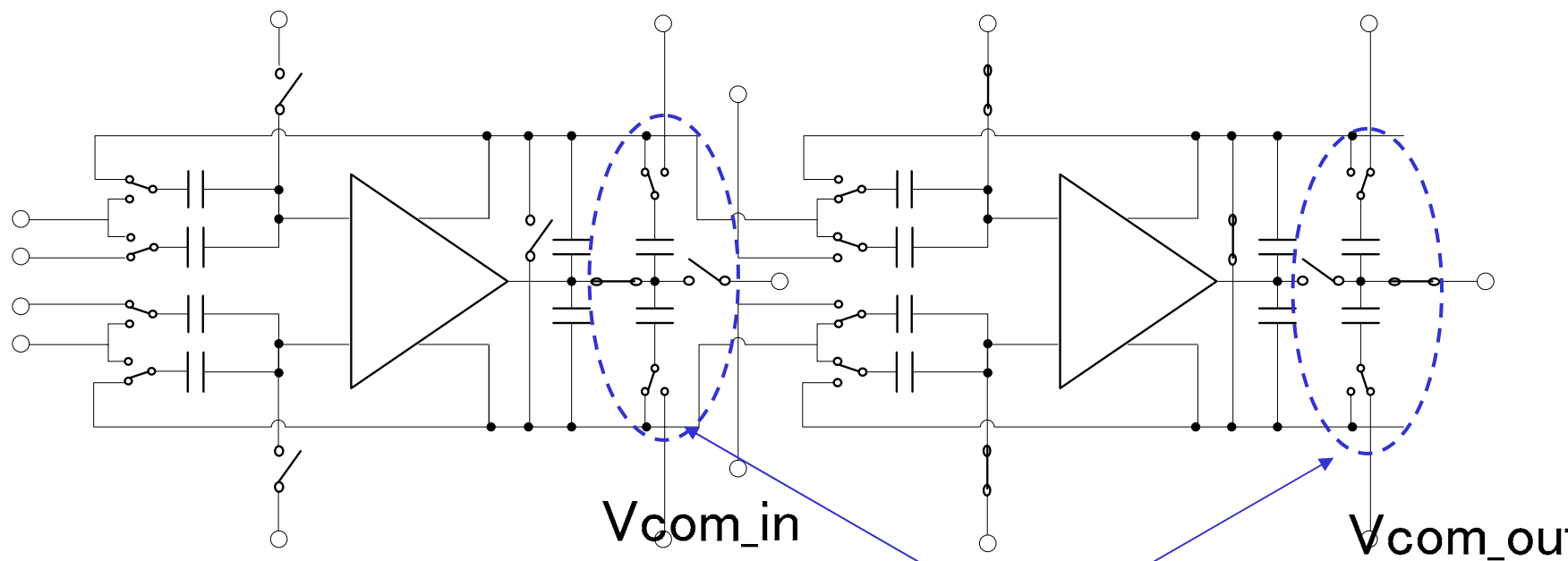


$$C_2 \approx \frac{C_1}{4} \sim \frac{C_1}{10}$$

- 利点: 全周期で帰還がかかっており安定である。
チャージフィードスルによる誤差が少ない。
- 欠点: 複数サイクル経たないと安定しない。

入出力のコモン電圧制御

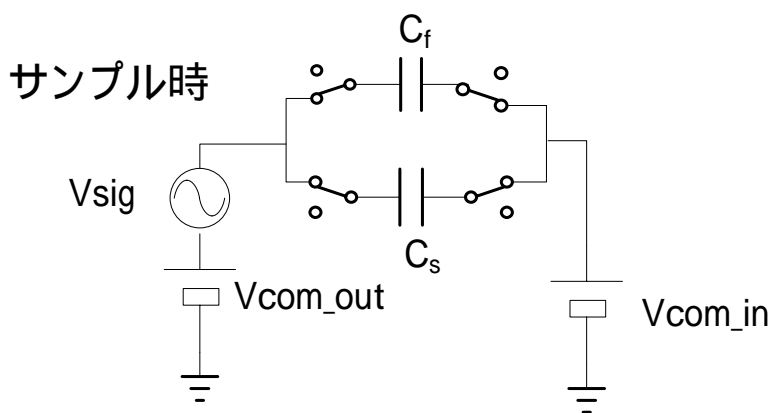
スーパーカスコード回路を使いこなすには入出力端のコモンモード制御を適切に行なう必要がある。



出力側のコモンモードの位相は逆も可である

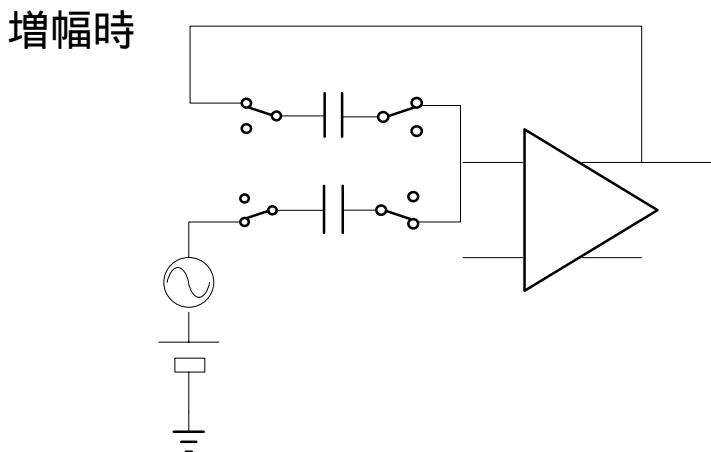
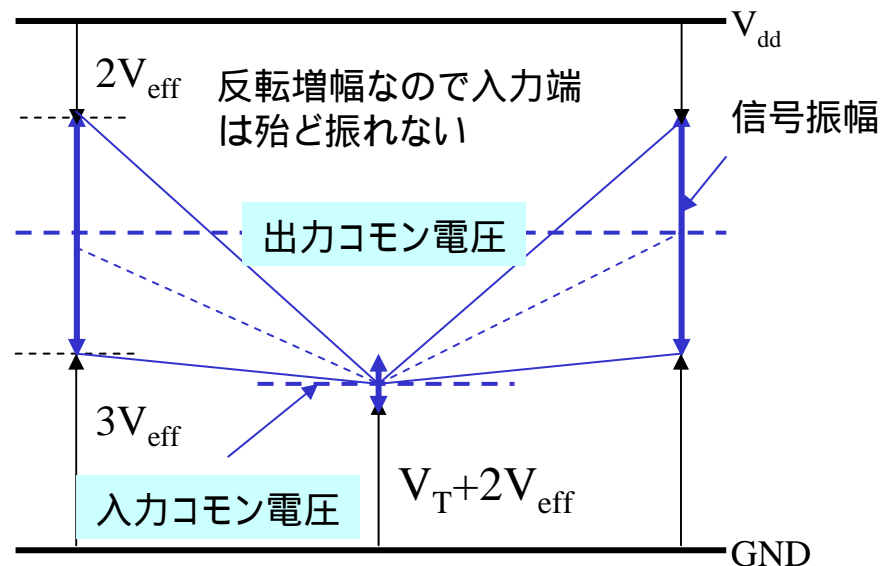
入出力のコモン電圧制御

入出力コモンモード電圧を適切に設定するとスーパーカスコード増幅器を用いることができる



$$Q_f = C(V_{sig} + V_{com_out} - V_{com_in})$$

$$Q_s = C(V_{sig} + V_{com_out} - V_{com_in})$$



利得が高く、仮想接地が理想的な場合

$$Q_f' = C(V_{out} - V_{com_in})$$

$$Q_s' = C(V_{DAC} + V_{com_out} - V_{com_in})$$

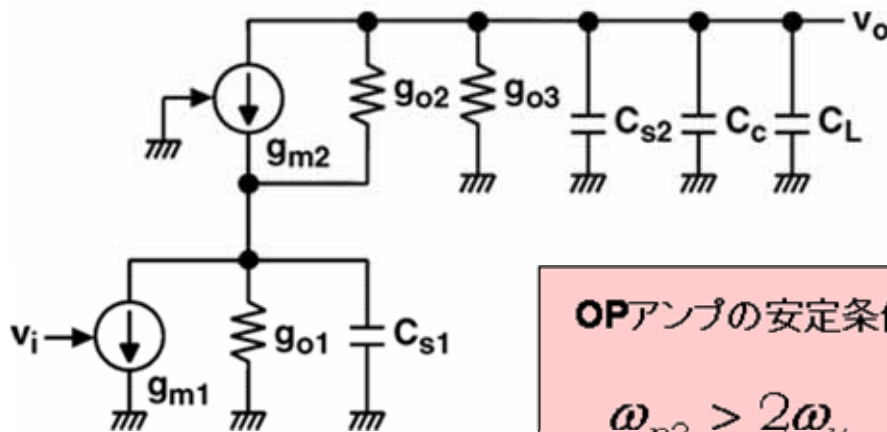
電荷保存則より $Q_f + Q_s = Q_f' + Q_s'$

$$V_{out} - V_{com_out} = 2 \left(V_{sig} - \frac{1}{2} V_{DAC} \right)$$

CMOS基本アンプの極と安定性

OPアンプの帯域は安定性を考慮すると第2ポールで決まる。
1段アンプではカスコード段で決定される。

1段アンプ(カスコード)



OPアンプの安定条件

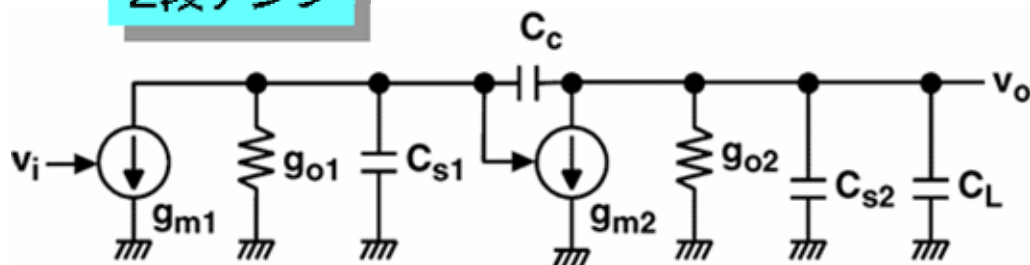
$$\omega_{p2} > 2\omega_u$$

$$\omega_{p1} \cong \frac{g_{o3} + g_{o1}(g_{o2}/g_{m2})}{(C_{s2} + C_C + C_L)}$$

$$\omega_u \cong \frac{g_{m1}}{(C_{s2} + C_C + C_L)}$$

$$\omega_{p2} \cong \frac{g_{m2}}{C_{s1}}$$

2段アンプ



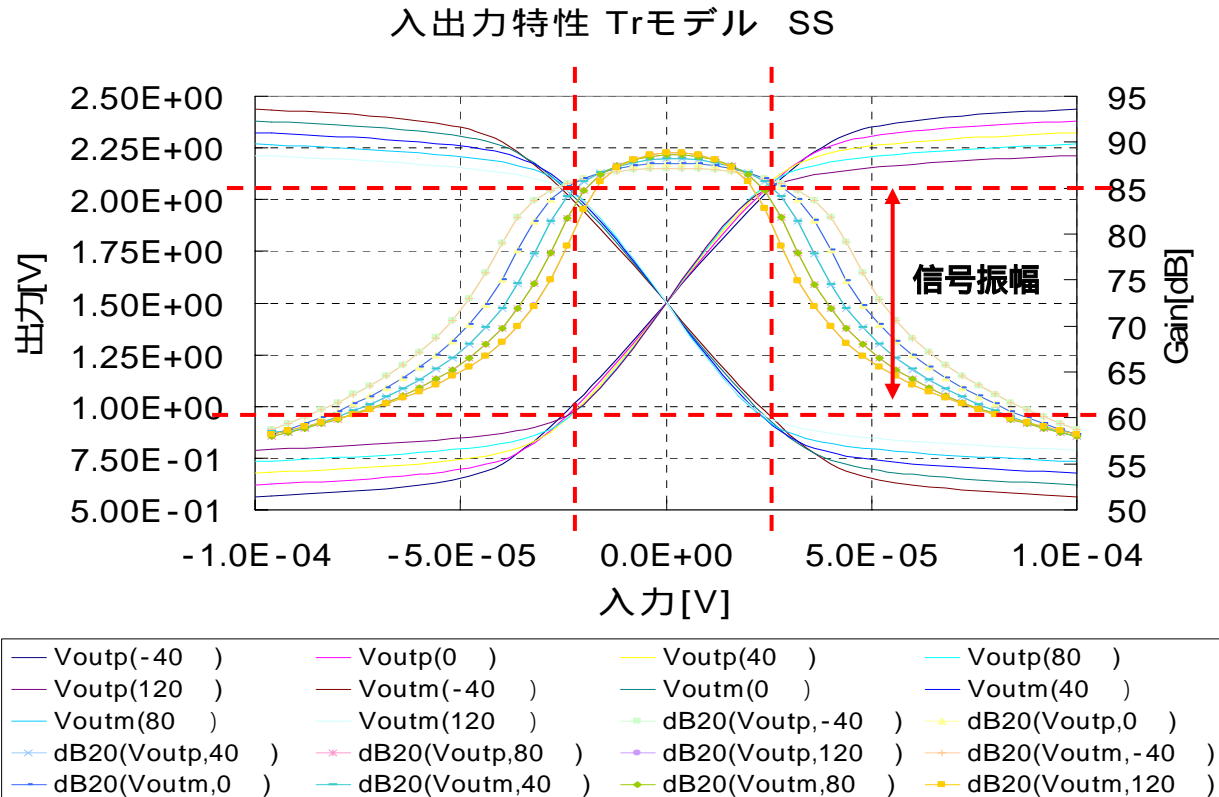
$$\omega_{p1} \cong \frac{g_{o1}(g_{o2}/g_{m2})}{C_C}$$

$$\omega_u \cong \frac{g_{m1}}{C_C}$$

$$\omega_{p2} \cong \frac{g_{m2}}{C_{s1} + C_{s2} + C_L + (C_{s2} + C_L) \frac{C_{s1}}{C_C}}$$

オペアンプの設計 (DC特性)

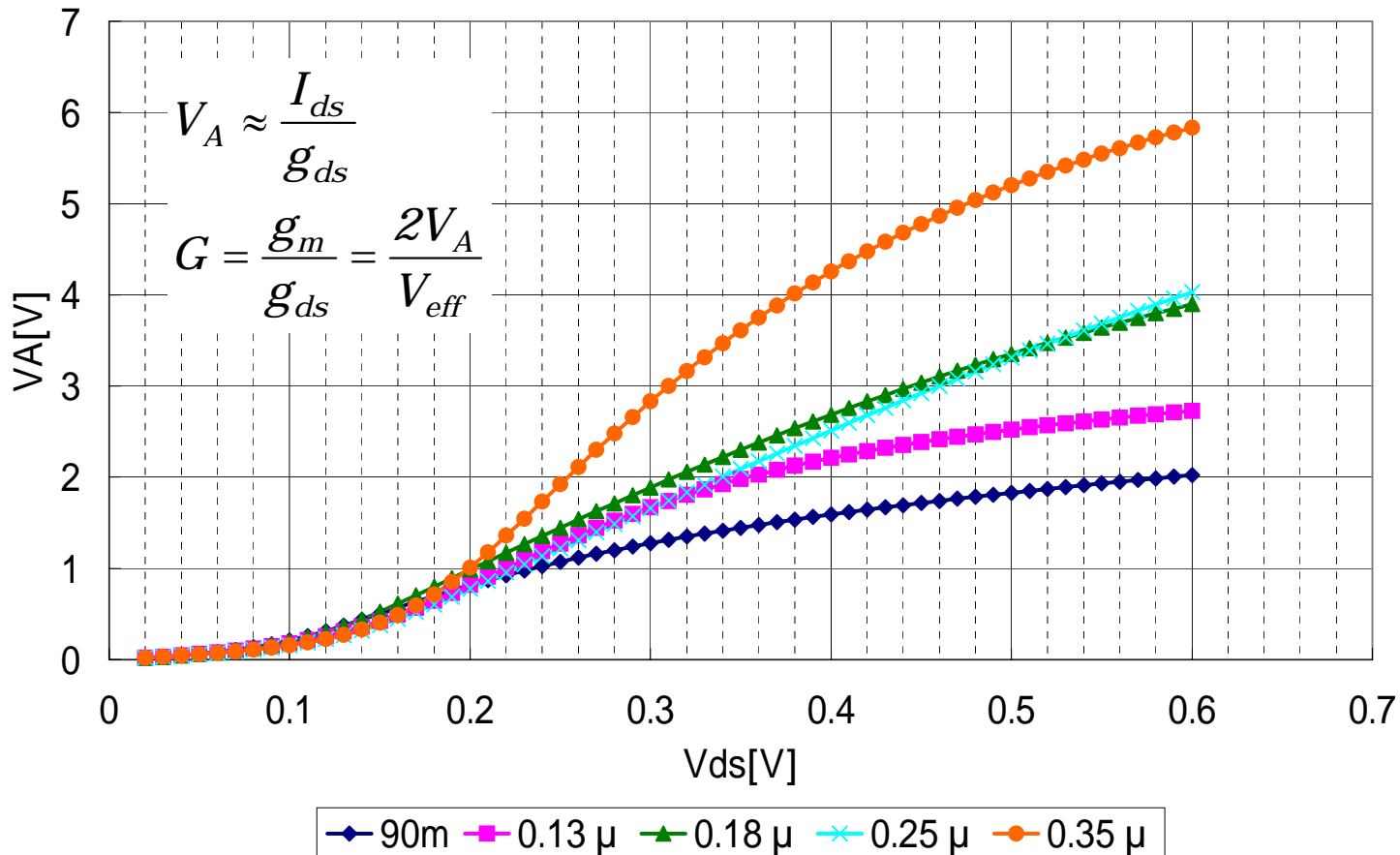
出力トランジスタの V_{ds} が小さい場合は(信号振幅が大きいとき)利得が下がり誤差を発生するので要注意



V_A のプロセス依存性 NMOS

$$V_{eff} = 0.2$$

$V_{ds}=V_{eff}$ のポイントではデザインルールに依らず $V_A=1.0V$ となる。
したがって低電圧設計ではトランジスタ1つあたり10倍(20dB)にしかない。
 V_{ds} を増加させると基本的にデザインルールが緩いほど V_A が高くなり利得が大きくなる



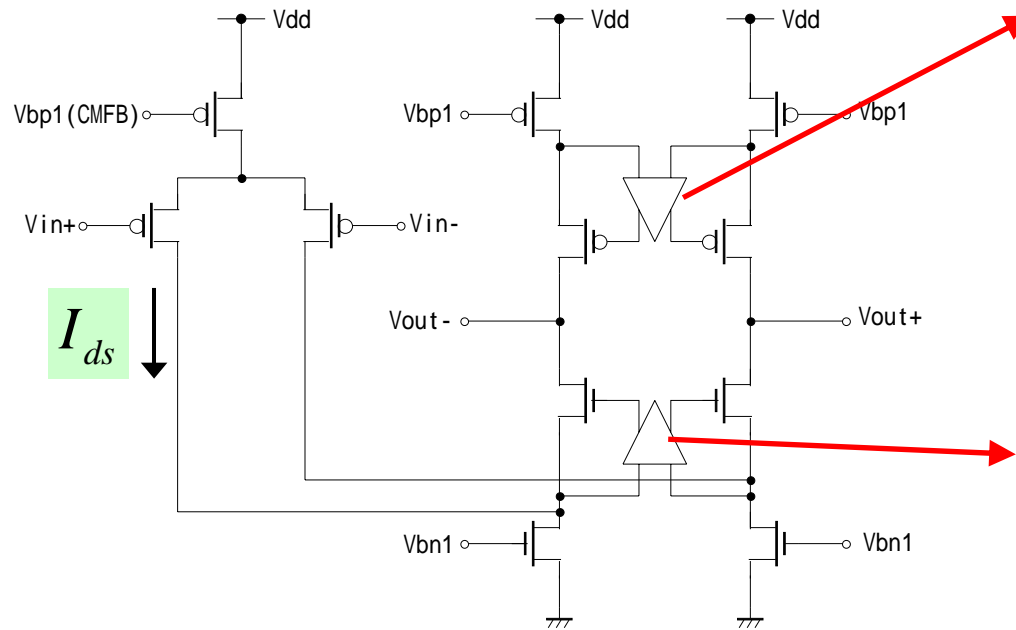
ゲインブースト型オペアンプの解析

高分解能においては高いDCゲインが必要

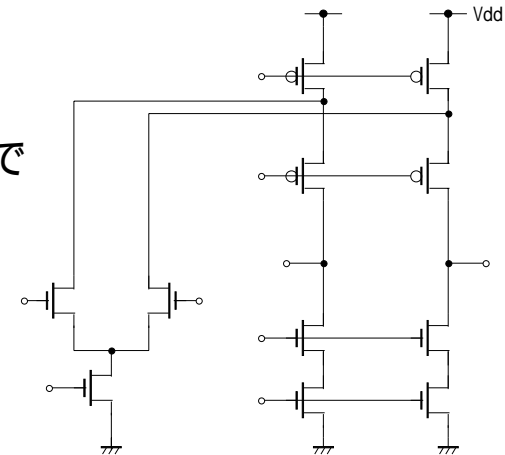
$$G_0 (dB) > 6N + 10$$

90nmではメインアンプ単体で
35 ~ 40dB程度しか出ない

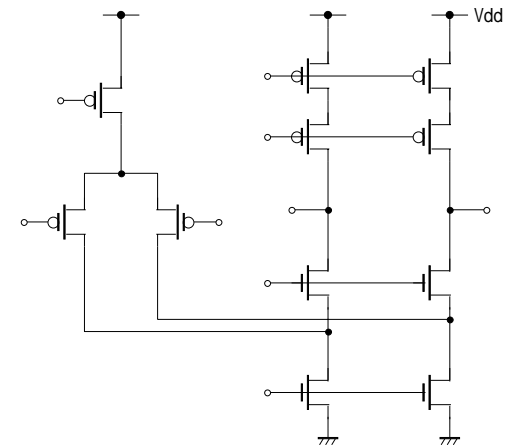
N, PMOS側それぞれにゲインブーストアンプを用いて
出力抵抗を上げてゲインを増す。



メインアンプ

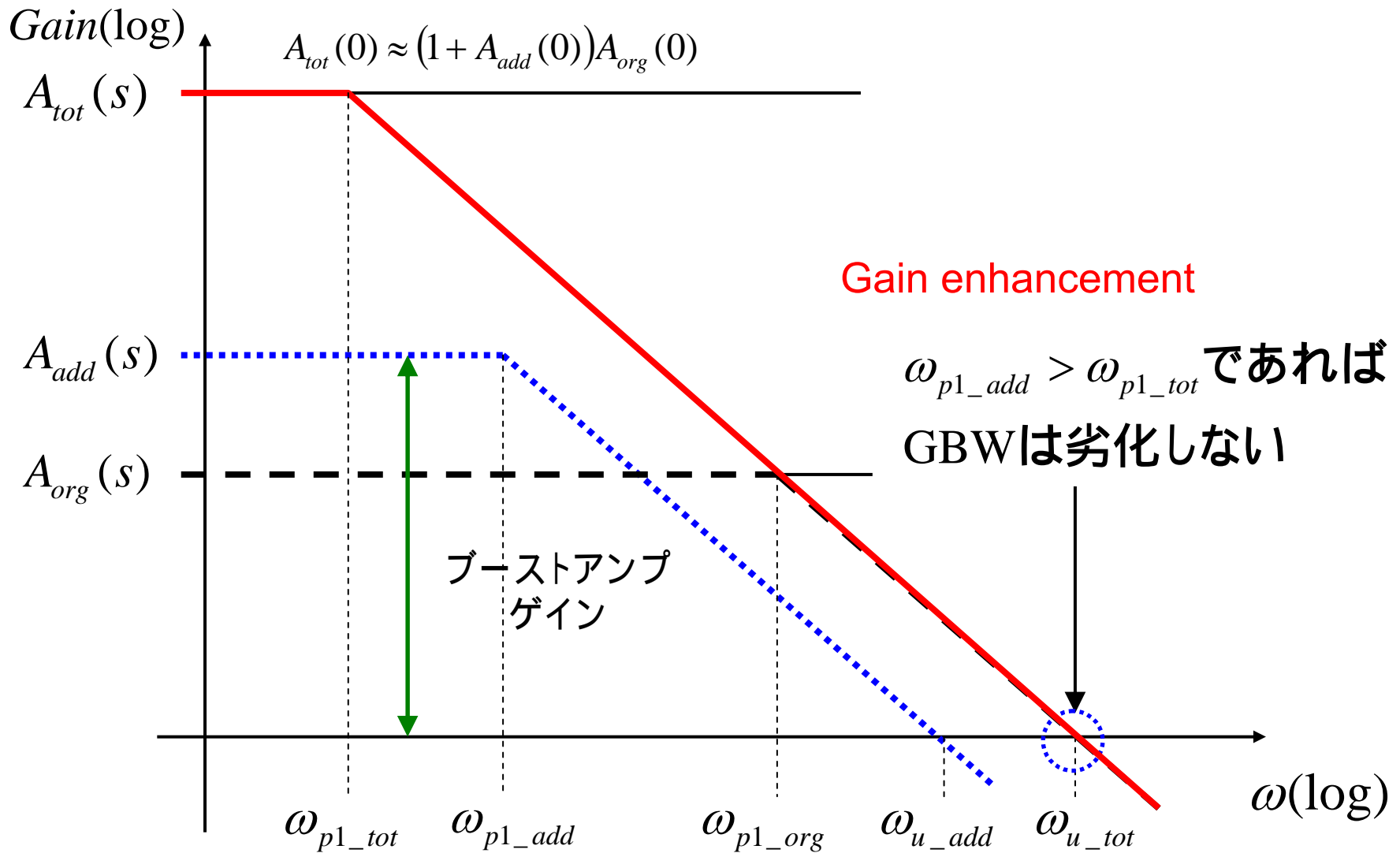


PMOS側ブーストアンプ

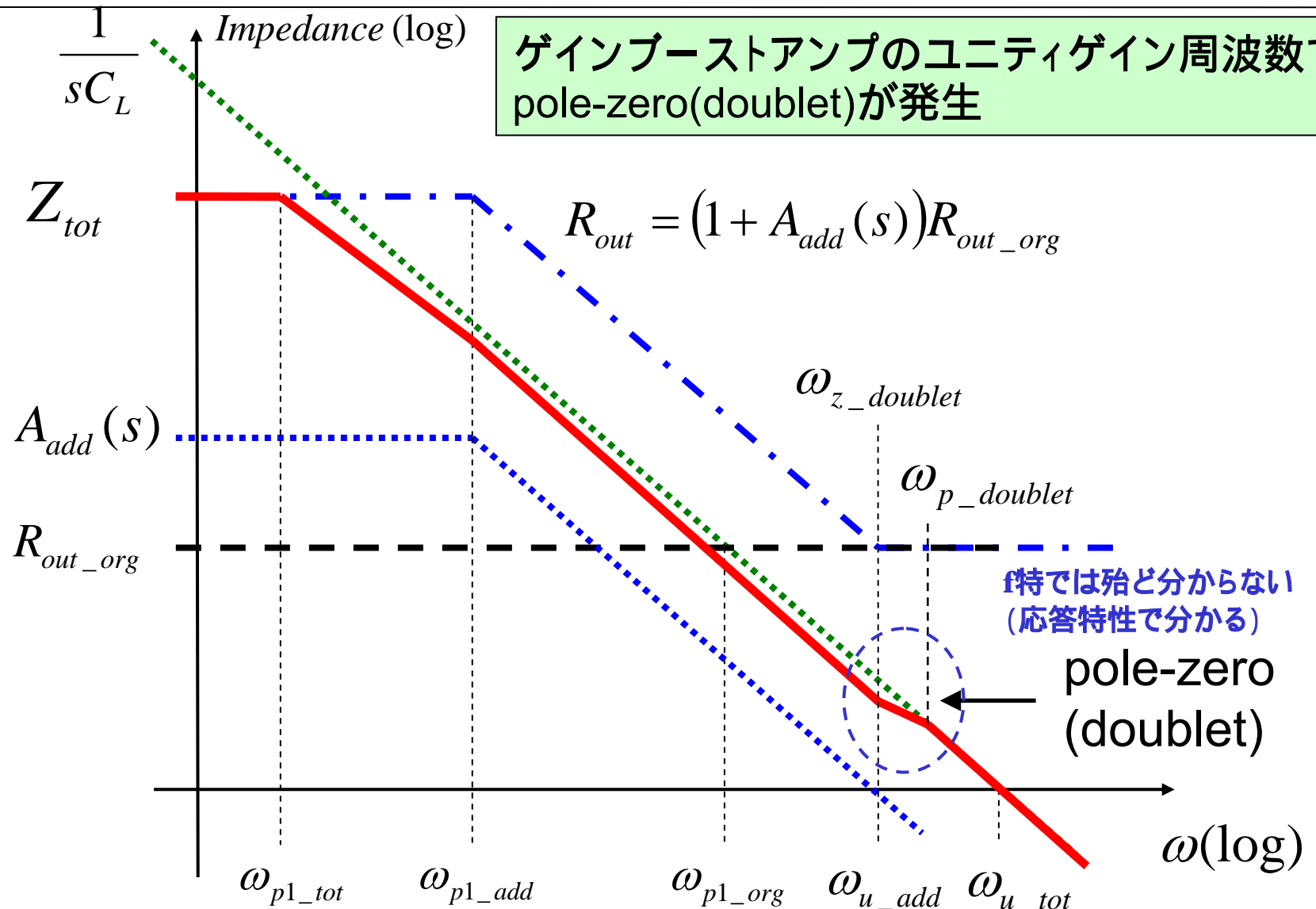


NMOS側ブーストアンプ

ゲイン周波数特性の概略



出力抵抗周波数特性の概略



Pole-zero (doublet)の問題点

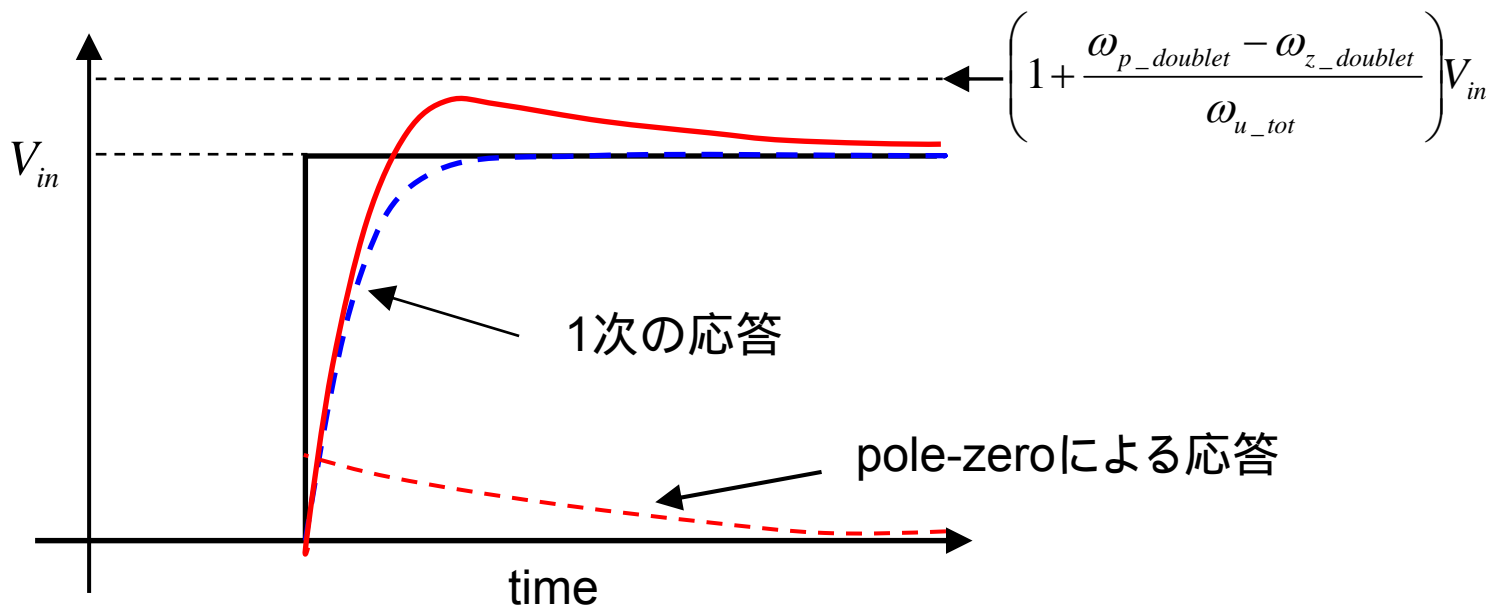
pole-zero (doublet)が存在するとセトリングが遅くなる。

ユニティゲインバッファのステップ応答 (slewing period以降)

$$V_{out}(t) \approx V_{in} \left(\underbrace{1 - \exp(-\omega_{u_tot} t)}_{\text{1次のオペアンプ応答}} + \underbrace{\frac{\omega_{p_doublet} - \omega_{z_doublet}}{\omega_{u_tot}} \exp(-\omega_{z_doublet} t)}_{\text{pole-zero による応答}} \right)$$

1次のオペアンプ応答

pole-zero による応答



pole-zeroの効果の抑制

< 1の時

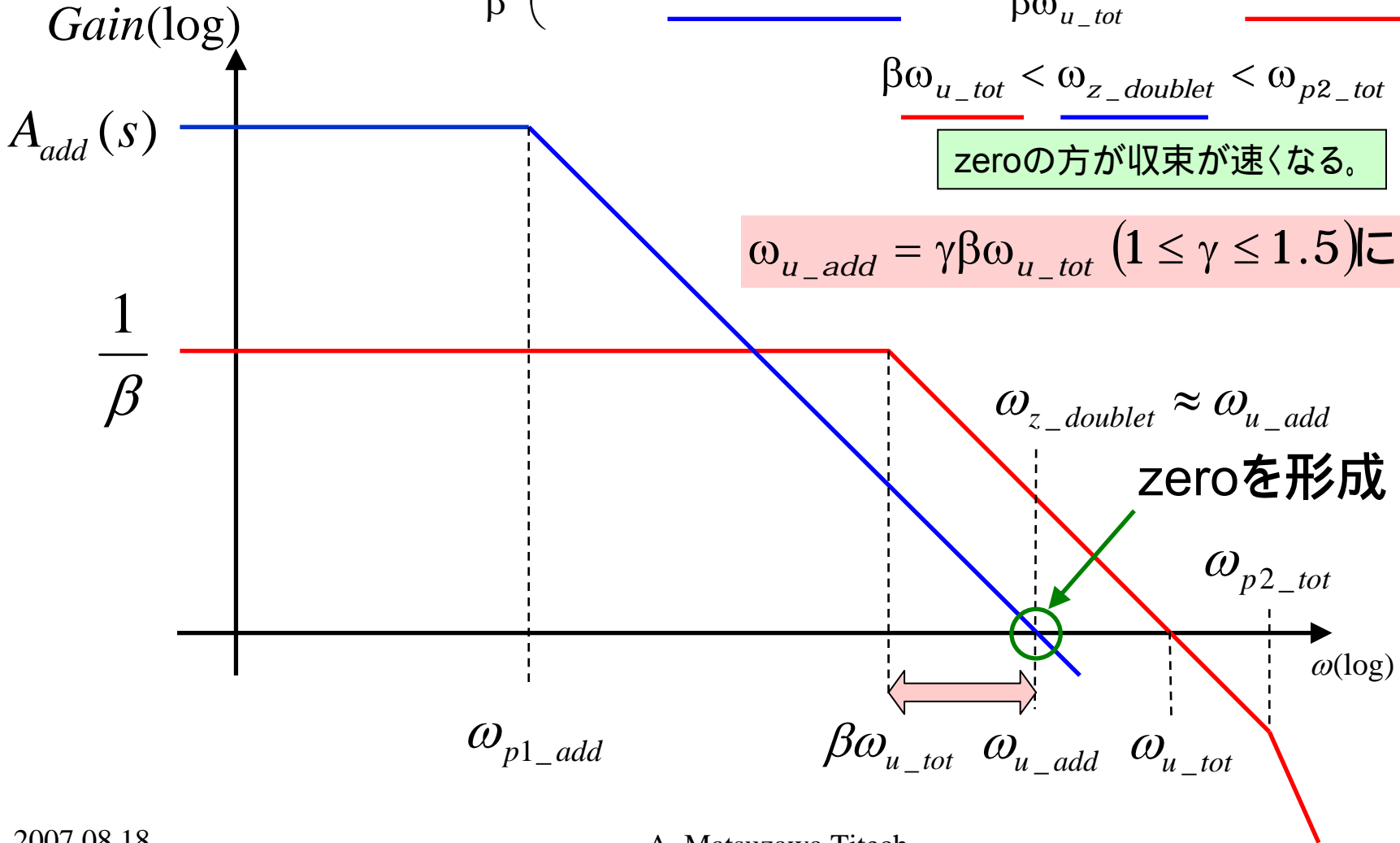
β : フィードバック係数

$$V_{out}(t) \approx \frac{V_{in}}{\beta} \left(1 - \exp(-\beta\omega_{u_tot} t) + \frac{\omega_{p_doublet} - \omega_{z_doublet}}{\beta\omega_{u_tot}} \exp(-\omega_{z_doublet} t) \right)$$

$$\beta\omega_{u_tot} < \omega_{z_doublet} < \omega_{p2_tot}$$

zeroの方が収束が速くなる。

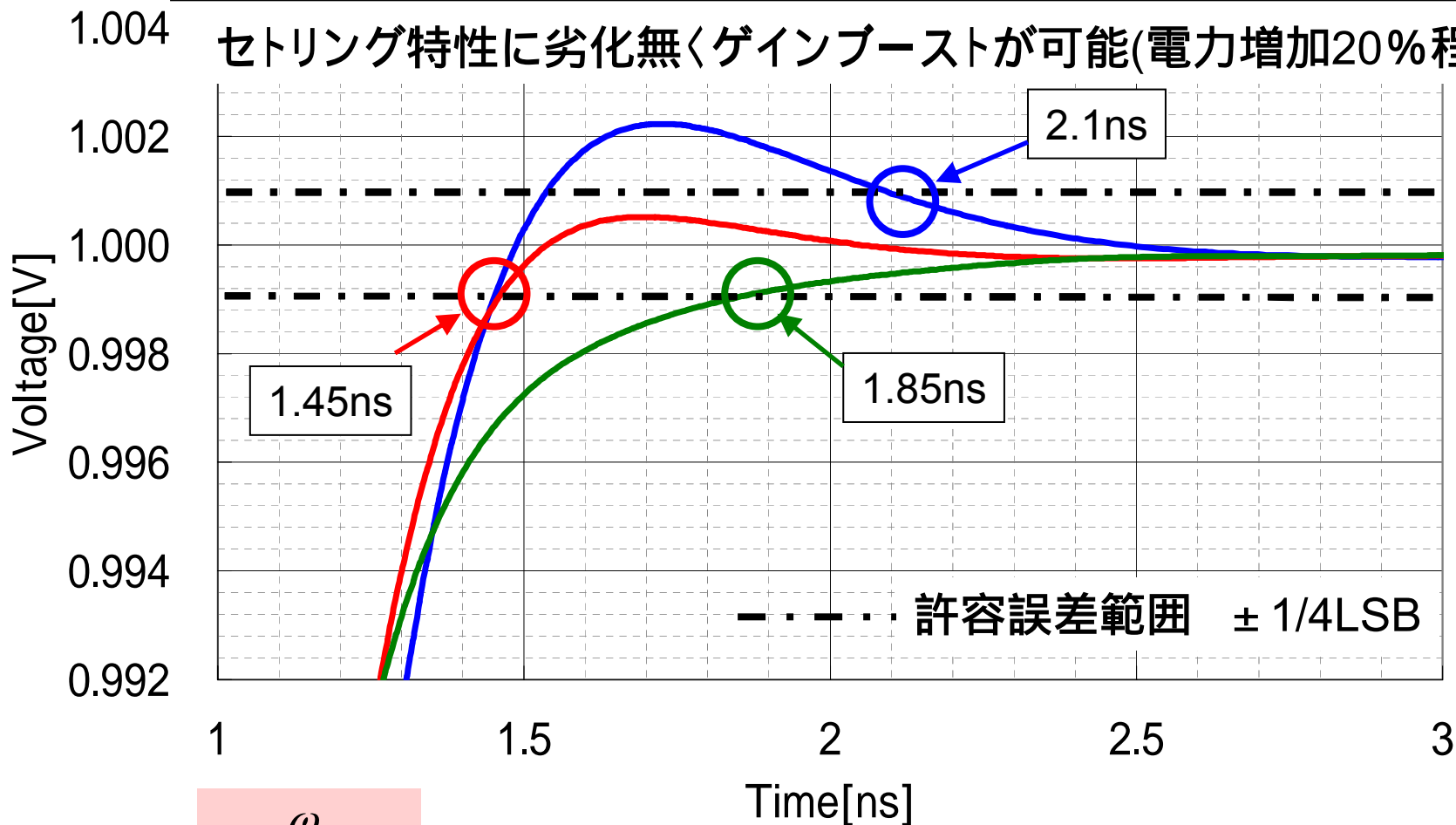
$$\omega_{u_add} = \gamma\beta\omega_{u_tot} \quad (1 \leq \gamma \leq 1.5) \text{ に設定}$$



セトリング特性

分解能10bit、0.18 μm プロセス、160MHz動作見込み(半周期3.125ns)

セトリング特性に劣化無くゲインブーストが可能(電力増加20%程度)



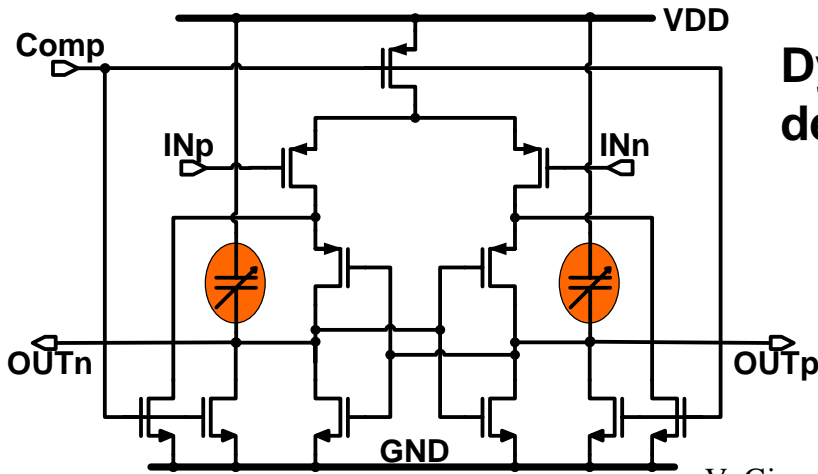
$$\gamma = \frac{\omega_{u_add}}{\beta\omega_{u_tot}}$$

— $\gamma = 1$ — $\gamma = 1.2$ — $\gamma = 1.5$

比較器

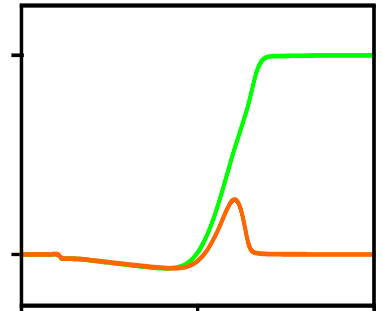
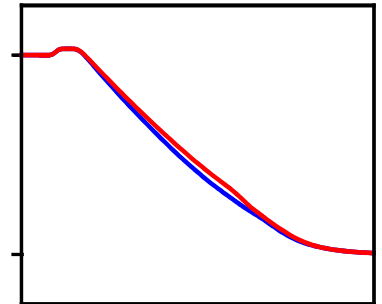
比較器回路

比較器はダイナミック回路で構成され、定常電流が流れないようにすることができる。



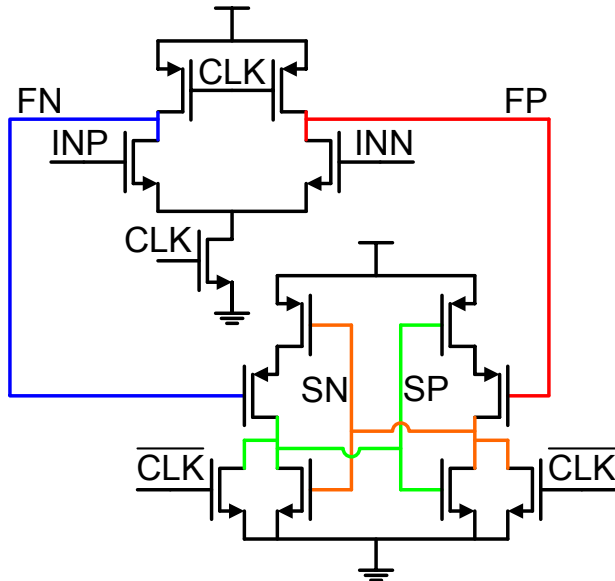
Dynamic comparators use the fast voltage fall depended on input voltage difference

Fast voltage fall



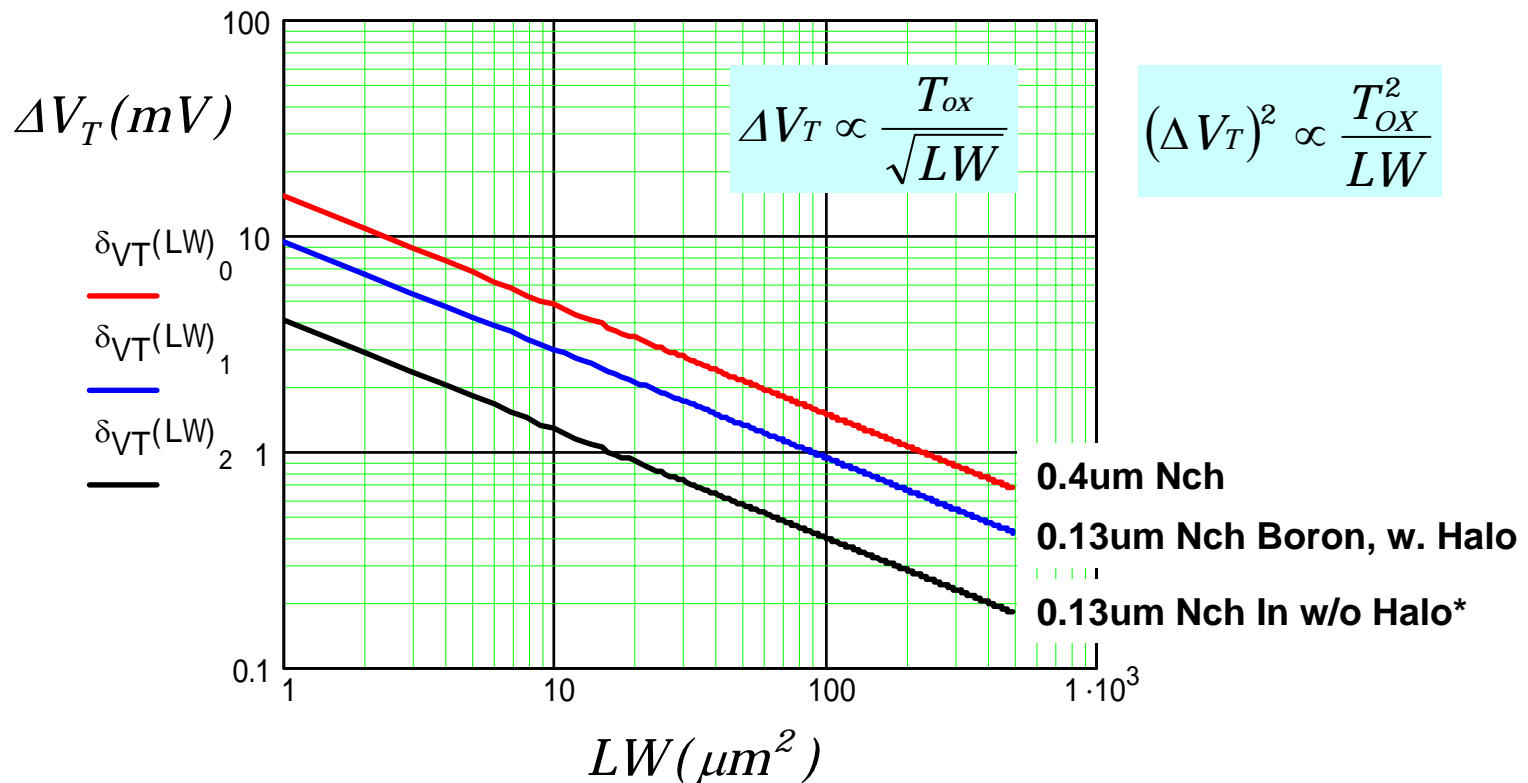
V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.



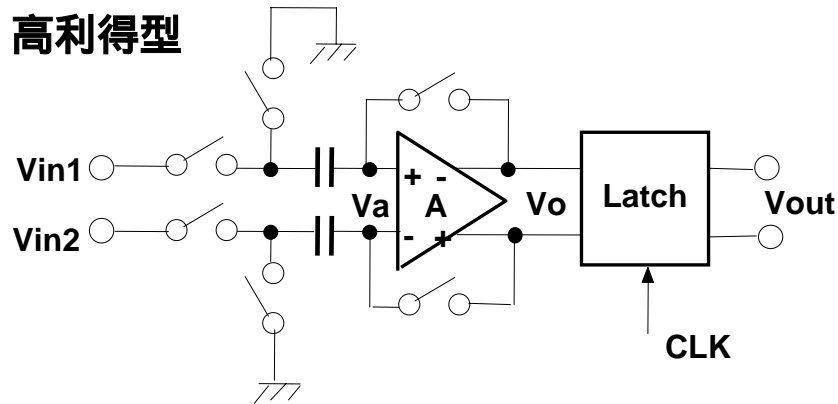
V_T mismatch

V_T ミスマッチを小さくするには大きなトランジスタサイズが必要
微細化により同一面積では V_T ミスマッチは減少する。



オフセット電圧補償

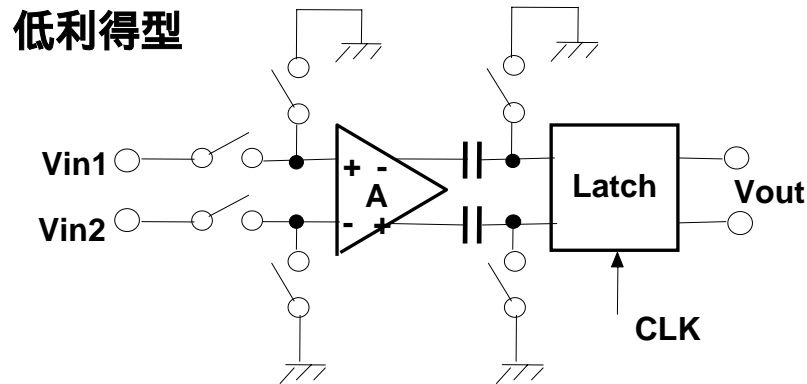
容量を用いることでオフセット電圧補償を行うことができる。



Offset cancel at input nodes

$$(V_a - V_{os})(-A) = V_o = V_a$$

$$\therefore V_o = V_a = \frac{A}{1 + A} V_{os}$$



Offset cancel at output nodes

$$V_{os_in} = \frac{V_{os}}{1 + A} + \frac{\Delta Q}{C} + \frac{V_{osl}}{A}$$

$$V_{os_in} = \frac{\Delta Q}{C} + \frac{V_{osl}}{A}$$

V_{os} : Offset of the amplifier

Q : Feed through voltage

V_{osl} : Offset in the latch

ラッチ動作の時定数

出力端電圧は指数関数的に増大する。
 時定数は総容量に比例し、 g_m に反比例する。
 速度を上げるには初期電圧を上げることと時定数を短くすることが必要。

$$V_x = -\frac{g_m}{sC} V_y + \frac{V_{x0}}{s}$$

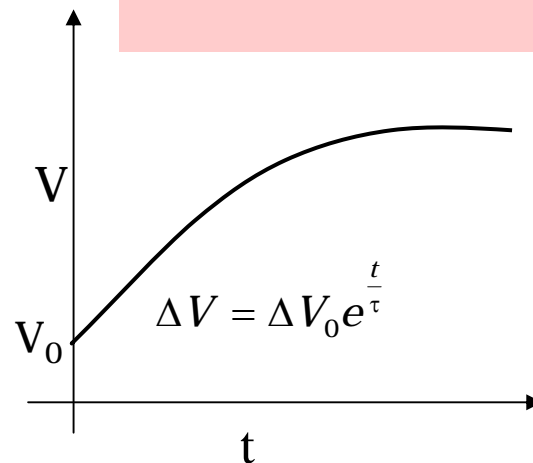
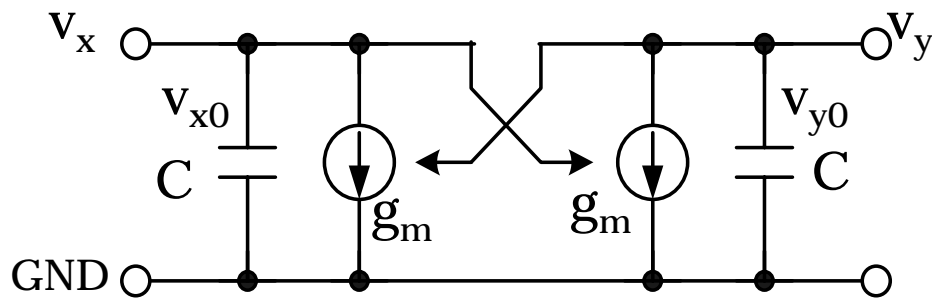
$$V_y = -\frac{g_m}{sC} V_x + \frac{V_{y0}}{s}$$

$$\Delta V = V_x - V_y,$$

$$\Delta V_0 = V_{x0} - V_{y0}$$

$$\Delta v = \frac{\Delta V_0}{s - \frac{g_m}{C}}$$

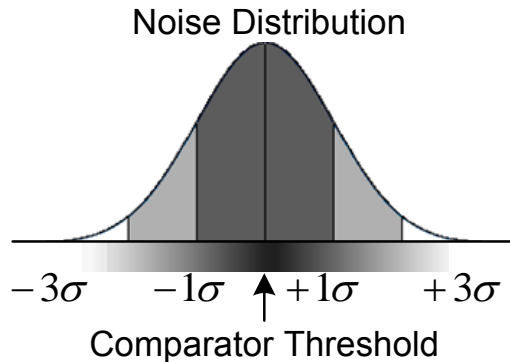
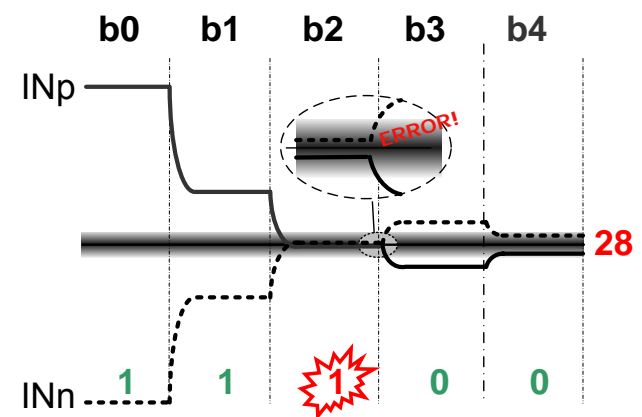
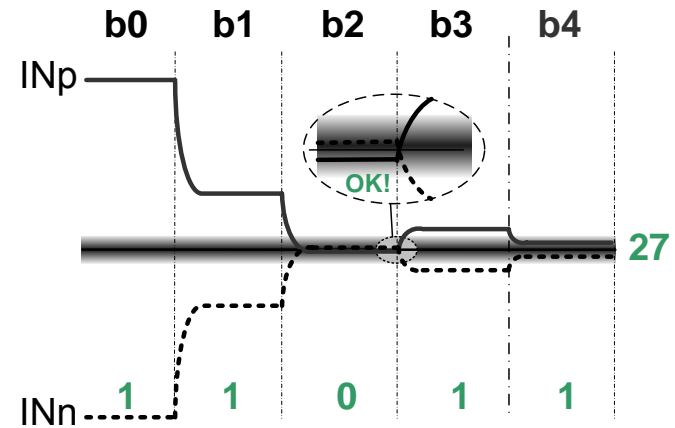
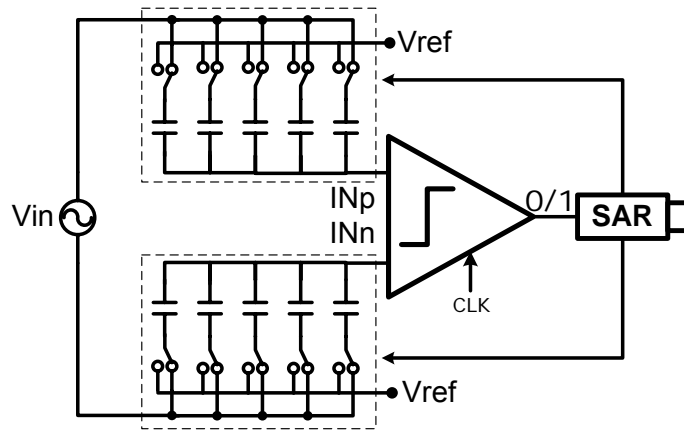
$$\Delta V = \Delta V_0 e^{\frac{t}{\tau}}, \quad \tau = \frac{C}{g_m}$$



SA ADCにおける比較器の問題

比較器はあるノイズ分布を有し、SA-ADCの誤動作を引き起こす。

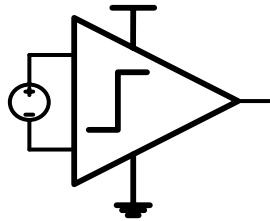
5b Charge Redistribution (CR) SAR ADC



V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

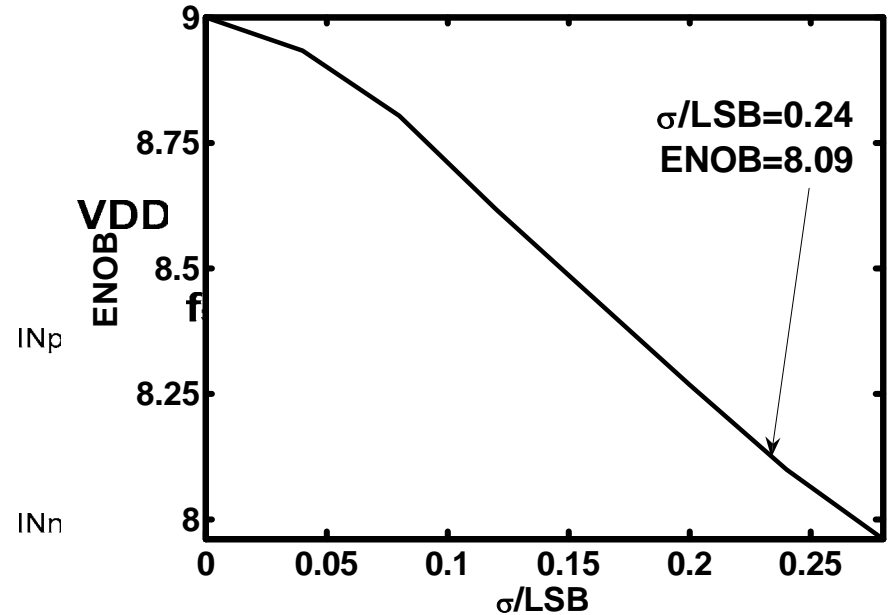
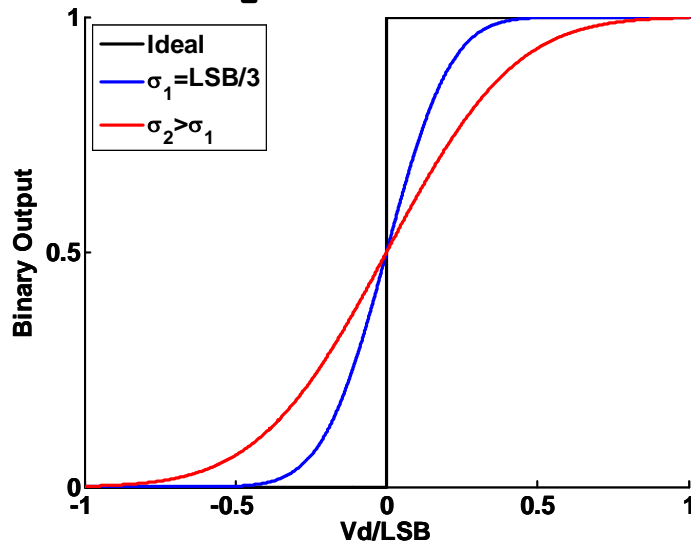
比較器のノイズと ENOB

SA ADCにおいては0.1LSB程度の低ノイズが要求される。



$$\sigma_V < 0.25 \text{ LSB} : -1 \text{ bit deg rade}$$

$$\sigma_V < 0.15 \text{ LSB} : -0.5 \text{ bit deg rade}$$

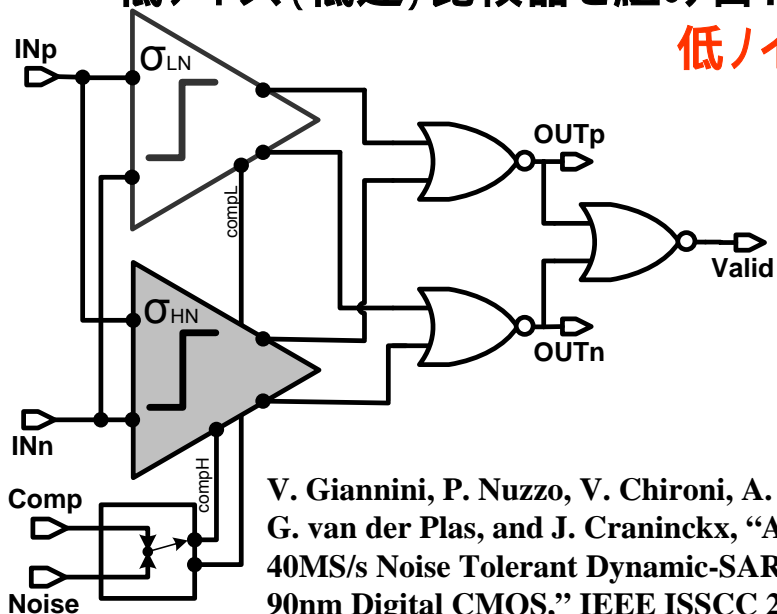


V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

冗長構成

比較器のノイズによる誤動作を抑制するため、高速(高ノイズ)比較器と低ノイズ(低速)比較器を組み合わせる。

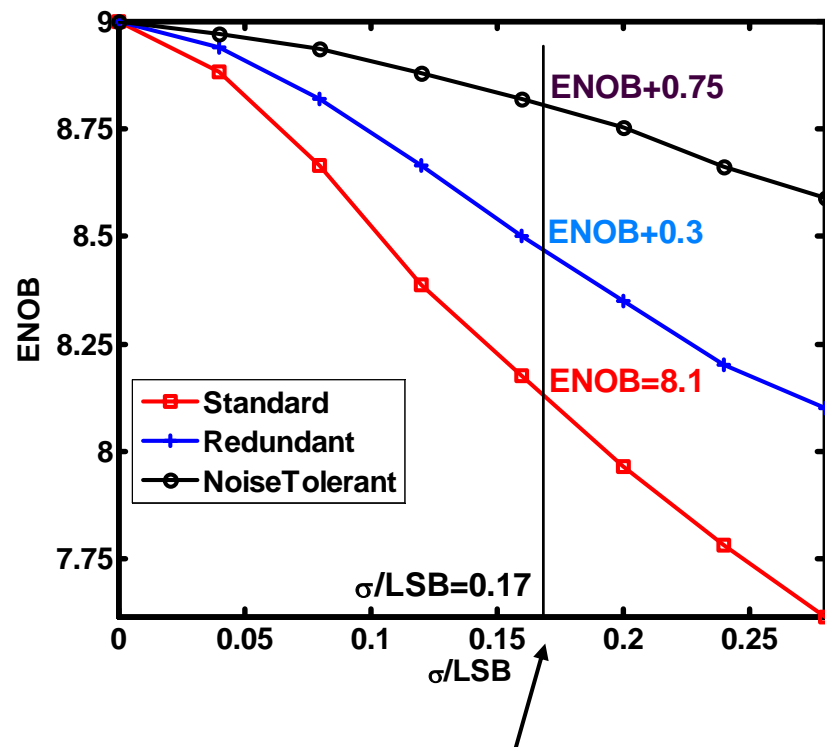
低ノイズ 低速動作



V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

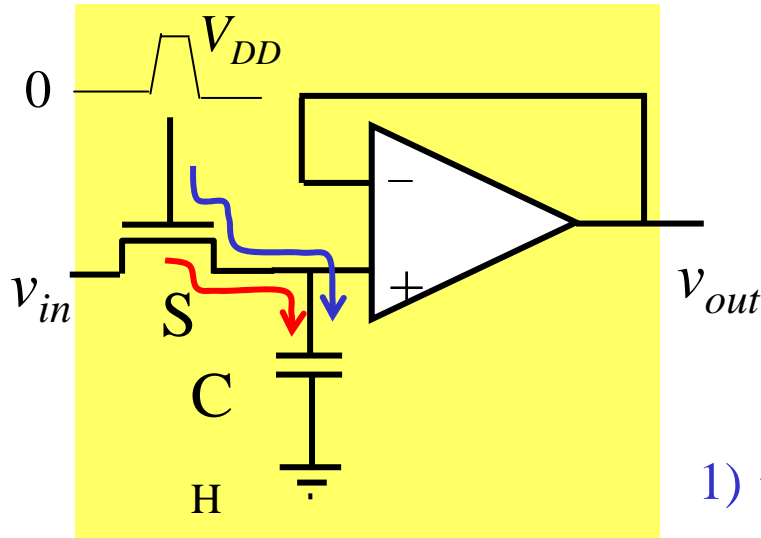
- Comparators are sized so that
 $HN \sim 1/6 \text{ LSB}$ and $LN \sim 1/12 \text{ LSB}$
- Good ENOB improvement with Noise Tolerant correction

Monte Carlo on 9b CS-SAR



サンプル・ホールド回路

サンプル&ホールド回路の問題点



- ・ON抵抗の入力電圧依存性 歪みの発生
- ・ON OFF時に入る誤差 歪みの発生
- オフセット電圧

MOSFETのオン・オフ時に入る誤差

$$\Delta V = \Delta V_{clock} + \Delta V_{inj}$$

1) クロックフィードスルーによる誤差

$$\Delta V_{clock} = -\frac{C_{ox}WL_{ov}V_{DD}}{C_H}$$

2) 電荷注入による誤差

$$\Delta V_{inj} = \frac{\Delta Q_{inj}}{C_H} = -\frac{C_{ox}WL(V_{DD} - V_{THN}(V_{in}) - V_{in})}{2C_H}$$

Pch, Nchを持つ場合は2つの
駆動パルスのタイミングを考える必要あり。

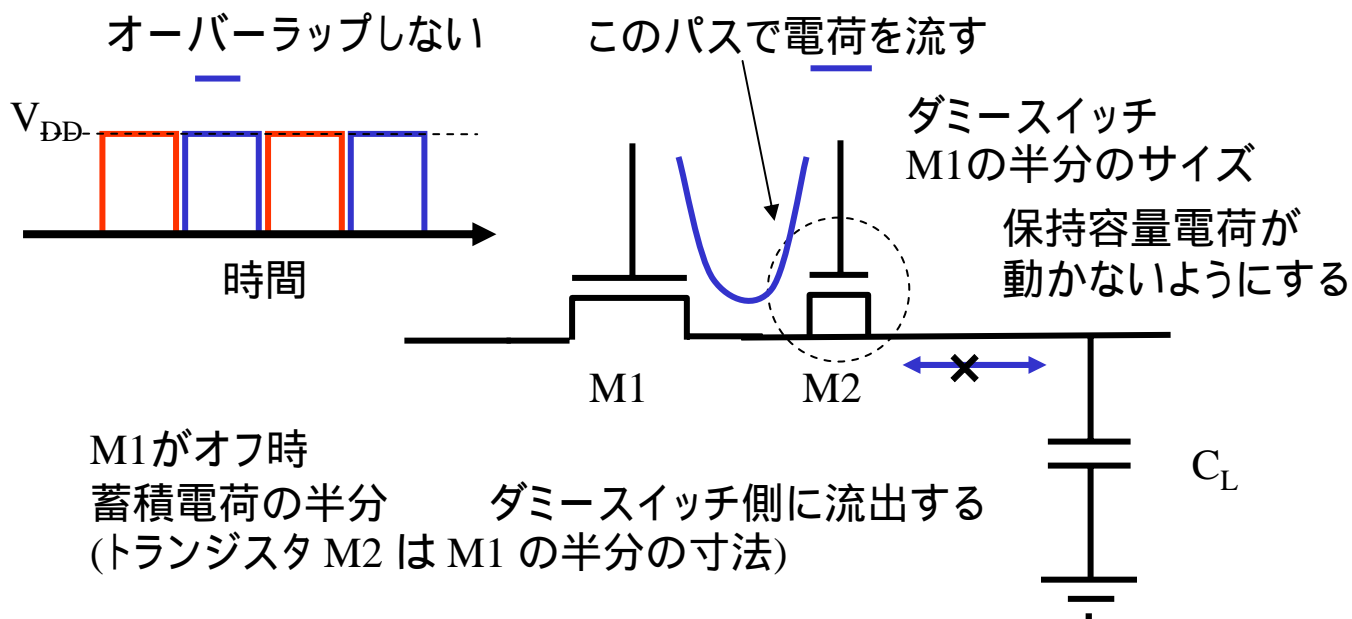
入力電圧依存性を持つ
利得誤差と歪みを生じる

V_T は入力電圧依存性を持つ

電荷注入の回避策

- ・スイッチには必ずダミースイッチを入れて、フィードスルー効果を減らす。

ただし、完全には補償できない。せいぜい1/5程度である。



M1がオフ時
蓄積電荷の半分 ダミースイッチ側に流出する
(トランジスタ M2 は M1 の半分の寸法)

二次的な問題
M1を遮断した後にM2をオンにする
同時に変化すると一部の電荷がM1を通して入力に逆流する

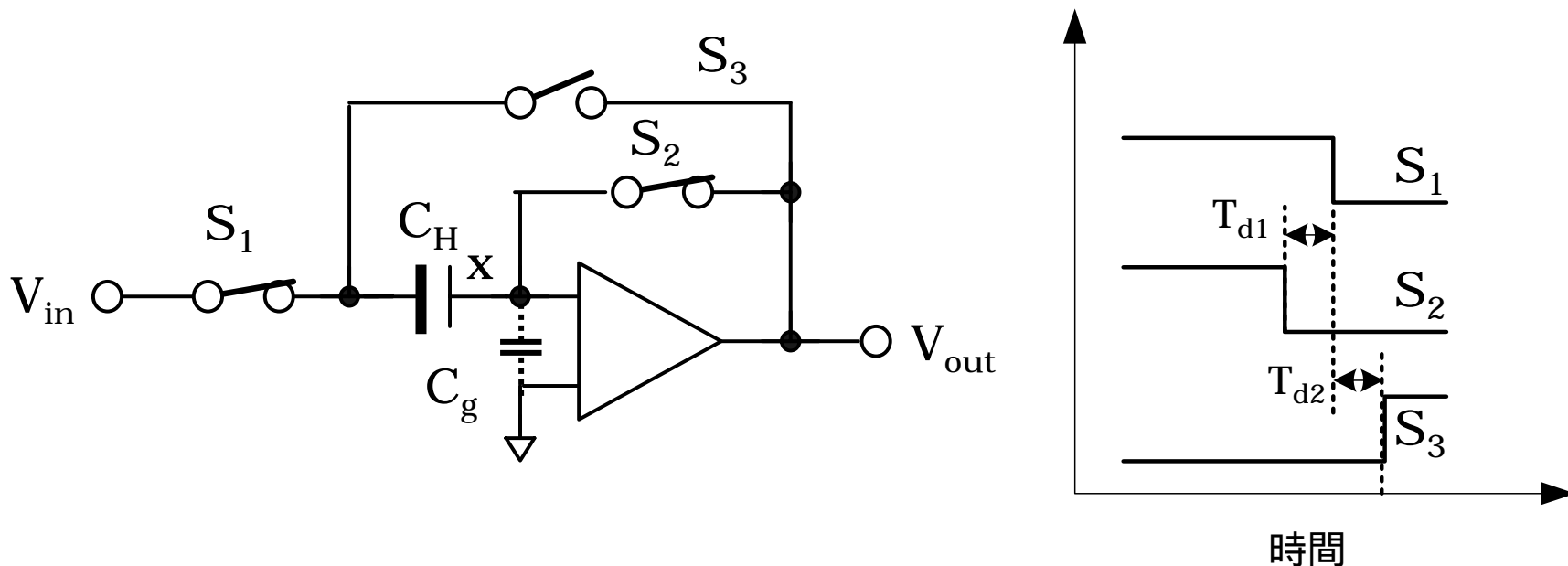
ボトムプレートサンプリング

最も高精度なサンプルホールド回路とされている。

スイッチ2を先に切り、僅かな時間をおいてスイッチ1を切る

S_1 は信号レベルに依存した電荷を注入するが、OPアンプの入力寄生容量 C_g に貯まった注入電荷を C_H が回収するので精度への影響は少ない。

S_2 により注入された電荷は差動構成とすることでキャンセルする。



ボトムプレートサンプリングの解析

$$V_x = \frac{\Delta Q_2}{C_H + C_G}$$

$$Q_H = V_{in} C_H$$

$$\Delta Q_{2H} = -\frac{\Delta Q_2 \cdot C_H}{C_H + C_G}$$

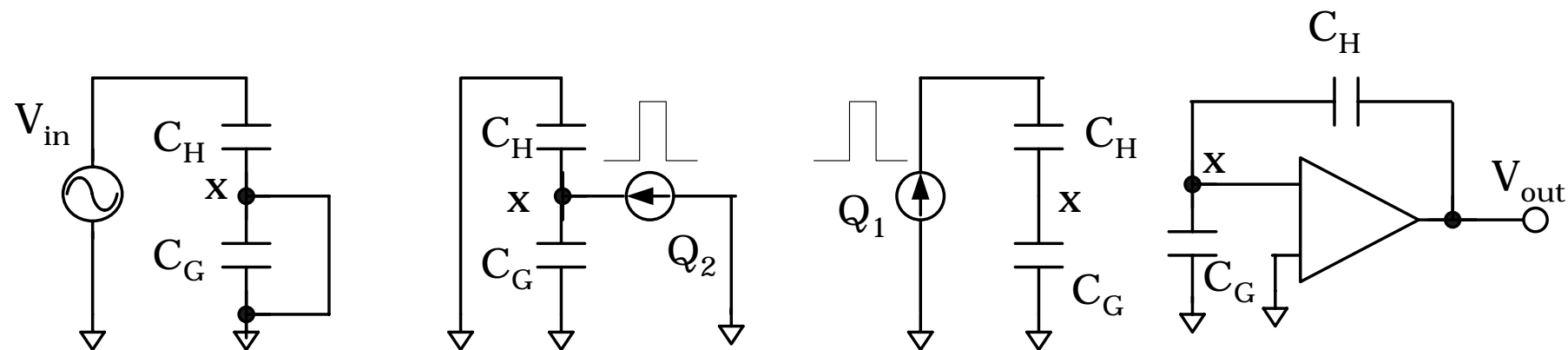
$$\Delta Q_{2G} = \frac{\Delta Q_2 \cdot C_G}{C_H + C_G}$$

$$Q_{H0-} = V_{in} C_H + \Delta Q_1 - \Delta Q_2 \frac{C_H}{C_H + C_G}$$

$$Q_{G0-} = +\Delta Q_1 + \Delta Q_2 \frac{C_G}{C_H + C_G}$$

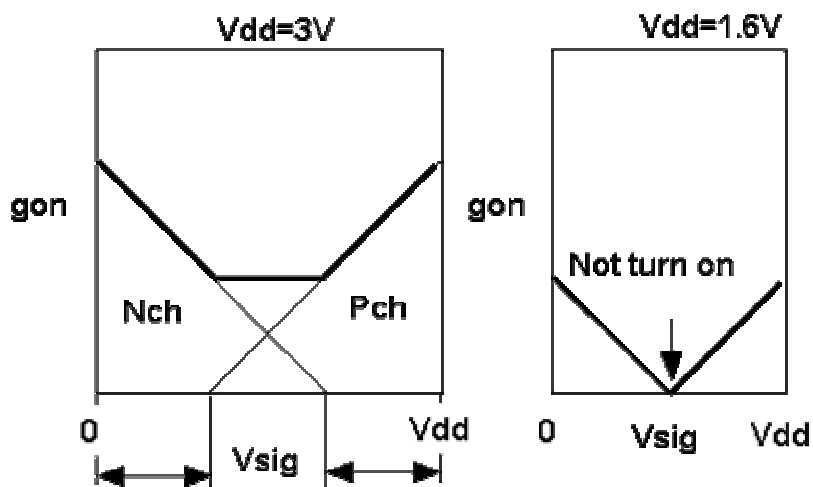
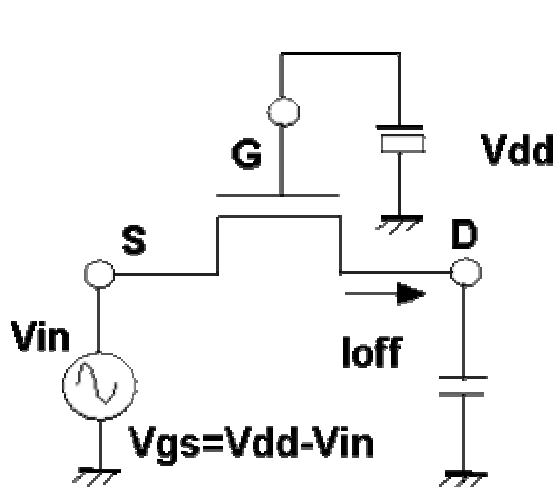
$$Q_{H0+} = V_{in} C_H - \Delta Q_2$$

Q_1 の影響をキャンセル



MOSスイッチの課題：低電圧動作

電源電圧が下がると、スイッチがONしない入力電圧範囲が発生する。
 対策： V_T を下げれば良いが、リーク電流の増加に注意



$$I_{off} = I_0 10^{-\left(\frac{V_T}{S}\right)}$$

s. 60mV

Off leak current

$$V_{Tn} \approx 0.25(V_{dd} - V_{sig}) \quad V_{Tp} \approx 0.25V_{sig}$$

$$G_{on} = g_{dsn} + g_{dsp}$$

$$g_{dsn} = \beta_{n,s} (V_{gsn} - V_{Tn,s})$$

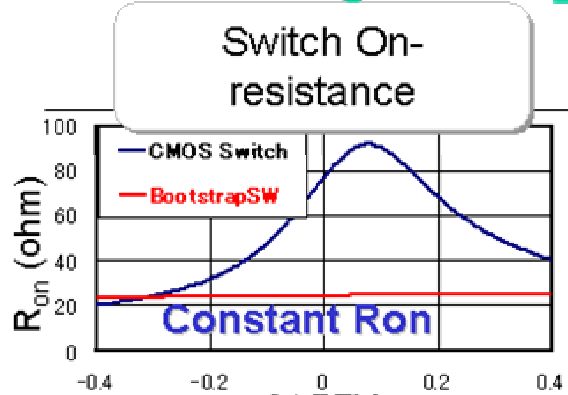
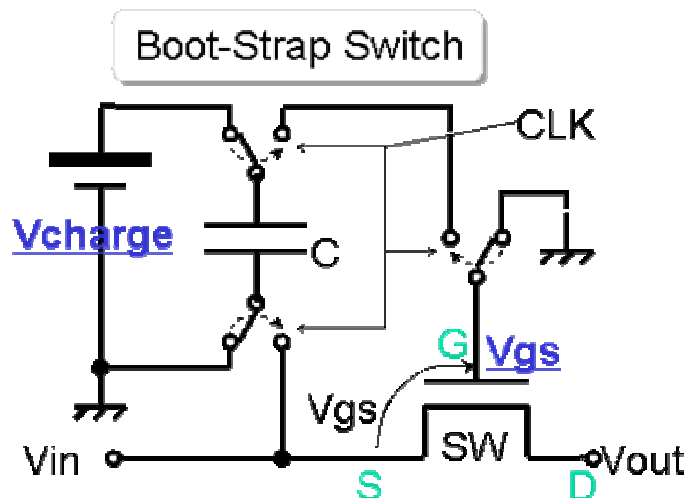
$$V_{Tn} \approx V_{T0} - 0.25 V_{sb}$$

$$V_{dd} \geq \frac{2V_T}{0.75} \approx 1.6V$$

On conductance

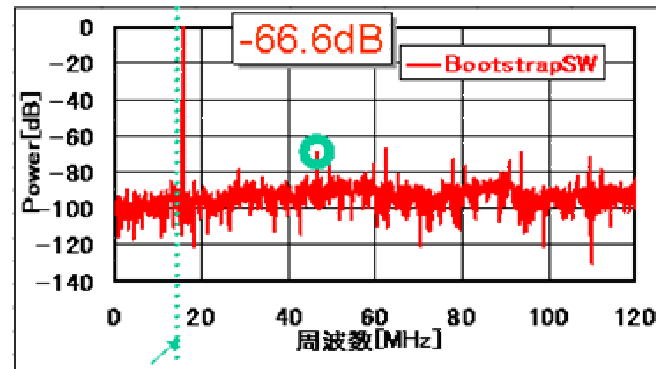
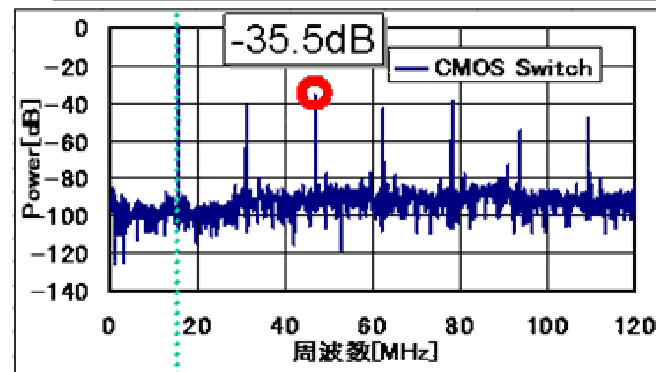
ブートストラップスイッチ

ブートストラップによりスイッチのオン抵抗を下げて、信号依存性を無くし、歪みを押さえることができる。



Input voltage (V)

Switch and freq. characteristics.



Vin: 15.6M

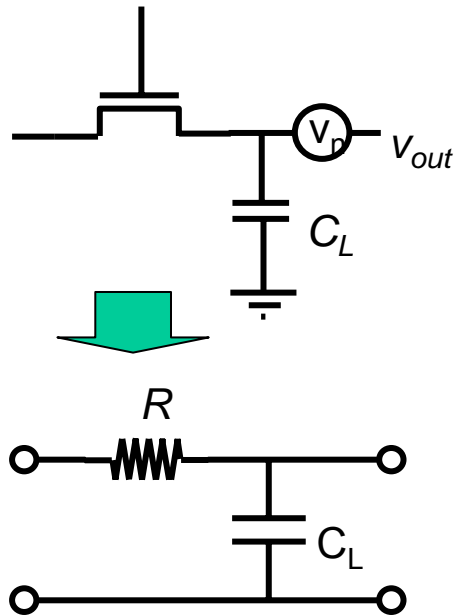
Small distortion

kT/C noise

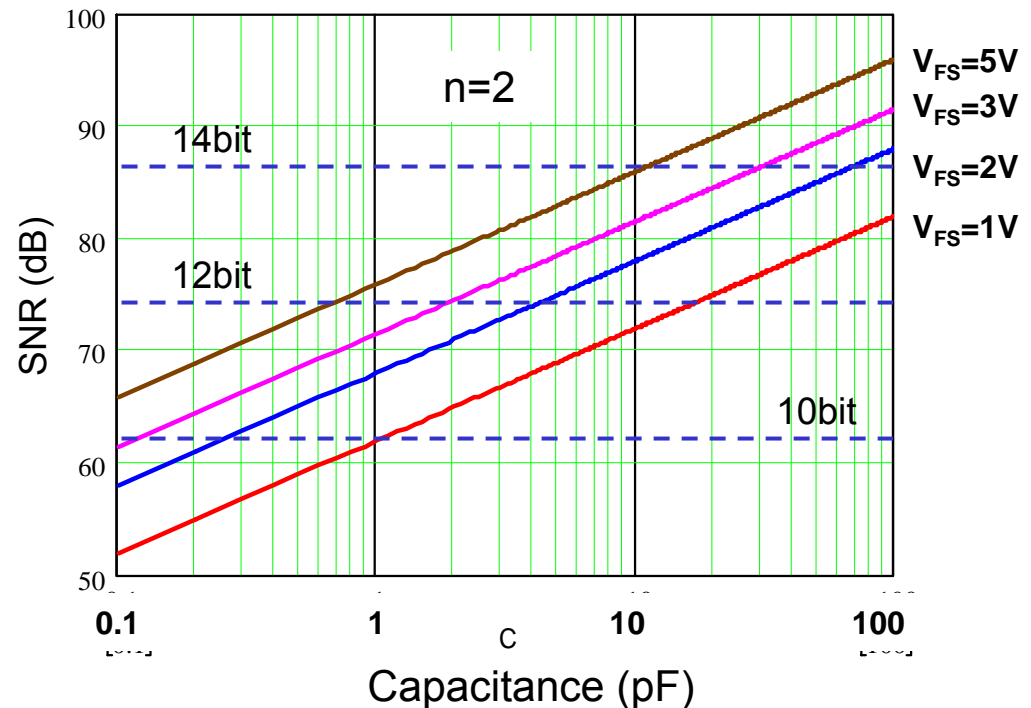
ノイズを小さくするには大きな容量が必要。
SNRを高くするには大きな信号振幅と大きな容量が必要。

$$v_n^2 = \frac{nkT}{C} \quad n: \text{configuration coefficient}$$

$$SNR(\text{dB}) = 10 \log \left(\frac{CV_{FS}^2}{8nkT} \right)$$



$$\langle v_n^2 \rangle = 4kTR \int \frac{1}{1 + (\omega CR)^2} \frac{d\omega}{2\pi} = \frac{kT}{C}$$



FoMの理論値

パイプライン型ADCとSA ADCの理論FoMを算出した。
現状は理論値にかなり近づいている。

パイプライン型ADC

Resolution	10	12	14
C_o (pF)	0.37	6.0	95
I_{dd} (mA)	1.75	33.6	628
P_d (mW)	1.75	33.6	628
FoM(fJ)	24	116	542

FoM=63fJ/Conv. step

M. Boulemnakher, E. Andre, J. Roux, F. Paillardet, "A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a 65nm CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.250-251, Feb. 2008.

SA型ADC

Resolution	10	12	14
C_L (fF)	42	670	11000
P_d (mW)	0.1	1.9	34
FoM(fJ)	1.4	6.5	30

FoM=4.4fJ/Conv. step

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

ADCの技術動向

SA ADCが主流になりつつあるが、増幅器を用いない限界もあるのではないか。

Architecture	Flash	Two-step parallel	Pipeline	SA
Period	78---88---	88 --- 95--	95-- 1x--	06--
Technology	Bipolar/CMOS	Bi-CMOS, CMOS	CMOS	CMOS
Parallel/Serial	Parallel	Two-step, Semi-parallel	Serial (Pipeline)	Serial
Base	Comparator	Comparator	Amplifier	Comparator
Gain	No	No (Yes Interpolation)	Yes	No
Sampling	No	Yes	Yes	Yes
Accuracy	Transistor mismatch	Comparator mismatch Comparator noise Settling	Capacitor mismatch	Capacitor mismatch
			Amplifier gain	Comparator noise
			OpAmp noise	
			Settling	
Speed	Device fT	Reference+Switch Comparator+Logic	OpAmp GBW Switch	Comparator+Logic Switch
Design technique	Interpolation Averaging Folding Dynamic comparator	Redundancy Interpolation Averaging Gain boost Dynamic comparator	Redundancy (1.5b) Gain boost OpAmp sharing Calibration	Serial Capacitor Dynamic comparator Interleaving Calibration

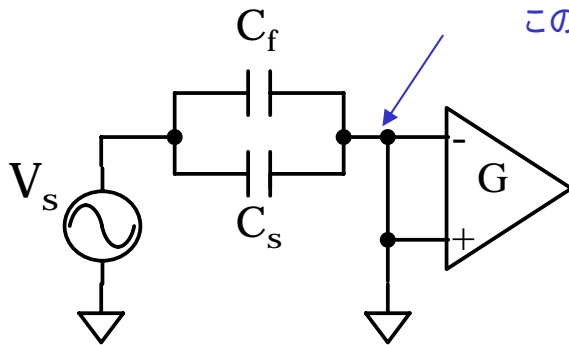
付録: 演習問題

演習: 伝達関数の計算

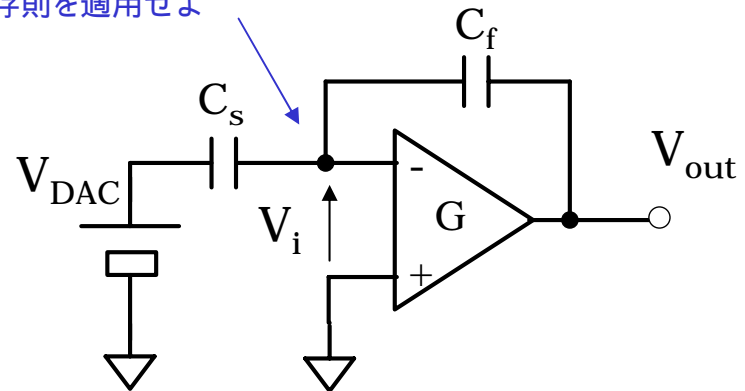
問題

電荷保存則を用いて増幅モードでの出力電圧を与える伝達関数を求めよ。
オフセット電圧は0V、スイッチのフィードスルー効果は考慮しなくても良い。

サンプルモード

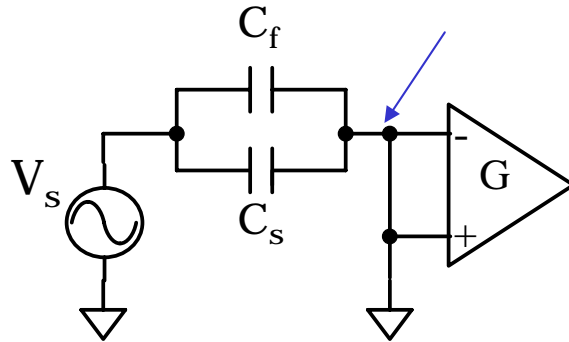


増幅モード



解答：伝達関数の計算

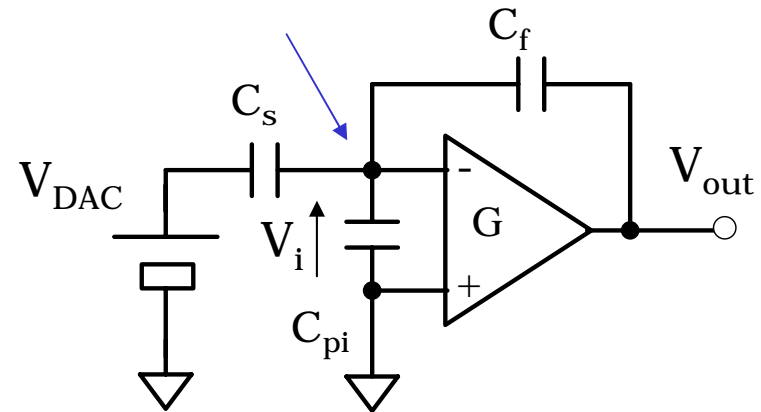
サンプルモード



注目ノードの電荷は

$$Q = -V_s(C_f + C_s)$$

増幅モード



$$Q' = -C_s(V_{DAC} - V_i) - C_f(V_{out} - V_i) + C_{pi}V_i$$

$$Q = Q'$$

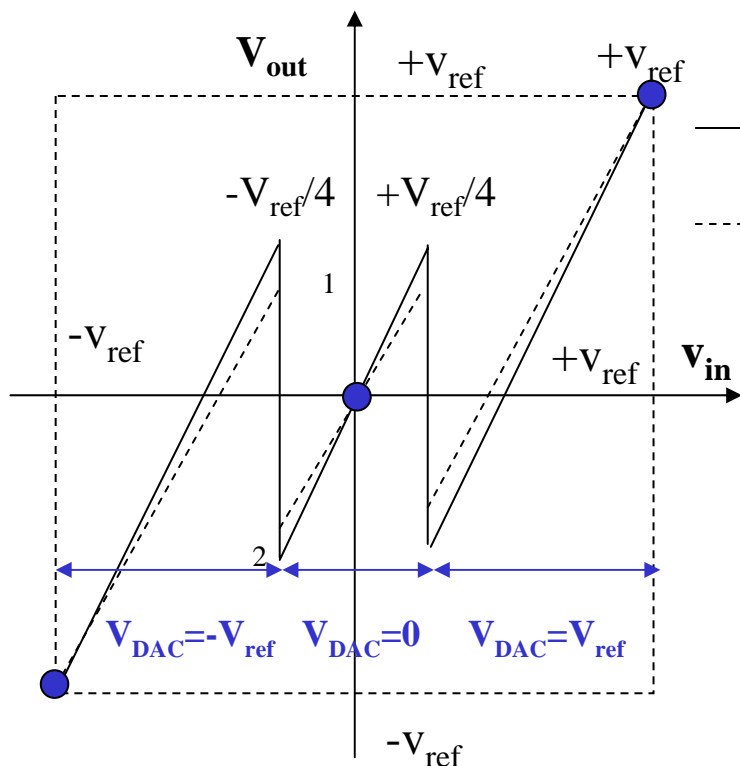
$$V_{out} = -GV_i$$

$$V_{out} = \frac{V_s \left(1 + \frac{C_s}{C_f} \right) - \frac{C_s}{C_f} V_{DAC}}{1 + \frac{C_s + C_{pi}}{C_f} \frac{1}{G}}$$

演習：容量ミスマッチの計算

問題

比較器切り替え点での誤差、 δ_1 、 δ_2 を計算して容量ミスマッチの許容値を求めよ
 青丸のポイントは容量ミスマッチに不感点であることを証明せよ。



ミスマッチによる変換誤差を1/4 LSBとする

利得は無限大とせよ

- 1: $V_{DAC} = V_{ref}$ において $V_S = -V_{ref}/4$ のときの誤差
- 2: $V_{DAC} = 0V$ において $V_S = -V_{ref}/4$ のときの誤差

$$\frac{|\delta_1| + |\delta_2|}{2} < \frac{LSB}{4} = \frac{2V_{ref}}{2^N \cdot 4}$$

解答：容量ミスマッチの計算

$$V_{out} = \frac{V_s \left(1 + \frac{C_s}{C_f}\right) - \frac{C_s}{C_f} V_{DAC}}{1 + \frac{\left(1 + \frac{C_s}{C_f} + \frac{C_{pi}}{C_f}\right)}{G}} \approx V_s(2 + \Delta_c) - (1 + \Delta_c)V_{DAC} \quad C_s = (1 + \Delta_c)C_f$$

$$\delta = \Delta_c (V_s - V_{DAC})$$

$$\frac{|\delta_1| + |\delta_2|}{2} < \frac{LSB}{4} = \frac{2V_{ref}}{2^N \cdot 4}$$

$$\delta_1 = \Delta_c \left(-\frac{V_{ref}}{4} + V_{ref} \right) = \frac{3}{4} \Delta_c V_{ref}$$

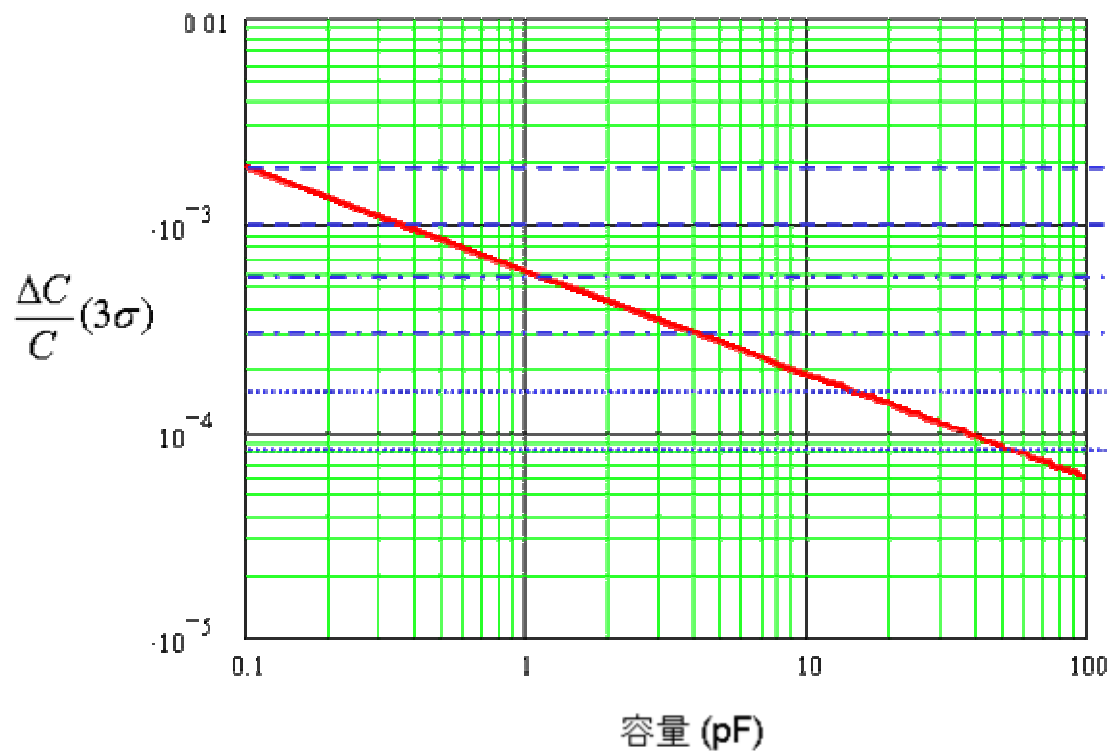
$$\delta_2 = \Delta_c \left(-\frac{V_{ref}}{4} \right) = -\frac{1}{4} \Delta_c V_{ref}$$

$$\Delta_c < \frac{1}{2^N}$$

容量ミスマッチと変換誤差

問題

以下のグラフから10bit分解能で1/4LSB相当の誤差を与える容量を算出せよ。



演習：利得の計算

問題

以下の式を用いて誤差が1/8LSB以下になる10bit ADCの増幅器の利得を求めよ。
ただし、容量ミスマッチがゼロ、 $C_{pi}=C_f$ であるとする。
また、変換特性が利得に依らず一定値を取る電圧条件を求めよ。

$$V_{out} = \frac{V_s \left(1 + \frac{C_s}{C_f} \right) - \frac{C_s}{C_f} V_{DAC}}{1 + \frac{\left(1 + \frac{C_s}{C_f} + \frac{C_{pi}}{C_f} \right)}{G}}$$

解答：利得の計算

$$V_{out} = \frac{2V_s - V_{DAC}}{1 + \frac{3}{G}} \approx (2V_s - V_{DAC}) \left(1 - \frac{3}{G}\right) \quad \frac{C_{pi}}{C_f} = 1 \text{と仮定する}$$

$$\therefore \delta V_{out} \approx \frac{3(2V_s - V_{DAC})}{G} \quad \frac{|\delta_1| + |\delta_2|}{2} < \frac{LSB}{8} = \frac{2V_{ref}}{2^N \cdot 8}$$

$$\delta_1 \approx \frac{3 \left(-2 \cdot \frac{V_{ref}}{4} + V_{ref} \right)}{G} = -\frac{3}{2} \frac{V_{ref}}{G}$$

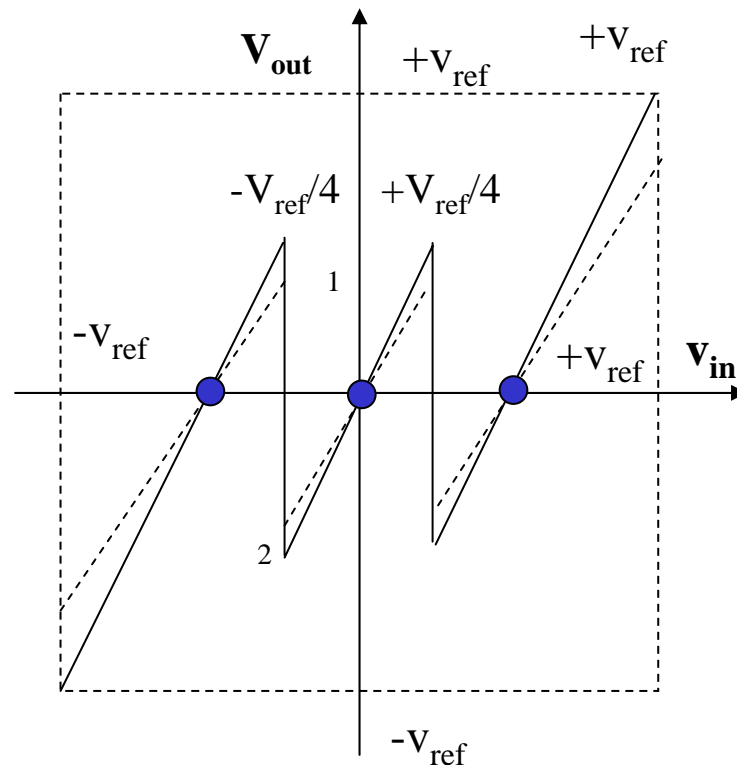
$$\delta_2 \approx \frac{3 \left(-2 \cdot \frac{V_{ref}}{4} \right)}{G} = -\frac{3}{2} \frac{V_{ref}}{G}$$

$$\frac{|\delta_1| + |\delta_2|}{2} = \frac{3}{2} \frac{V_{ref}}{G} < \frac{2V_{ref}}{2^N \cdot 8}$$

$$\therefore G > 6 \times 2^N$$

N=10を代入して 76dB

有限利得による誤差



演習：必要な閉ループ帯域の算出

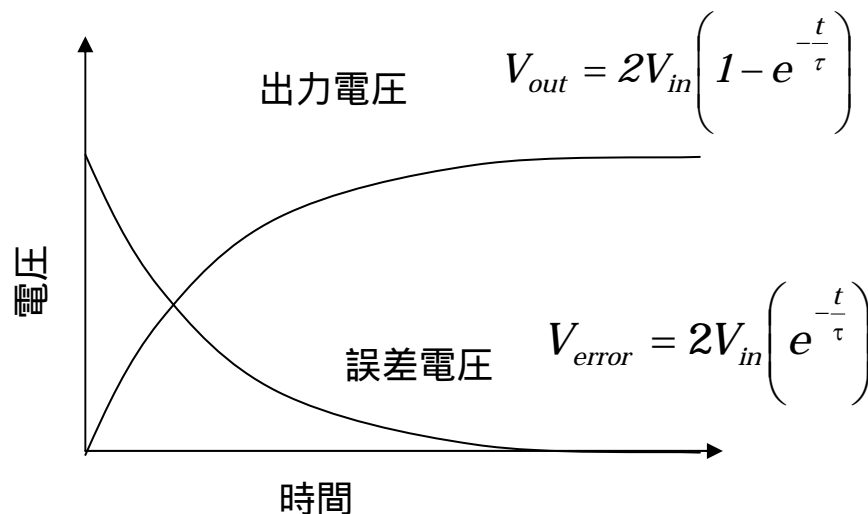
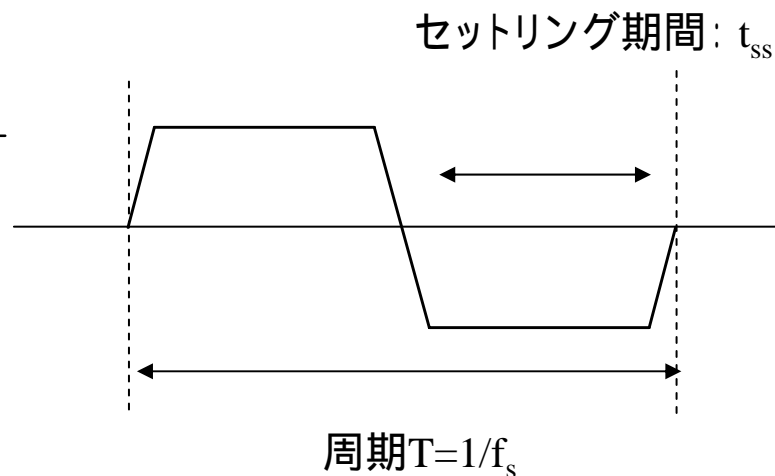
問題

利得誤差の計算を参考にして必要な閉ループ帯域 f_{close} を算出せよ。
 変換周波数 $f_s=50\text{MHz}$ 、セットリング期間は変換周期の1/3、
 分解能は10bit、誤差は1/8LSB以下。
 設計マージンを取って、設計上の変換周波数を100MHzとせよ。

$$\ln 2^N \approx 0.7N$$

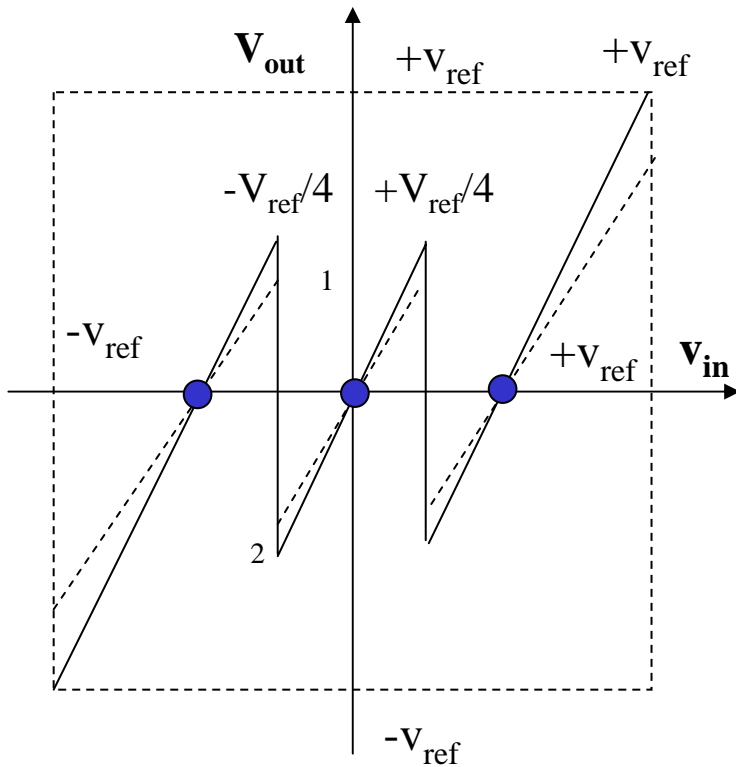
$$\tau = \frac{1}{\omega_{close}} \quad t_{ss} = \frac{T}{2.3} = \frac{1}{3f_s}$$

$$f_{close} = \frac{\omega_{close}}{2\pi}$$



セットリング誤差を1/8LSB以下とする

解答：必要な閉ループ帯域の算出



$$\delta_1 = \delta_2 = 2 \frac{V_{ref}}{4} e^{-\frac{t_{ss}}{\tau}}$$

$$\frac{|\delta_1| + |\delta_2|}{2} = \frac{V_{ref}}{2} e^{-\frac{t_{ss}}{\tau}} < \frac{2V_{ref}}{2^N \cdot 8}$$

$$\therefore \tau < \frac{t_{ss}}{0.7(N+1)}$$

$$\tau = \frac{1}{2\pi f_{close}} < \frac{1}{3f_s \cdot 0.7 \cdot (N+1)}$$

$$\therefore 2\pi f_{close} > 3f_s \cdot 0.7 \cdot (N+1)$$

$$f_{close} > \frac{3f_s \cdot 0.7 \cdot (N+1)}{2\pi} \approx \frac{f_s(N+1)}{3}$$

$$f_{close} > \frac{100 \times 11}{3} (MHz) = 370(MHz)$$