

# アナログ・RF・CMOS集積回路設計における ULSIデバイスプロセス技術への期待

東京工業大学

大学院理工学研究科

松澤 昭

# 内容

---

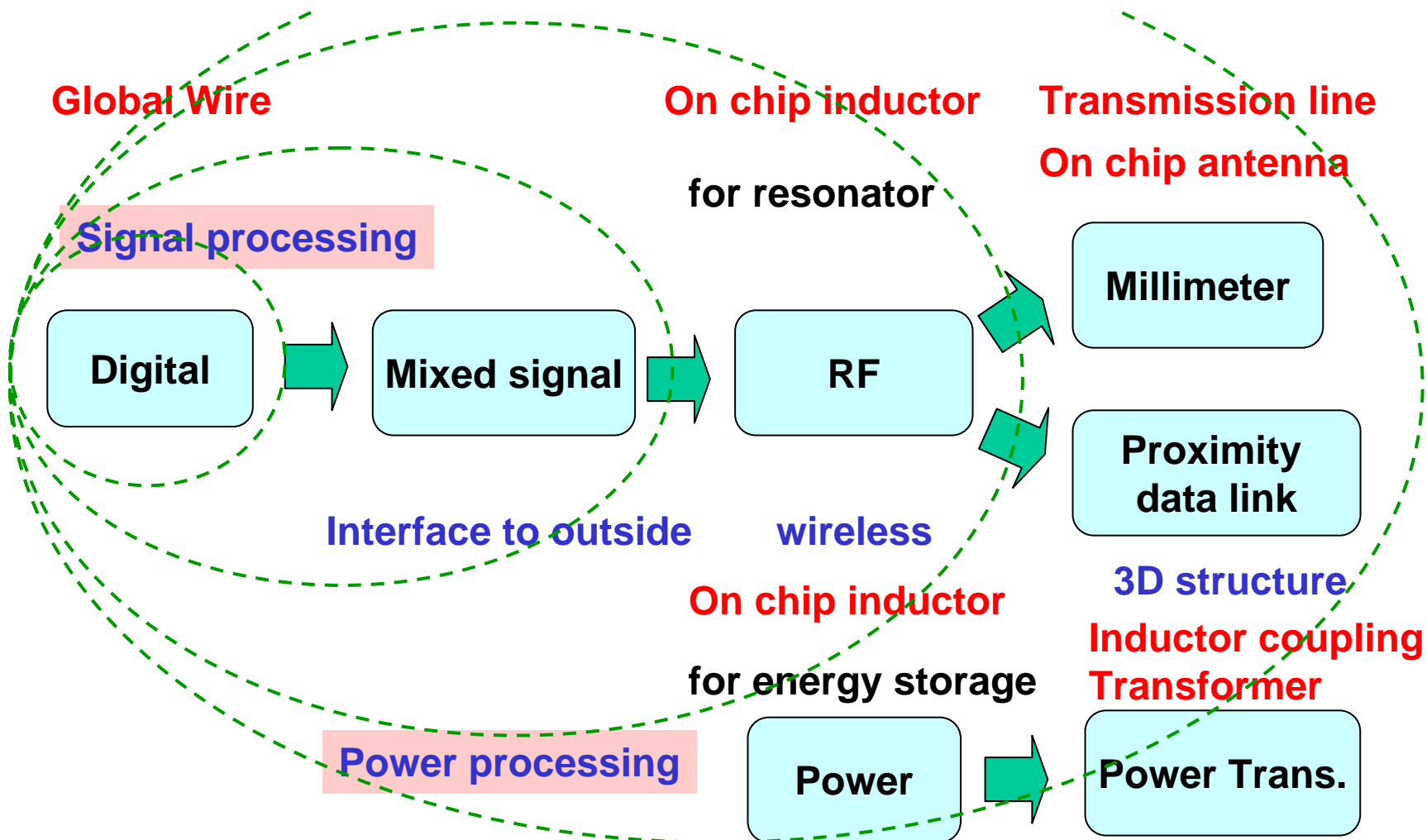
- **微細化とアナログ性能**  
パイプライン型ADCを例として
- **デバイスミスマッチとその補償回路技術**
- **RF・アナログ回路とデバイス技術**  
インダクタなどの受動素子を中心として

研究室ホームページ  
<http://www.ssc.pe.titech.ac.jp>

に関連資料が掲載されています。

# アナログ・RF・CMOSの方向性

外部信号の処理、外部との通信、エネルギーの伝送などのためにアナログ・RF・CMOS技術が不可欠である。

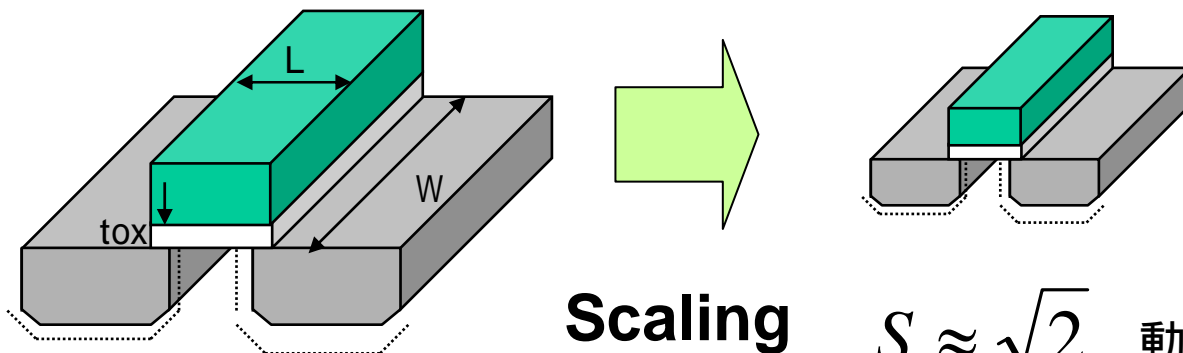


# 微細化とアナログ性能

## パイプライン型ADCを例として

# デジタル回路におけるスケーリング則

デジタル回路においてはデバイスの各パラメータを一定比率で縮小することにより回路の速度が向上し、低電力・低コストが達成される。



Scaling

$S \approx \sqrt{2}$  動作電圧も1/Sにする

デバイスと回路のパラメータ	Scaling Factor
寸法: L, W, Tox	1/S
不純物濃度	S
電圧	1/S
電界	1
電流	1/S
回路遅延時間	1/S
消費電力(デバイス1つあたり)	1/S <sup>2</sup>

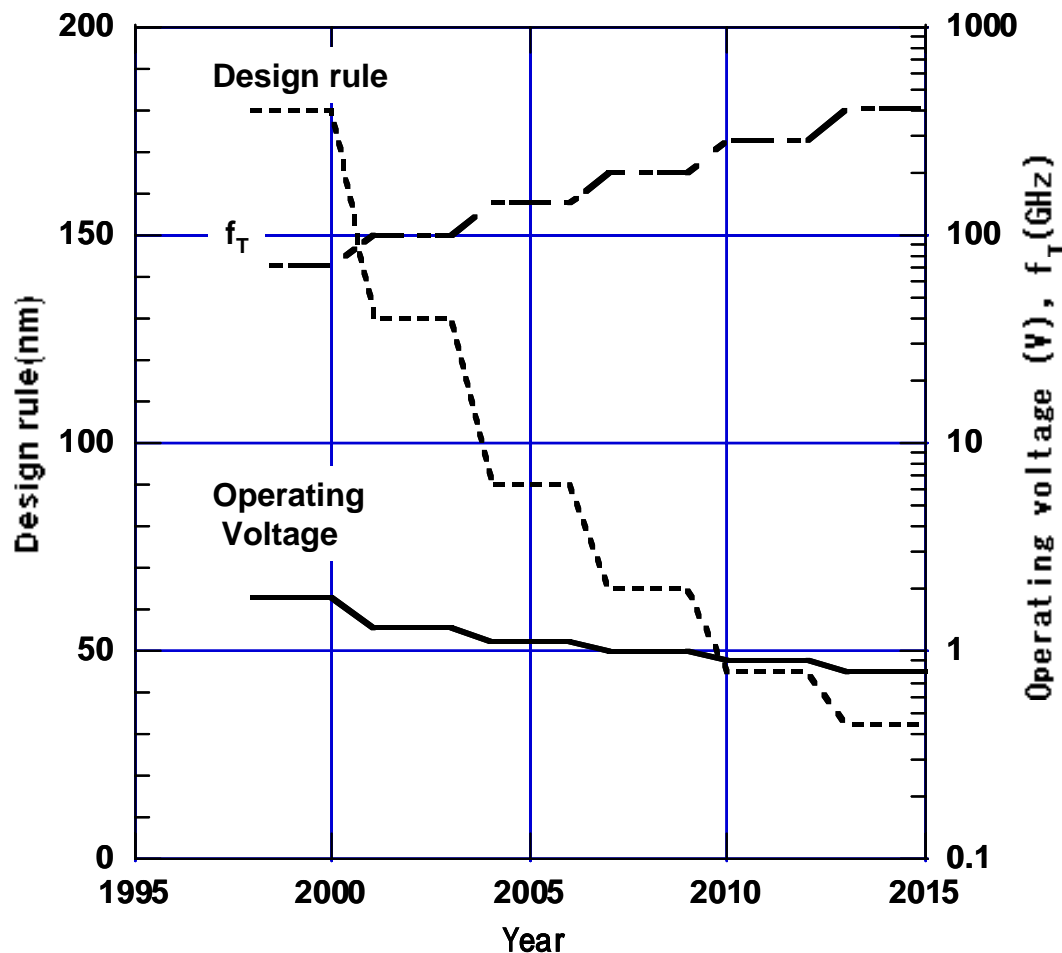
微細化・低電圧化により、

- ・高密度化(低コスト)
- ・高速化
- ・低消費電力

が同時に達成される

# 微細化と $f_T$ 、動作電圧の予測

微細化によりCMOSの $f_T$ は200GHzを超え、60GHzのミリ波応用まで可能にしている  
電源電圧は1V近辺であり、大幅には下がらない

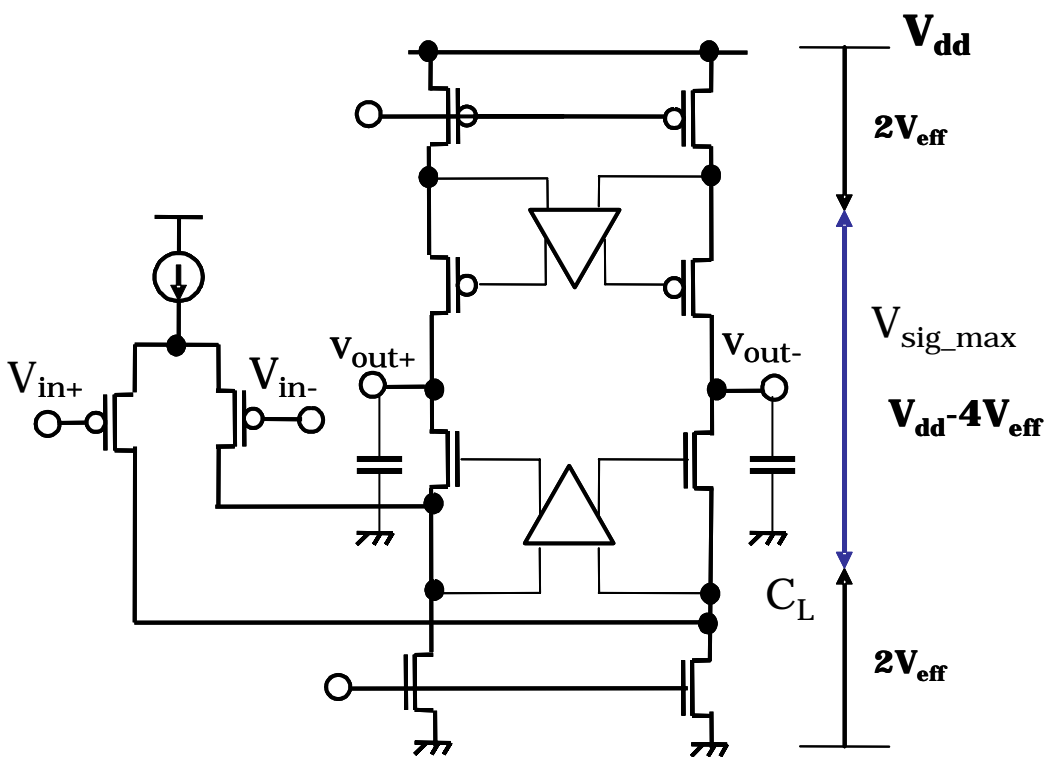


$$f_T \approx \frac{V_s}{2\pi L}$$

$v_s$ : キャリアの飽和速度  
L: チャンネル長

# アナログ回路の特性

容量負荷のOPアンプを標準的なアナログ回路として特性を記述し、  
スケーリングの効果を検討する



利得:  $G = (g_m r_{ds})^n$  n: 増幅段数

周波数特性:  $GBW = \frac{g_m}{2\pi C_L}$

SNR:  $SNR \propto C_L V_{sig}^2$

消費電力:  $P_d \propto V_{dd} I_{ds}$

# 微細化と利得

利得は微細化により急速に減少する

1) トランスコンダクタンス:  $g_m$

$V_{eff} = V_{gs} - V_T$ : アナログ回路では一定にする  
通常 0.2V ~ 0.15V程度

$$g_m \cong \frac{2I_{ds}}{V_{eff}}$$

$g_m$ は電流により決定され、不変である。

2) ドレイン抵抗:  $r_{ds}$

デザインルールをパラメータとするときの  $V_{ds}$  に対する  $V_A$

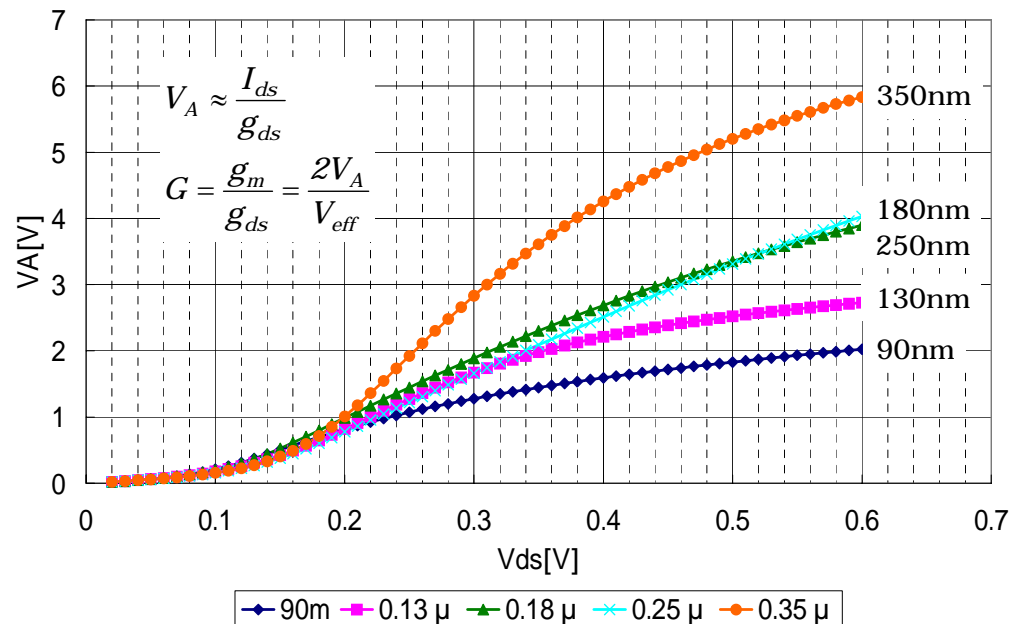
$$r_{ds} = \frac{V_A}{I_{ds}}, \quad V_A \propto L$$

また低電圧にすることで低下する

$$r_{ds} \propto \frac{1}{S} \quad S: \text{スケールングファクター} \\ \text{通常 } 1.4$$

3) 利得  $G = (g_m r_{ds})^n$

$$G \propto \frac{1}{S^n}$$





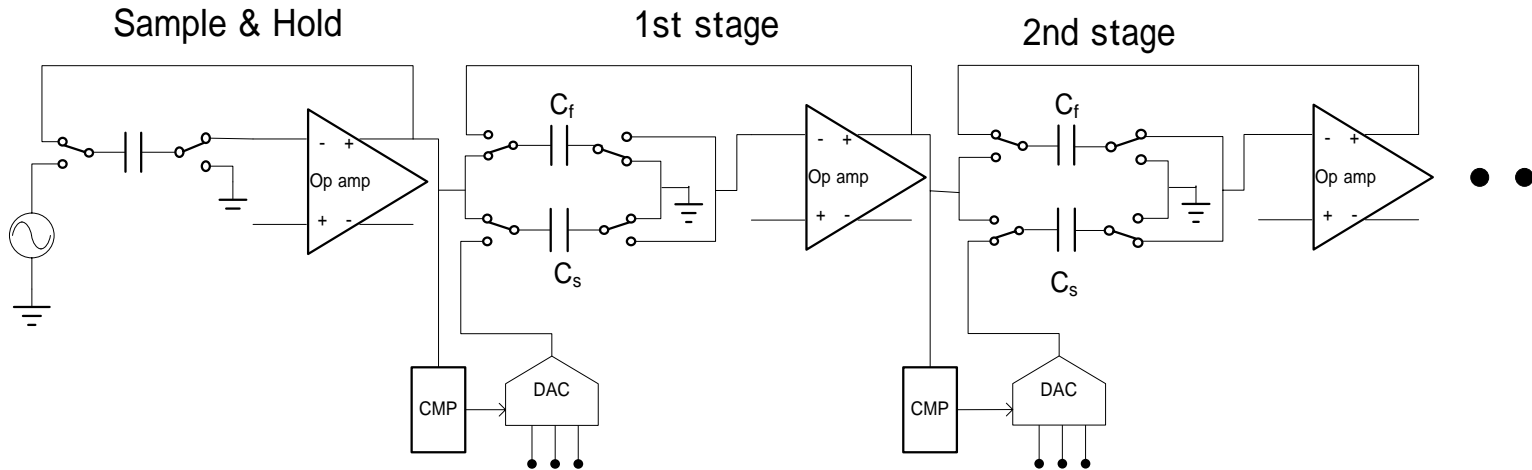
# パイプライン型ADC

現在の高速ADCの主力の変換方式はパイプライン型ADCであるが、高いOPアンプ利得を必要とする。

必要な利得(dB)は $>6N+10$ である。

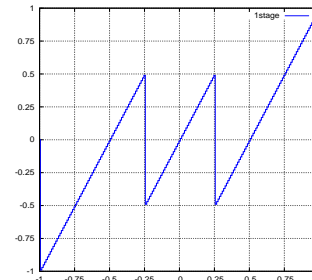
**12 bit:  $>82$  dB**

**14 bit,  $>94$ dB**

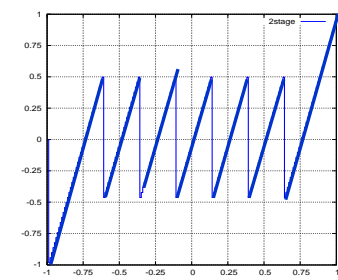


パイプライン型ADC

1st out



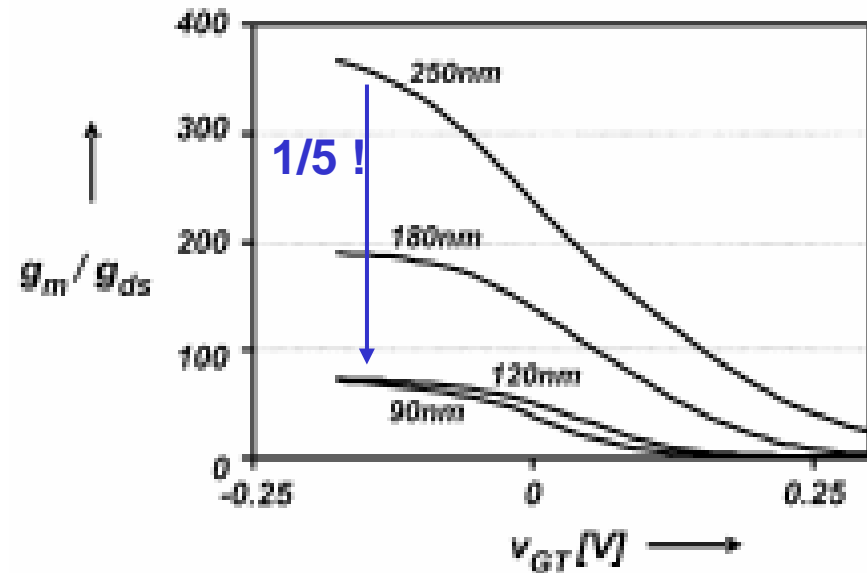
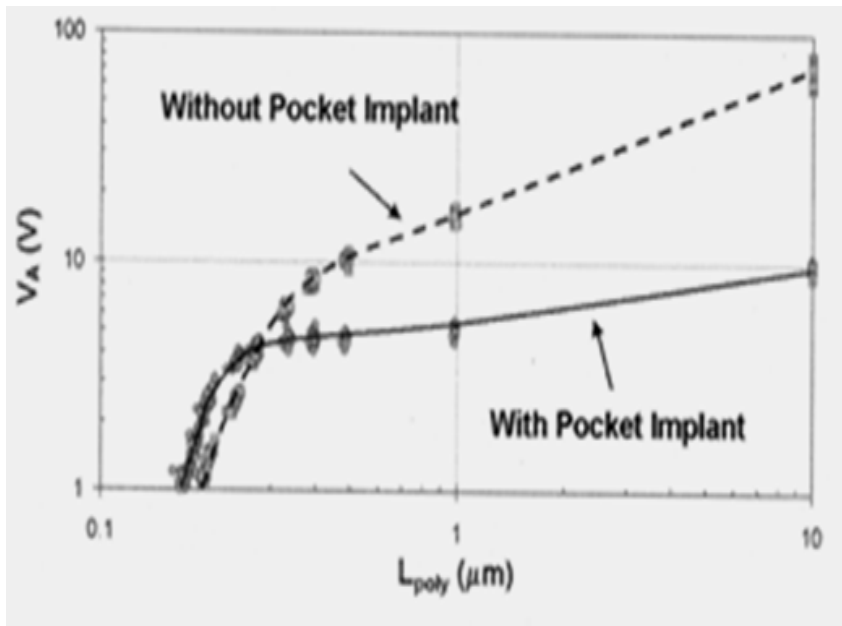
2nd out



# 微細デバイスとドレイン抵抗

微細デバイスではポケット注入を用いていることにより、チャンネル長を伸ばしても $V_A$ つまりはドレイン抵抗はあまり上がらない。つまり、微細プロセスではDC利得が極めて上げにくいことを意味する。

$$r_{ds} = \frac{1}{g_{ds}} \approx \frac{V_A}{I_{ds}} \quad \text{Gain} = g_m r_{ds} = \frac{g_m}{g_{ds}} \approx \frac{2V_A}{V_{eff}}$$

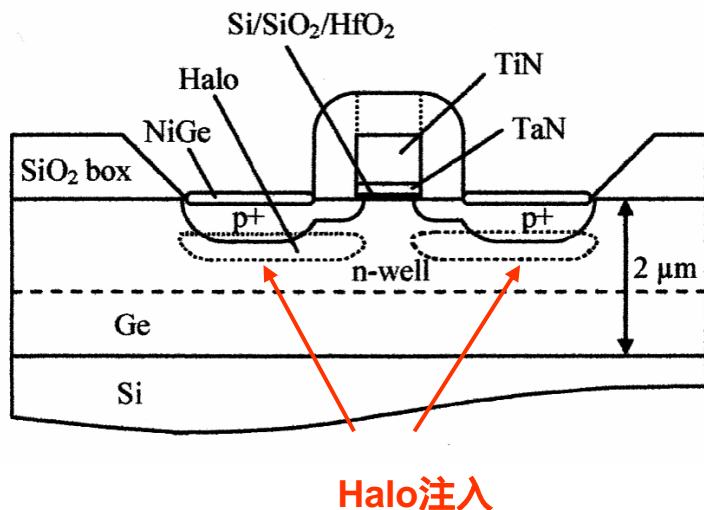


D, Buss, et al., IEEE, Tran on ED,  
Vol. 50, pp.546-556, 2003

A.J. Annema, JSC 2005, pp132-143

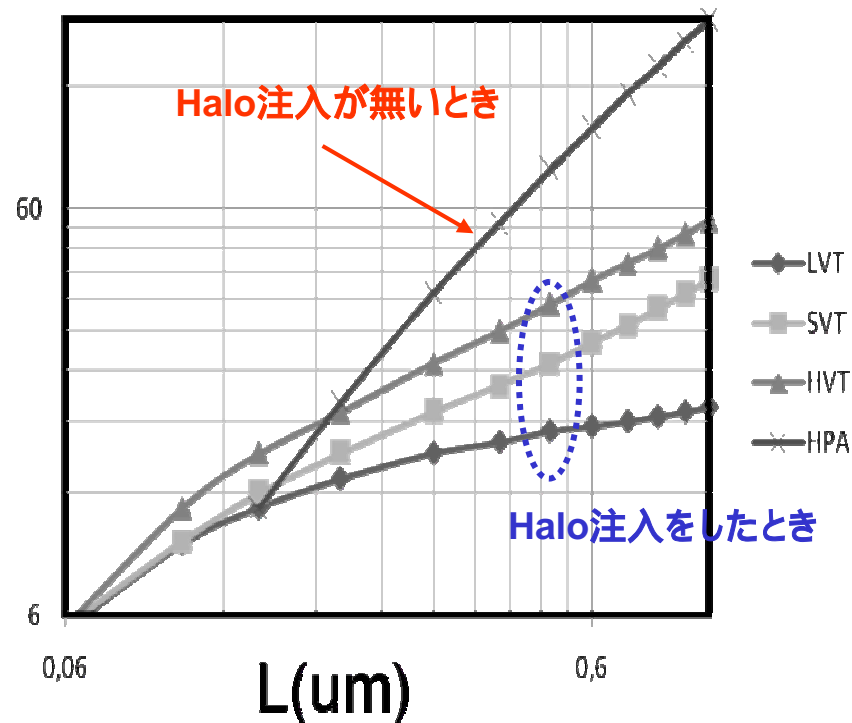
# ドレイン抵抗の改善

ショートチャネル効果の対策のために用いられるハロー注入はドレイン抵抗を下げ、増幅器の利得を低下させる。そこで、アナログ回路に用いるトランジスタのみハロー注入を行わない方法を取った



M. Boulemnakher, E. Andre, J. Roux, F. Paillardet, "A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a 65nm CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.250-251, Feb. 2008.

## DC-gain versus length (L)



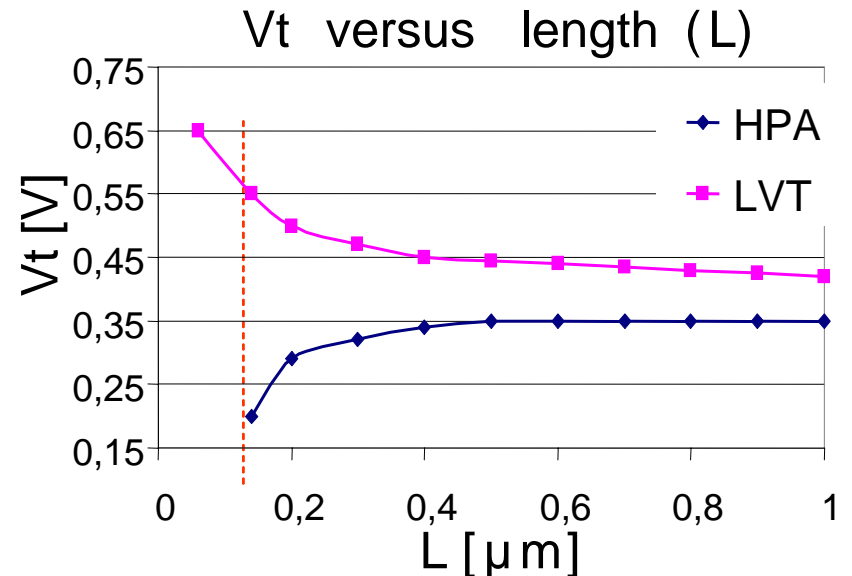
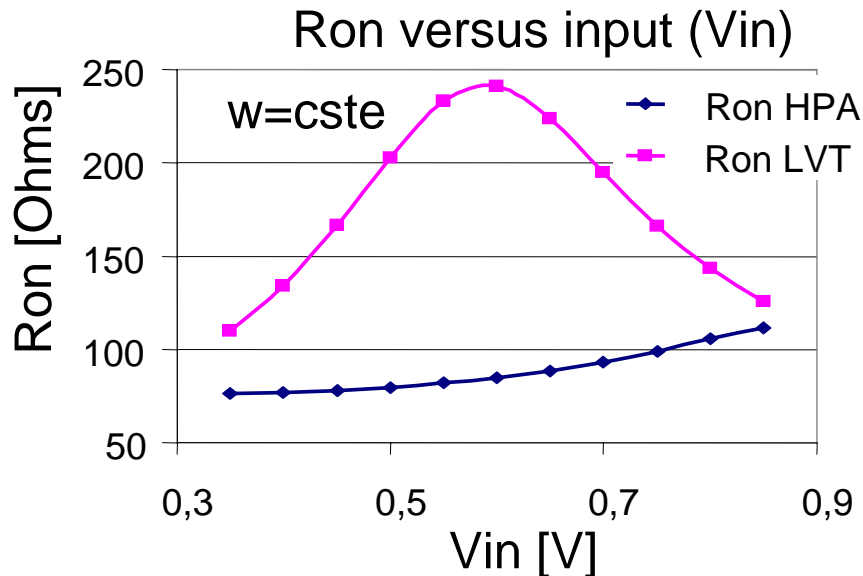
# アナログ特性の改善

低電圧動作ではスイッチのオン抵抗が高くなり、スイッチング速度が低下する  
また、オン抵抗の電圧依存性が強まり、歪みが増加する。

この技術はスイッチのオン抵抗を下げることに有効である。

M. Boulemnaker, E. Andre, J. Roux, F. Paillardet,  
"A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a  
65nm CMOS," IEEE ISSCC 2008, Dig. of Tech.  
Papers, pp.250-251, Feb. 2008.

$L_{min} (HPA) = 0.14 \mu m$



# 性能比較

この結果、SA ADC並の62fJ/Conv. stepの低いFoMを達成した。

<b>Resolution</b>	<b>10 bit</b>
<b>Sampling speed</b>	<b>100MS/s</b>
<b>Input range</b>	<b>1.0Vppd</b>
<b>Power Consumption</b>	<b>4.5mW</b>
<b>SNDR</b>	<b>59dB</b>
<b>DNL</b>	<b>+/-0.1 LSB</b>
<b>INL</b>	<b>+/-0.2 LSB</b>
<b>Active area</b>	<b>0.07mm<sup>2</sup></b>
<b>Technology</b>	<b>ST CMOS 65nm</b>

FoM= 62fJ/conv.-step

Tech (nm)	VDD (V)	Fs (MHz)	Power (mW)	SNDR (dB)	FOM (pJ/step)	References
130	1.2	120	90	57.1	1.25	B.Hemes ISSCC-2004
90	1.2	12	3.3	52.6	0.76	R.Wang ISSCC-2005
90	1.2	100	35	56.9	0.6	G.Geelen ISSCC-2006
90	1.0	100	33	55.3	0.69	K.Honda JSSCC-2007
90	0.8	80	6.5	55	0.17	M.Yoshioka ISSCC-2007
65	1.2	100	4.5	59	0.062	This work

M. Boulemnakher, E. Andre, J. Roux, F. Paillardet,  
 "A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a  
 65nm CMOS," IEEE ISSCC 2008, Dig. of Tech.  
 Papers, pp.250-251, Feb. 2008.

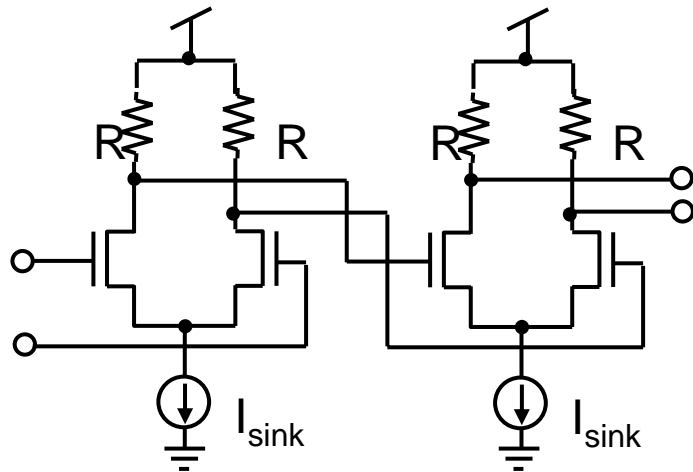
# 微細化とアナログ周波数特性

SNRを要求しなければ、微細化によりアナログ回路の周波数特性や速度は向上する。

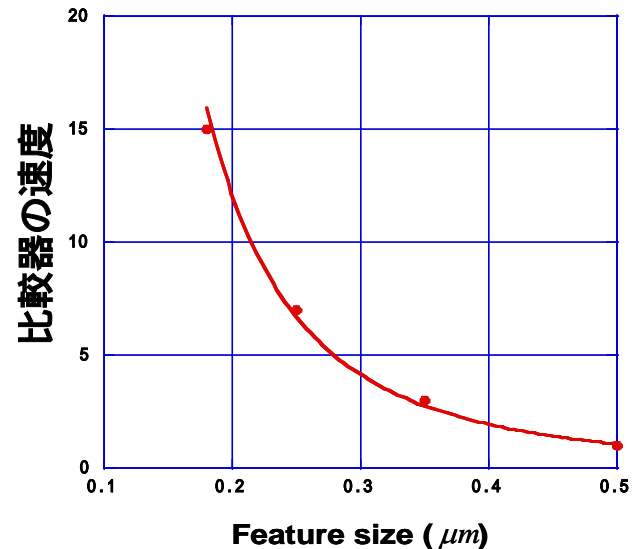
4) 寄生容量  $C_p \propto C_{ox} LW \propto S \times \frac{1}{S} \times \frac{1}{S^2} = \frac{1}{S^2}$        $\frac{W}{L} \propto \frac{1}{C_{ox}}$

5) 利得帯域幅積:  $GBW = \frac{g_m}{2\pi C_L}$       負荷容量が変わらなければ一定

$GBW = \frac{g_m}{2\pi C_p} \propto S^2$       寄生容量で決まるときは急上昇

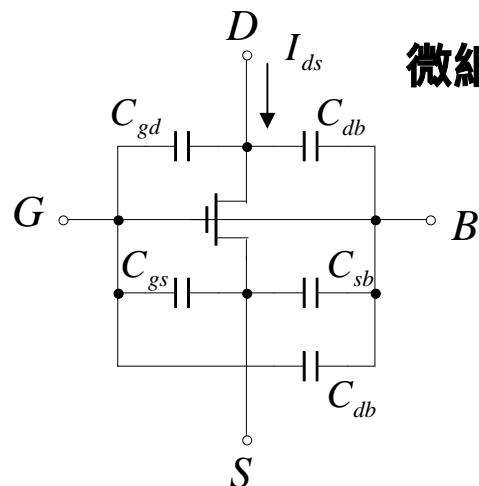


比較器回路



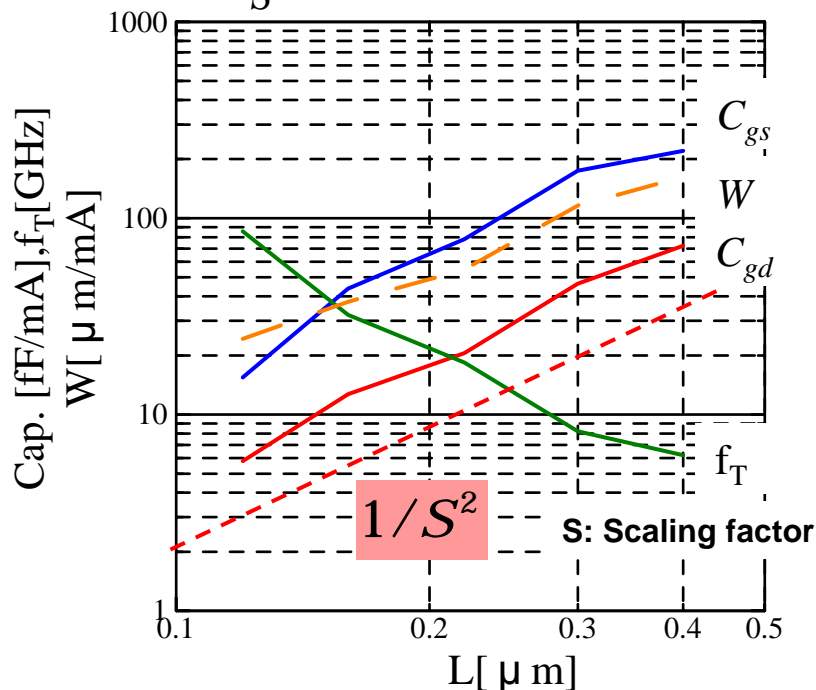
# 微細化とトランジスタの容量

微細化により同一 $V_{eff}$ ,  $I_{ds}$ におけるトランジスタの容量が減少する。



$$V_{eff} = 0.175V$$

$$W = \frac{2L}{\mu C_{ox} V_{eff}^2} I_{ds}$$



(a)  $W_N, W_P$  [ $\mu m/mA$ ],  $V_{A_N}, V_{A_P}$  [V]

DR	$W_N$	$W_P$	$V_{A_N}$	$V_{A_P}$
90nm	24.3	74.9	0.82	0.69
0.13 $\mu m$	37.5	147	0.82	0.64
0.18 $\mu m$	54.8	219	0.99	0.93
0.25 $\mu m$	116.0	396	0.78	0.97
0.35 $\mu m$	162.0	603	1.01	0.86

(b)  $C_{pi_N}, C_{pi_P}, C_{po}$  [fF/mA],  $\omega_{p2_N}, \omega_{p2_P}$  [GHz]

DR	$C_{pi_N}$	$C_{pi_P}$	$C_{po}$	$\omega_{p2_N}$	$\omega_{p2_P}$
90nm	23.7	93.4	94.5	9.35	15.4
0.13 $\mu m$	65.5	249	168	7.7	10.3
0.18 $\mu m$	115	475	340	2.06	4.7
0.25 $\mu m$	236	662	832	0.83	1.7
0.35 $\mu m$	303	1034	892	0.54	1.7

# 微細化とSNR, 消費電力

7) SNR:  $SNR \propto \frac{C_L V_{sig}^2}{kT}$

a) 一定の信号振幅が確保できれば $C_L$ は一定

$$C_L \propto \frac{V_{sig}^2}{SNR} \propto S^2$$

b) 微細化による電源電圧の減少により信号振幅を下げざるを得ない場合は $C_L$ は上昇

8) 消費電力:  $P_d \propto V_{dd} I_{ds}$

低SNRの場合 a)  $g_m$ および $C_L$ が一定とすると  $P_d \propto \frac{1}{S}$   
 $C_p$ で決まるときは  $P_d \propto \frac{1}{S^3}$

低電圧化に伴い消費電力は下がる

高SNRの場合 b) 低信号振幅により容量を上げざるを得ない場合

$$I_{ds} \propto g_m \propto GBW \cdot C_L \propto S^2 \quad P_d \propto S$$

低電圧化に伴い消費電力は上がる



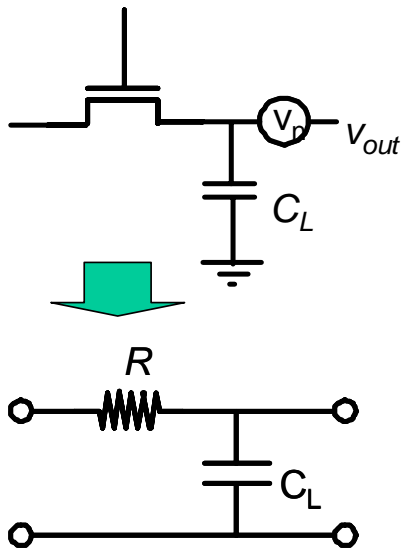
# 低電圧動作における本質的問題

低電圧動作により、どんなデバイスでもSNRは劣化する。  
 また、低電圧動作において高SNRを維持するためには容量が大きくなる。  
 こなため、速度、周波数特性は劣化する。

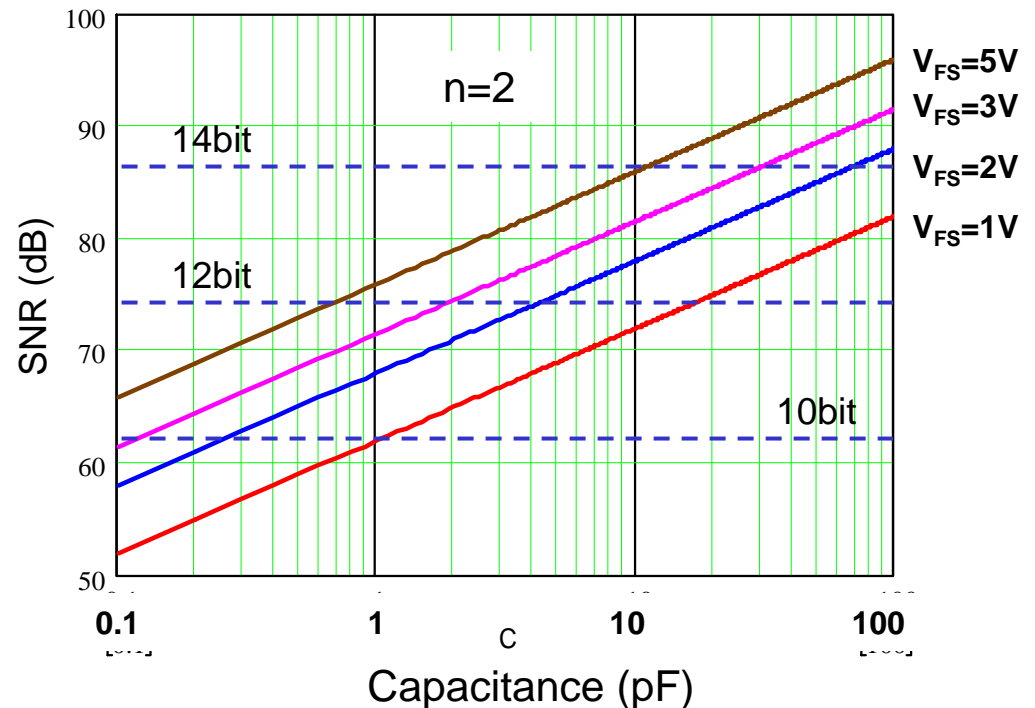
$$SNR \propto \frac{CV_{FS}^2}{kT} = \frac{\text{信号の電気エネルギー}}{\text{熱エネルギー}}$$

n: configuration coefficient

$$SNR(\text{dB}) = 10 \log \left( \frac{CV_{FS}^2}{8nkT} \right)$$

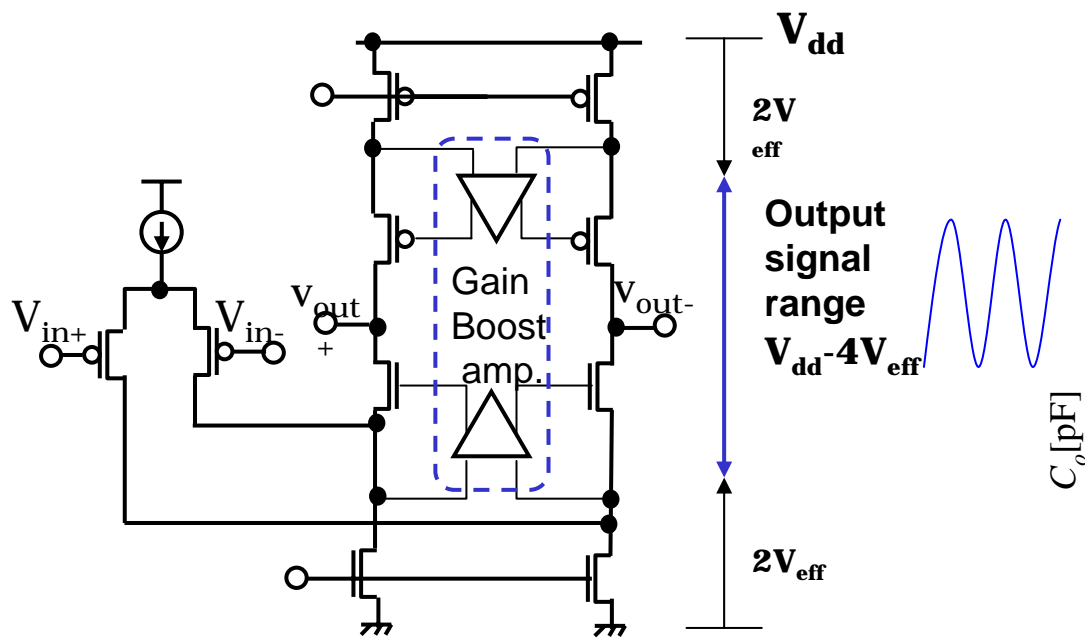


$$\langle v_n^2 \rangle = 4kTR \int \frac{1}{1 + (\omega CR)^2} \frac{d\omega}{2\pi} = \frac{kT}{C}$$

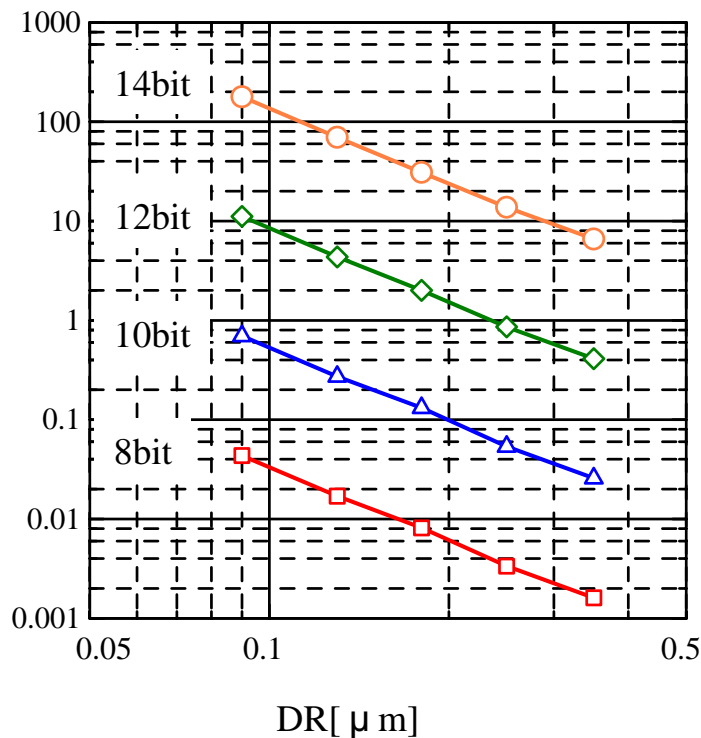


# 微細化と信号まわりの容量

高SNRの信号ほど、低電圧の回路ほど大きな容量を必要とする。



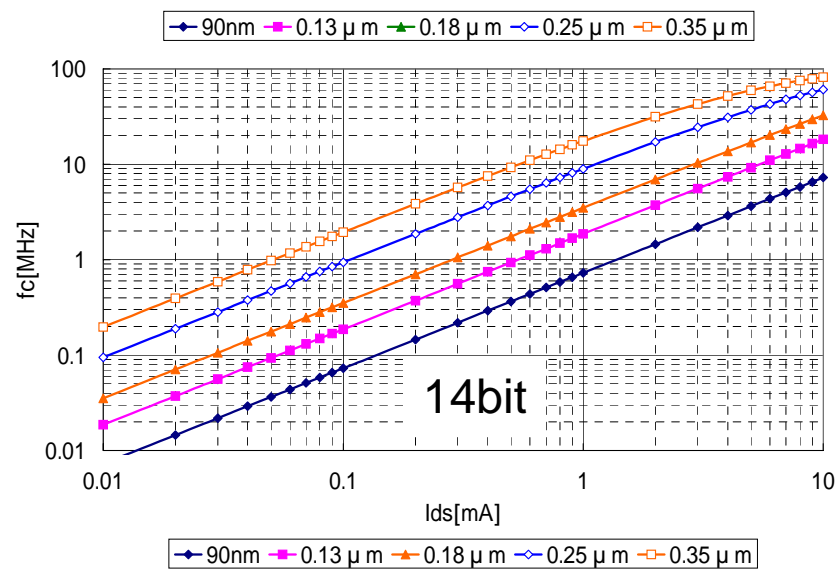
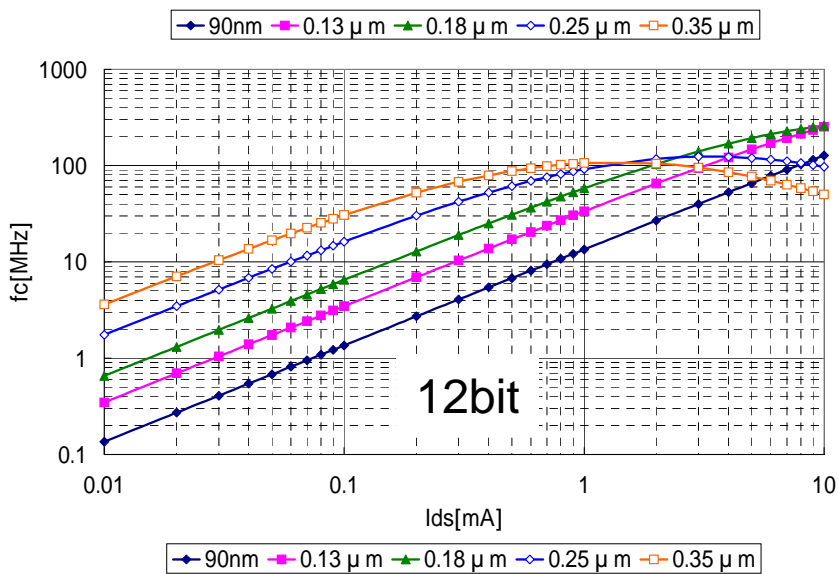
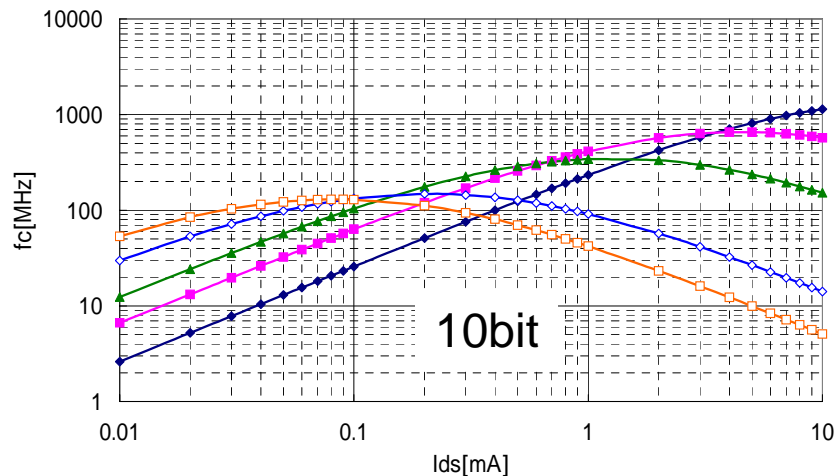
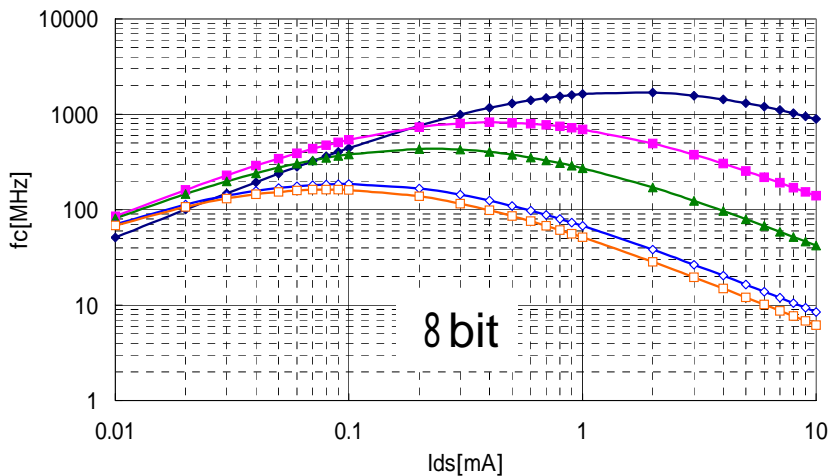
$$C_o \geq 1.66 \times 10^{-19} \left( \frac{2^N}{V_{sig}} \right)^2$$



	90nm	0.13 $\mu m$	0.18 $\mu m$	0.25 $\mu m$	0.35 $\mu m$
$V_{dd}$	1.2V	1.5V	1.8V	2.5V	3.3V
$V_{sig\_pp}$	1.0V	1.6V	2.2V	3.6V	5.2V

# 微細化とパイプライン型ADCの性能

低分解能では微細化が有効だが、高分解能では必ずしも有効とは言えない。



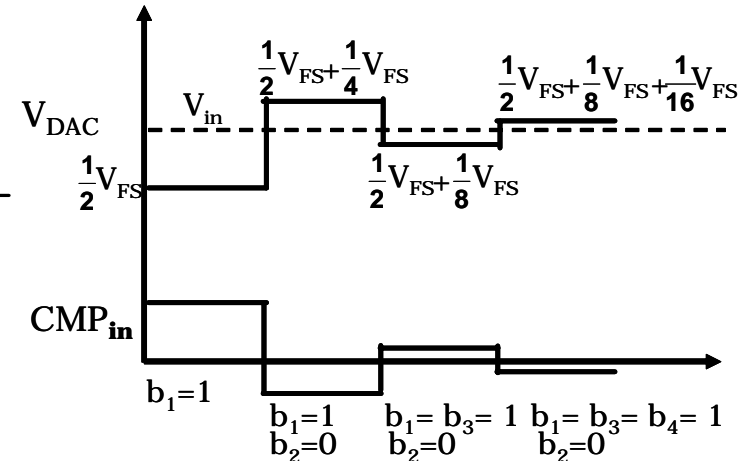
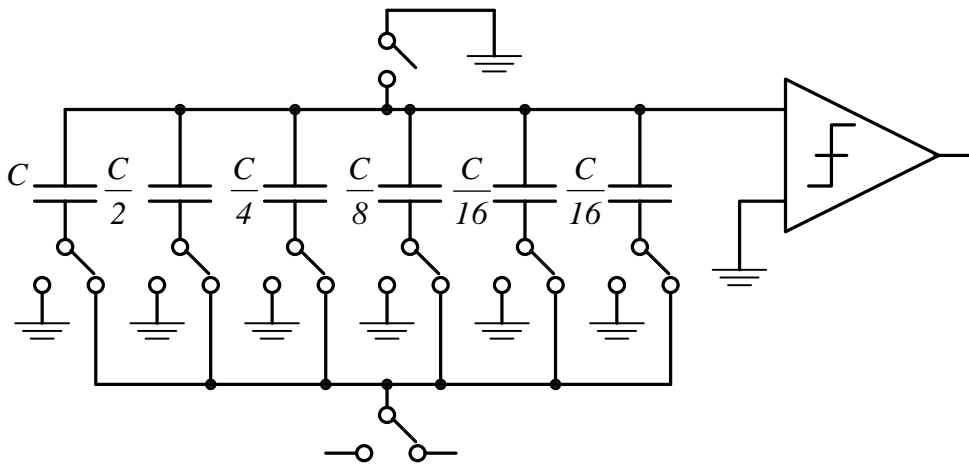
# 逐次比較型 ADC

微細化によるOPアンプの性能劣化により、  
OPアンプを用いないADCの開発が盛んになっている。

バイナリサーチのアルゴリズムを用いたものが逐次比較型ADCである。

OPアンプを用いないので元々低電力であるが  
高速化・高精度化が必要

- ・比較的高精度 16bit程度
- ・低消費電力(OPアンプを使用しない)
- ・低速(マルチサイクル)



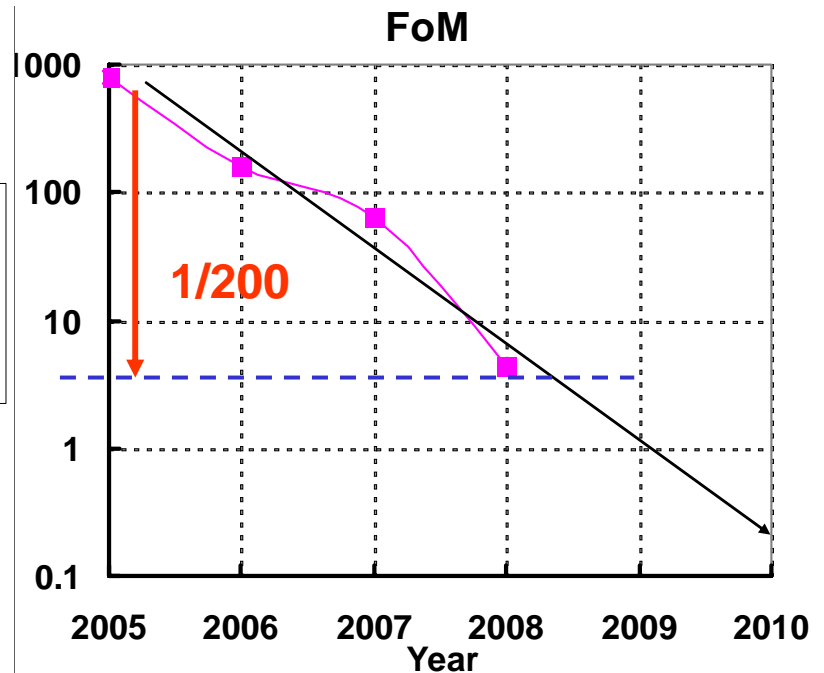
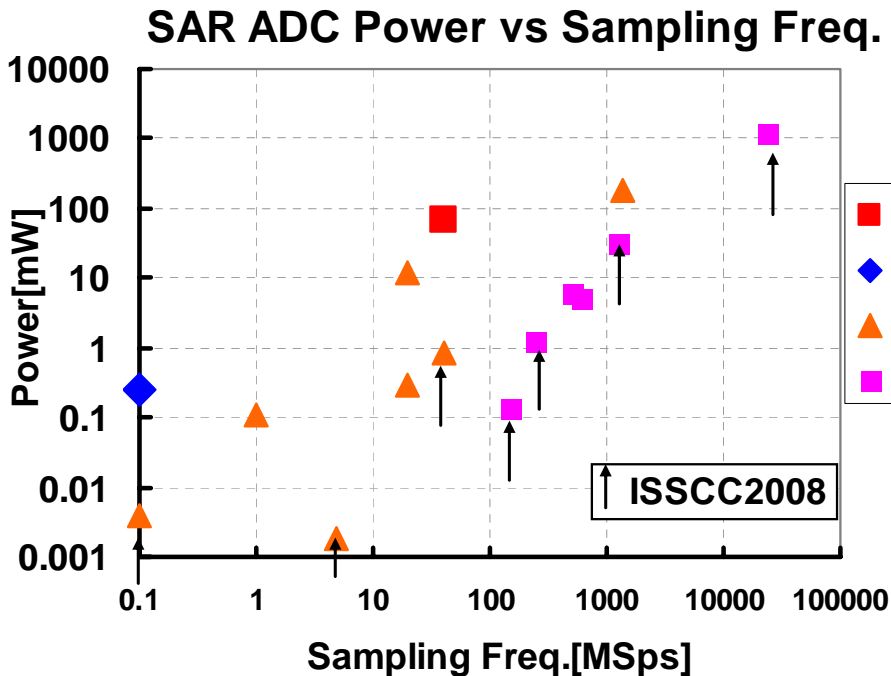
# SA ADCの開発状況

SA ADCは高分解能から高速まですべての領域で開発が進められている。  
FoMは3年間で1/200まで低下した。

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

Courtesy Y. Kuramochi

3年間で FoMは 1/200に減少

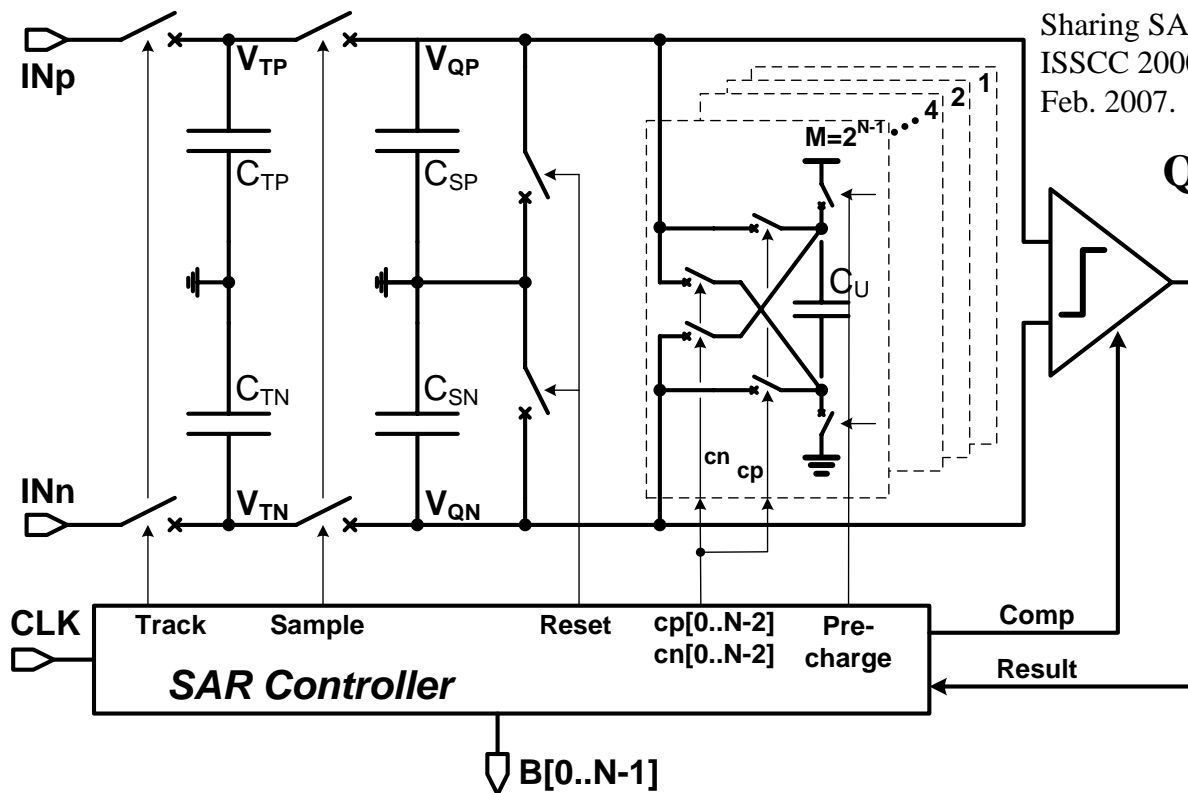


# 65fJ/conv. を達成した逐次比較型ADC

あらかじめ参照電圧を重み付けされた容量に保存しておき  
 $V_{QP}$ ,  $V_{QN}$ 間を比較して極性を変えながら接続することで逐次比較を実現する。  
 参照電圧の逐次印加が不要なのでセットリングが速く、バッファが要らないので低電力

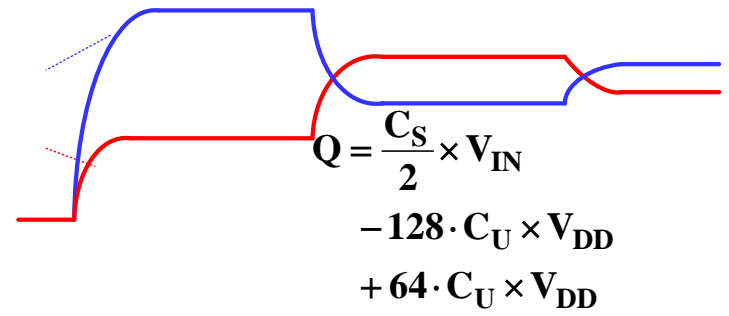
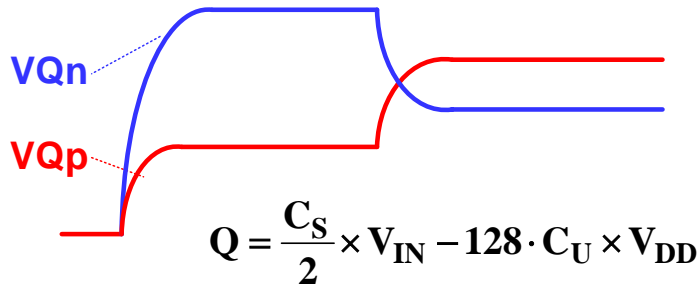
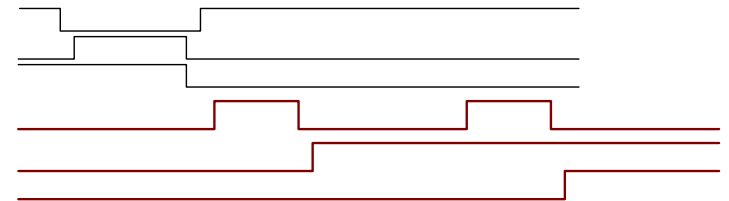
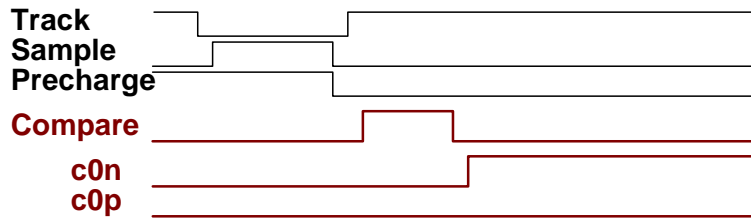
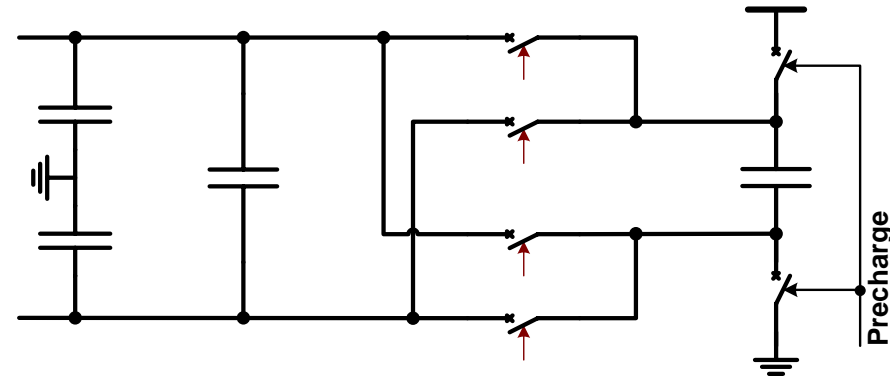
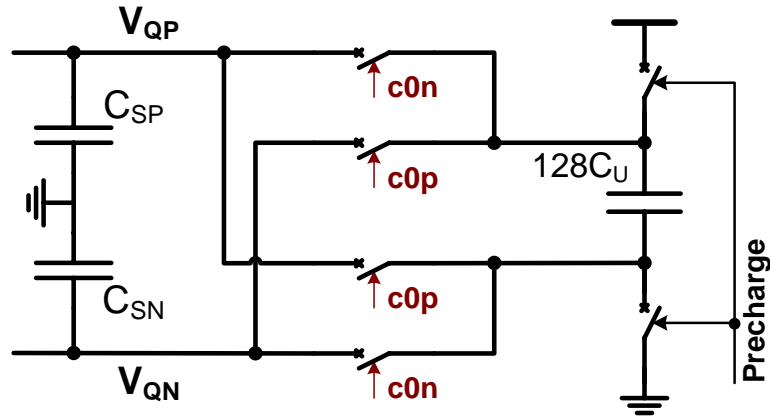
J. Craninckx and G. Van der Plas,  
 "A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," IEEE  
 ISSCC 2007, Dig. of Tech. Papers, pp.246-247,  
 Feb. 2007.

$$Q_{REF} = \sum_i 2^i C_U \cdot V_{DD}$$



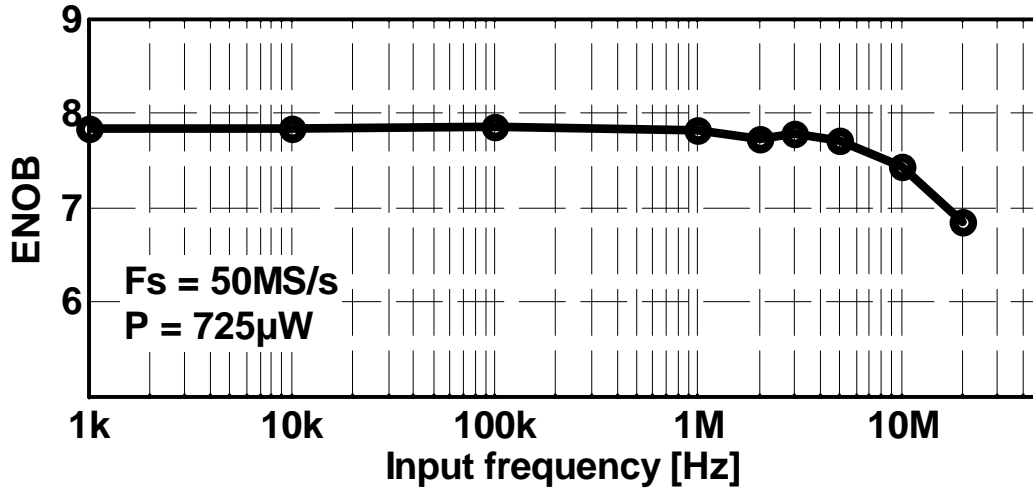
# 逐次変換の方法

1. 差動入力信号を $C_{sp}$ ,  $C_{sn}$ に保存し、 $V_{QP}$ ,  $V_{QN}$ 間を比較してMSBを決定する。
2. MSBの状態に応じて容量 $128C_U$ の接続極性を切り替えて $C_{sp}$ ,  $C_{sn}$ に接続
3. 減少した差動電位を比較してMSB-1 bitを決定、以下繰り返す



# 評価結果

FoM=65fJ/stepの驚異的な低FoMを達成



変換周波数20MHzで  
ナイキスト周波数まで  
7.8bitの有効ビットを達成

20MHzで0.3mW  
FoM=65fJ/stepの驚異的な低FoMを達成

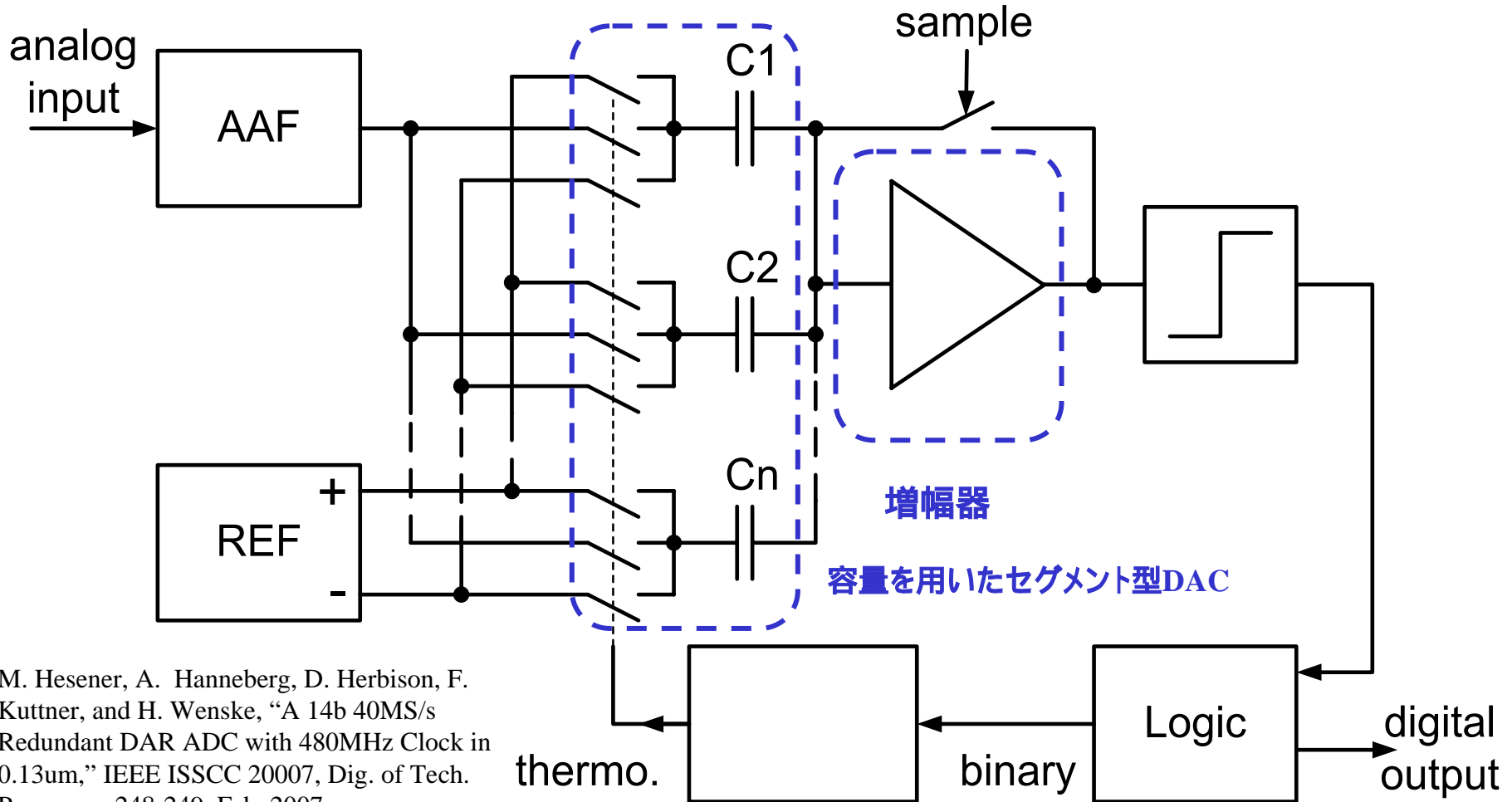
90nm CMOS 1V動作

ISSCC06 Paper #	Arch.	Fs [MS/s]	ENOB	P [mW]	FoM [fJ]	FoM includes		
						Ref.	Clock	Dec.
3.1	CTΔΣ	40	12	50	300	-	Yes	Yes
3.4	ΔΣ	4.4	12.6	13.8	500	-	No	No
12.1	PL	100	9.4	39	570	-	-	-
12.3	Subr.	50	10.4	30	440	-	-	-
12.4	PL-CBSC	7.9	8.7	2.5	760	-	-	-
12.5	SAR	0.1	10.5	0.025	170	No	No	-
12.7	PL	50	9.2	15	510	-	-	-
31.1	Flash	1250	3.7	2.5	160	-	-	-
31.5	SAR	300	5.3	2.65	220	No	Yes	-
<b>This work</b>	<b>CS-SAR</b>	<b>20</b>	<b>7.8</b>	<b>0.29</b>	<b>65</b>	<b>Yes</b>	<b>Yes</b>	<b>-</b>



# 高精度逐次比較型ADC

高精度化のために比較器の前に増幅器を配した  
セグメント型容量アレーにより単調性を確保



M. Hesener, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, "A 14b 40MS/s Redundant DAR ADC with 480MHz Clock in 0.13um," IEEE ISSCC 20007, Dig. of Tech. Papers, pp.248-249, Feb. 2007.

# 評価結果

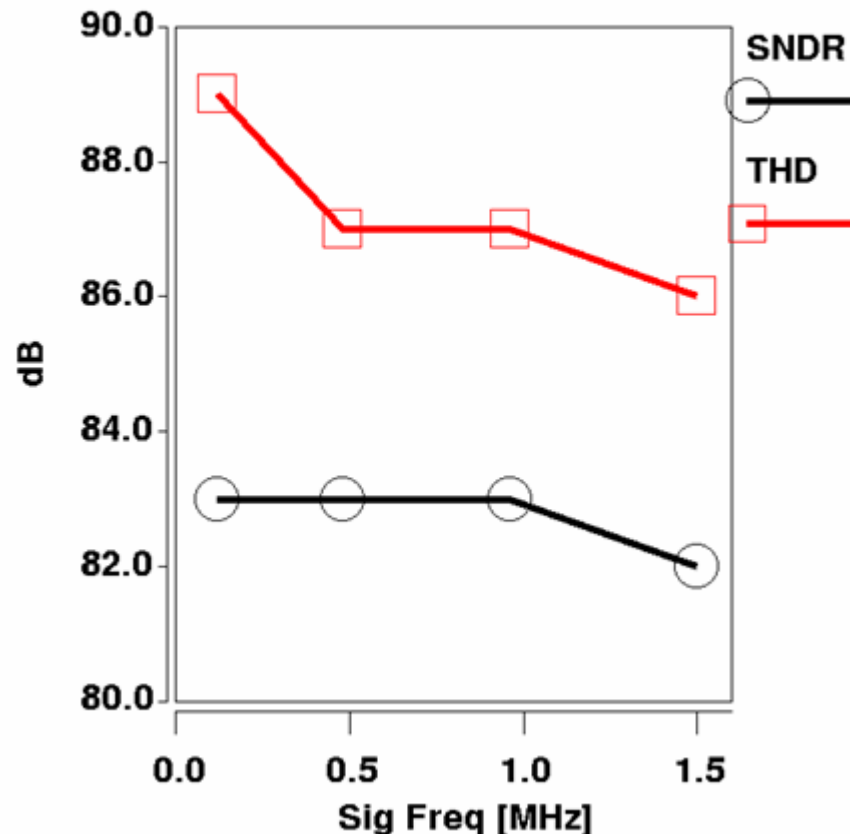
変換周波数40MHzにて実効分解能13.5bitを66mWで達成。  
(非常に完成度が高い発表である)

0.13um CMOS

Supply voltage	1.5V
Input range	±0.9V diff.
Sample frequency	40MHz
Internal clock frequency	480MHz
Analog power	49mW
Digital power	17mW
Total power	66mW

FoM=140fJ/step

THD & SNDR vs. Signal Frequency



# デバイスミスマッチとその補償回路技術

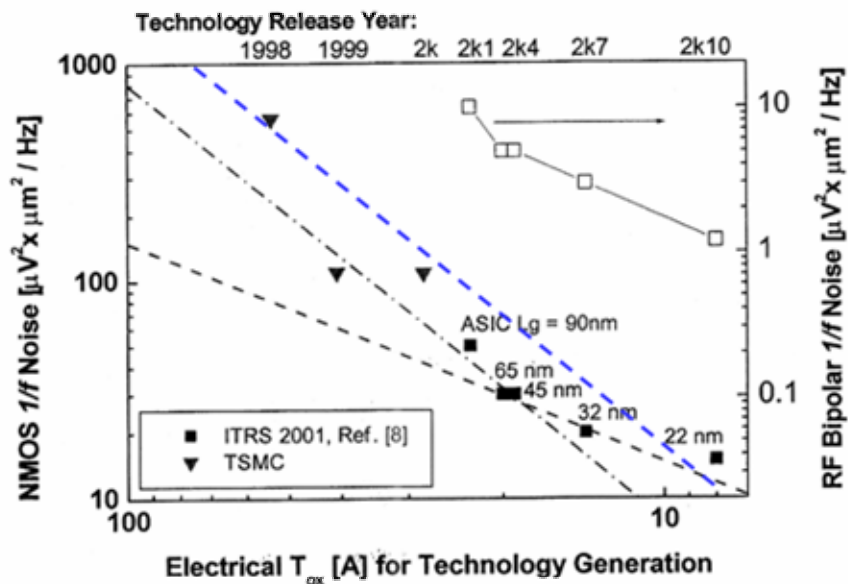
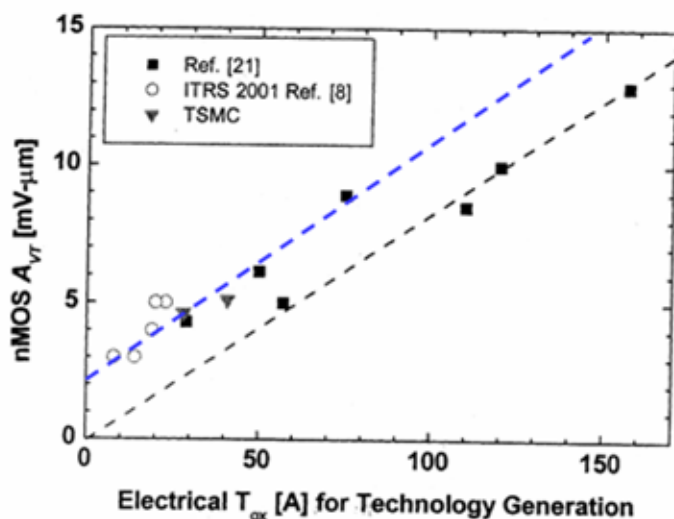
# MOSの $V_T$ ばらつきと1/fノイズ

MOSの $V_T$ ばらつき係数は飽和する

1/fノイズ係数は穏やかに減少

$$\Delta V_{TH}(mV) \approx \frac{1}{\sqrt{2}} \left( \frac{T_{ox}(nm) + 2}{\sqrt{LW}(\mu m)} \right)$$

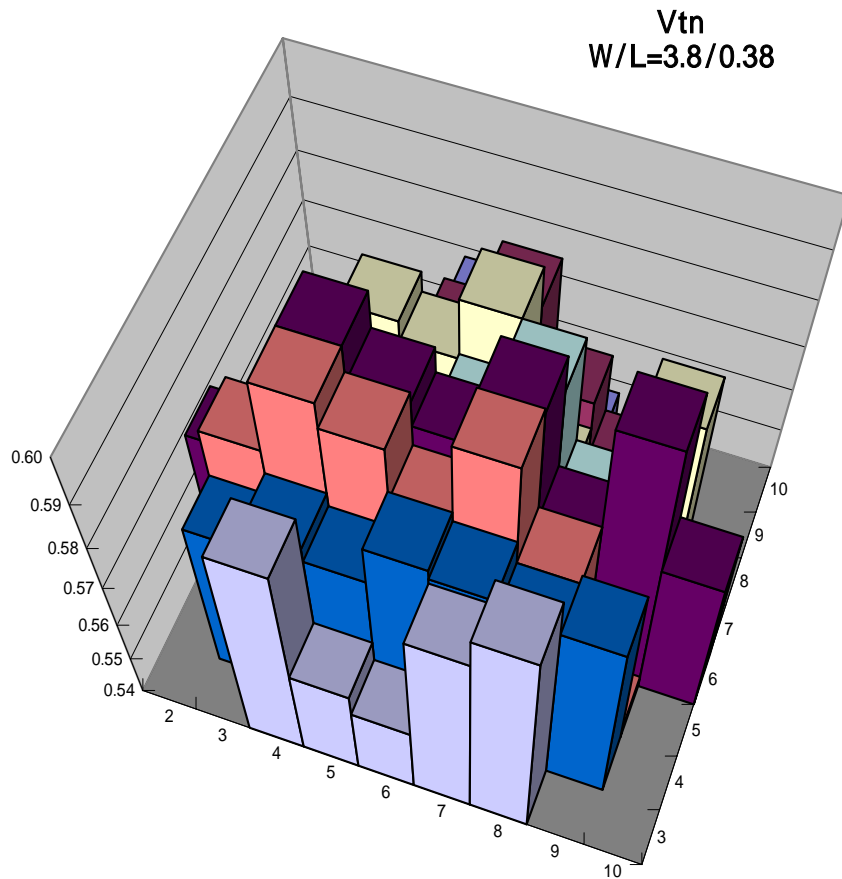
$$V_{flick}^2 (uV^2 / Hz) = \frac{16T_{ox}^2 (nm)}{LW (\mu m^2) \cdot f(Hz)}$$



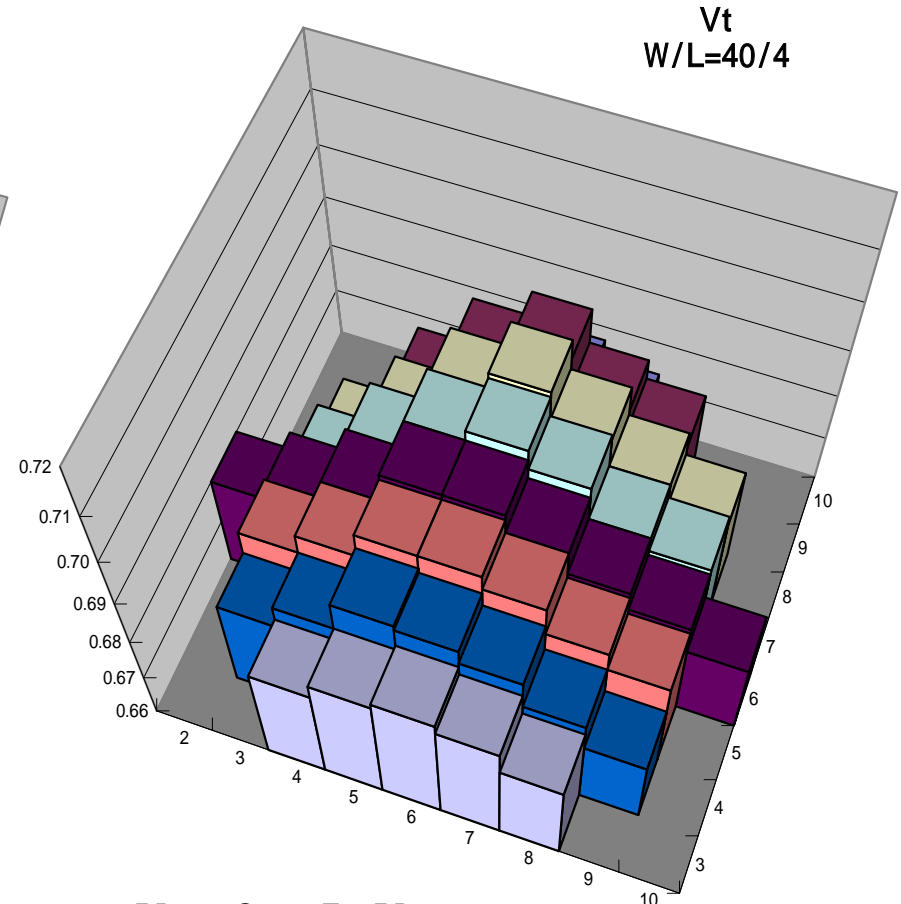
C. H. Draz, et al., "CMOS Technology for MS/RF SoC," IEEE Tran. Electron Devices, Vol. 50, No 3, March, 2003.

# ウェファー内での $V_T$ 変動

小さなトランジスタの $V_T$ ばらつきはランダムであるが、  
大きなデバイスでは面内傾斜が見えてくる



$V_t = 575 \pm 18\text{mV}$



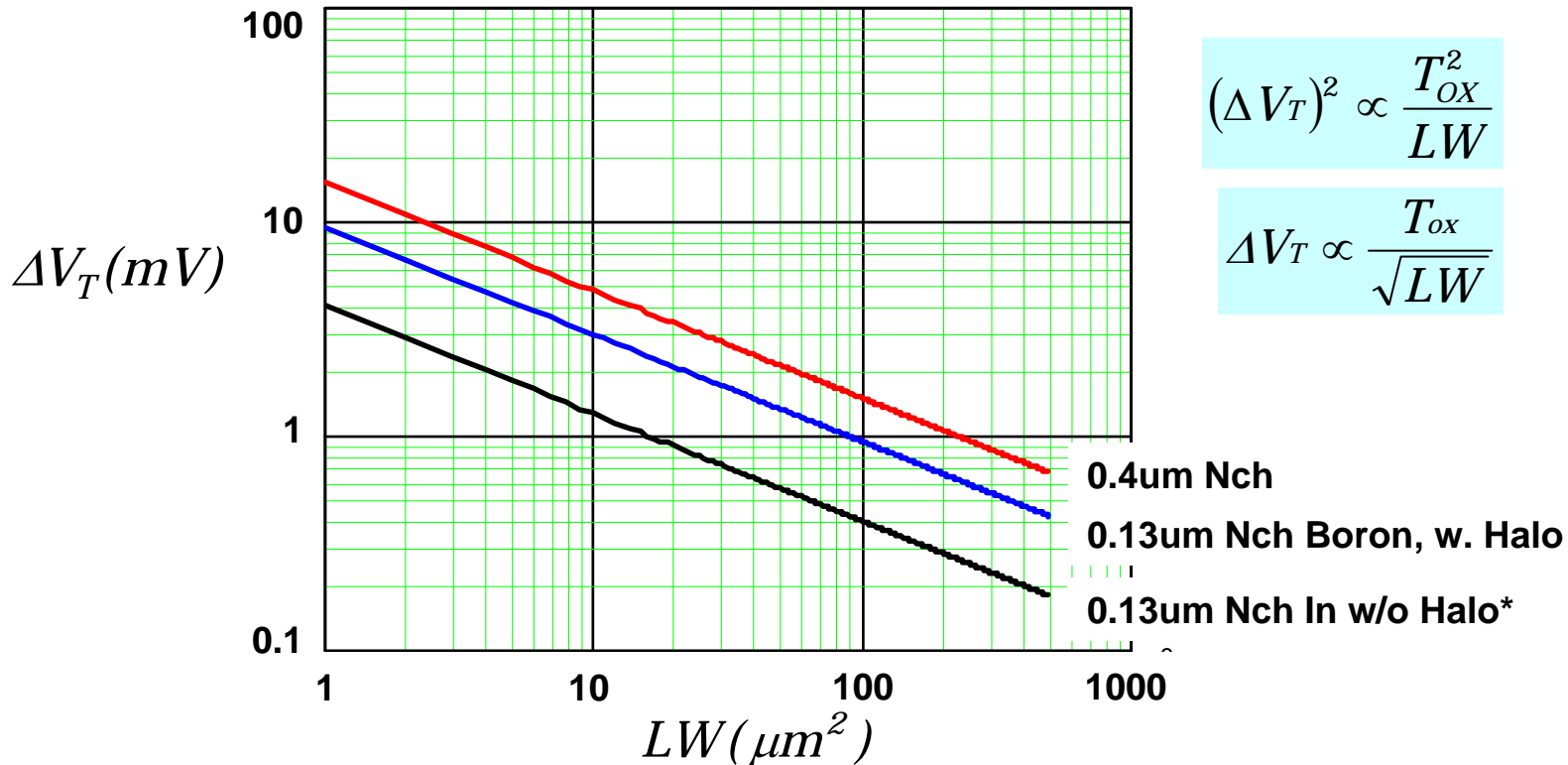
$V_t = 686 \pm 7\text{mV}$

# $V_T$ ミスマッチ

$V_T$ ミスマッチを小さくするには大きなゲート面積が必要、しかし性能劣化を招く

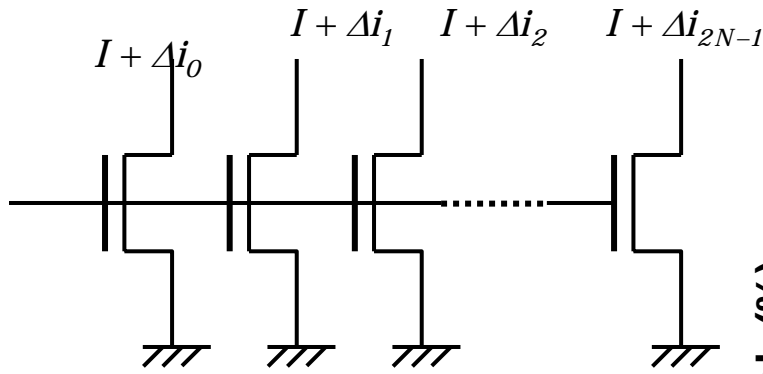
ハロー注入は $V_T$ ミスマッチに対してもよろしくない

0.13um: Morifuji, et al., IEDM 2000  
0.4um : My data



# DACにおける $V_T$ ミスマッチの影響

$V_T$ ミスマッチは電流ミスマッチを引き起こす。  
高分解能のものほど小さなミスマッチが不可欠。



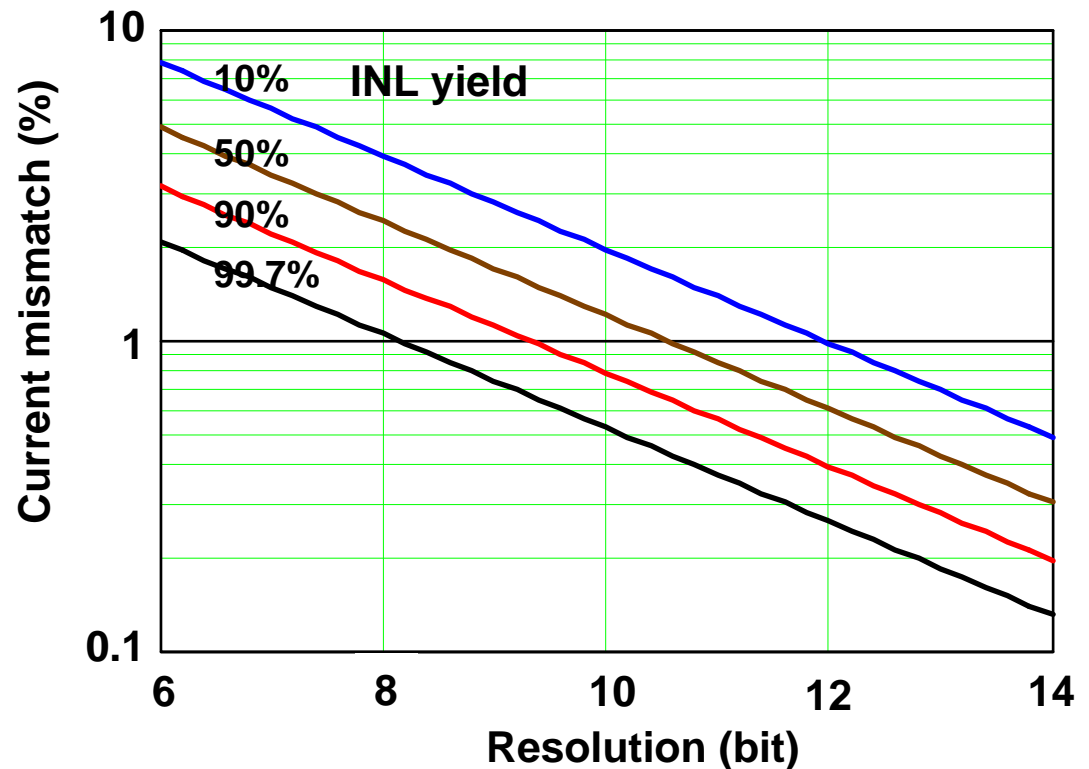
$$\frac{\sigma(I)}{I} \approx \frac{1}{2C\sqrt{2^N}}$$

N: resolution

C: Constant determined by INL

$$\left(\frac{\sigma(I)}{I}\right)^2 \propto \frac{1}{2^N}$$

Van den Bosch,.. Kluwer 2004



# ミスマッチ電流とトランジスタサイズ

電流ミスマッチを小さくするには長いチャネル長が必要

$$I_{ds} = K' \frac{W}{L} (V_{gs} - V_T)^2$$

$$\Delta I_{ds} = \frac{\partial I_{ds}}{\partial V_T} \Delta V_T + \frac{\partial I_{ds}}{\partial K'} \Delta K' + \frac{\partial I_{ds}}{\partial \left(\frac{W}{L}\right)} \Delta \left(\frac{W}{L}\right)$$

$$\frac{\Delta I_{ds}}{I_{ds}} = \frac{-2\Delta V_T}{V_{gs} - V_T} + \frac{\Delta K'}{K'} + \frac{\Delta \left(\frac{W}{L}\right)}{\left(\frac{W}{L}\right)}$$

$$\left(\frac{\Delta I_{ds}}{I_{ds}}\right)^2 = \frac{4K' A_{VT}^2}{L^2 I_{ds}} + \frac{A_K^2}{WL} + A_{WL}^2 \left(\frac{1}{W^2} + \frac{1}{L^2}\right)^2$$

Mismatch

$$\Delta V_T \approx \frac{A_{VT}}{\sqrt{LW}}$$

$$\frac{\Delta K'}{K'} \approx \frac{A_{K'}}{\sqrt{LW}}$$

$$\frac{\Delta \left(\frac{W}{L}\right)}{\left(\frac{W}{L}\right)} = A_{WL} \sqrt{\frac{1}{W^2} + \frac{1}{L^2}}$$

$$V_{gs} - V_T = \sqrt{\frac{I_{ds}}{K' \left(\frac{W}{L}\right)}}$$

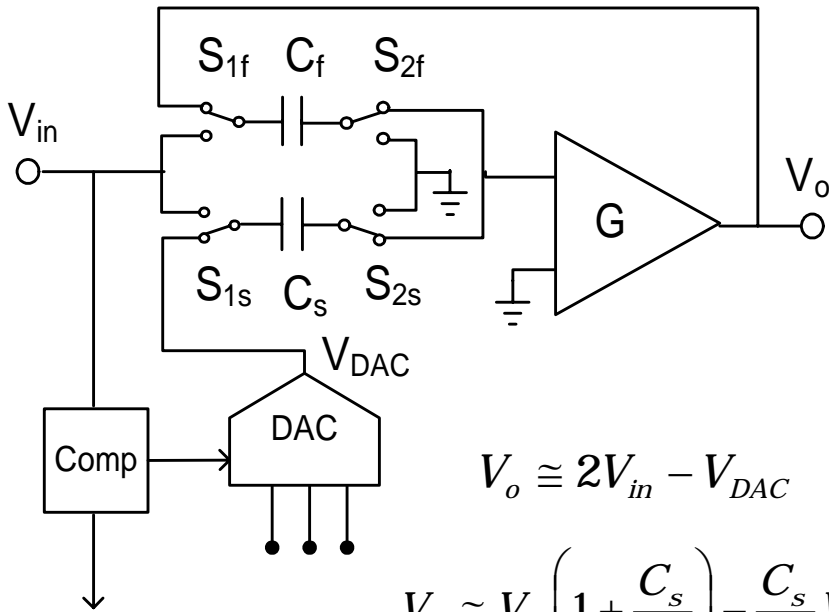


# 容量ミスマッチ

パイプライン型ADCやSAR型ADCの精度は容量ミスマッチで決まる。  
 高分解能のADCほど大きな容量が必要。

$$\frac{\Delta C}{C} < \frac{1}{2^N}$$

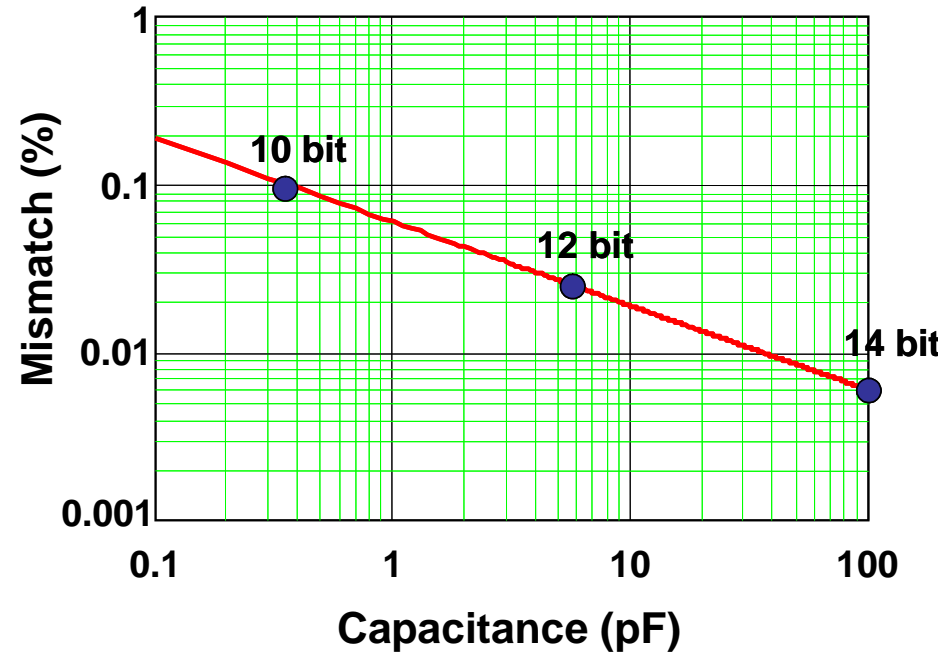
$$\frac{\Delta C}{C} (\sigma) = \frac{2 \times 10^{-4}}{\sqrt{C \text{ (pF)}}}$$



$$V_o \cong 2V_{in} - V_{DAC}$$

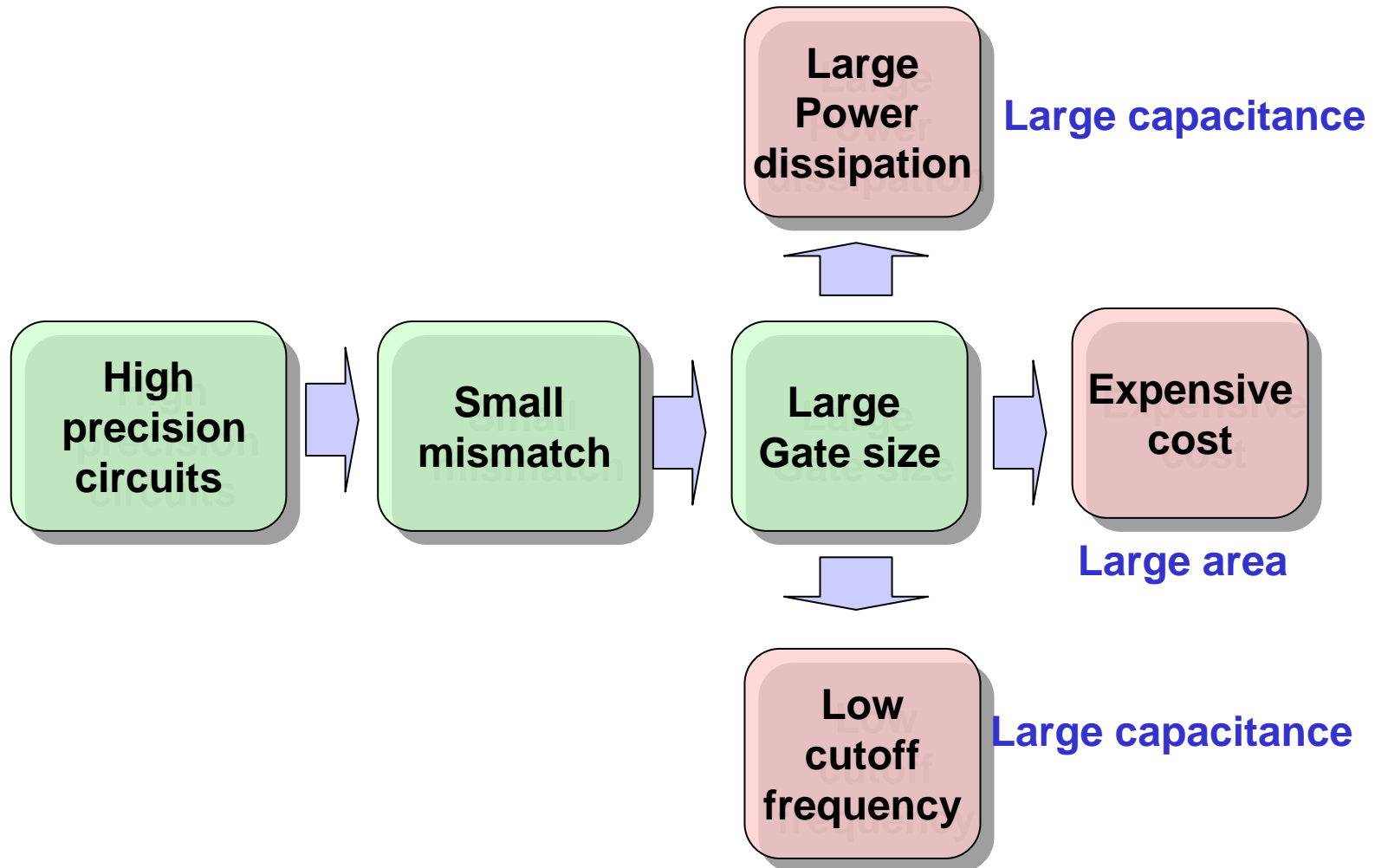
$$V_o \cong V_{in} \left( 1 + \frac{C_s}{C_f} \right) - \frac{C_s}{C_f} V_{DAC}$$

$$\Delta V_o = \left( \frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (V_{in} - V_{DAC})$$



# 高精度アナログ回路の課題

高精度アナログ回路ではデバイスの面積が大きくなる。したがってコスト増の他、容量の増大により周波数特性劣化と消費電力増大を招く。

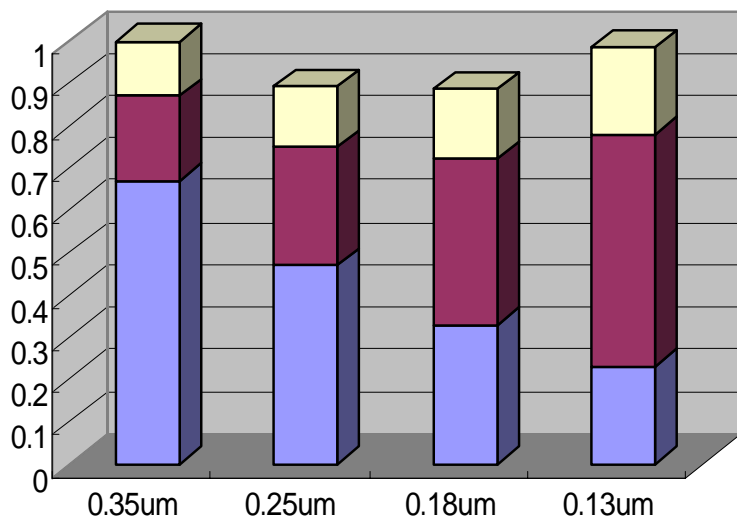


# 微細化とアナ・デジ混載LSIのコスト

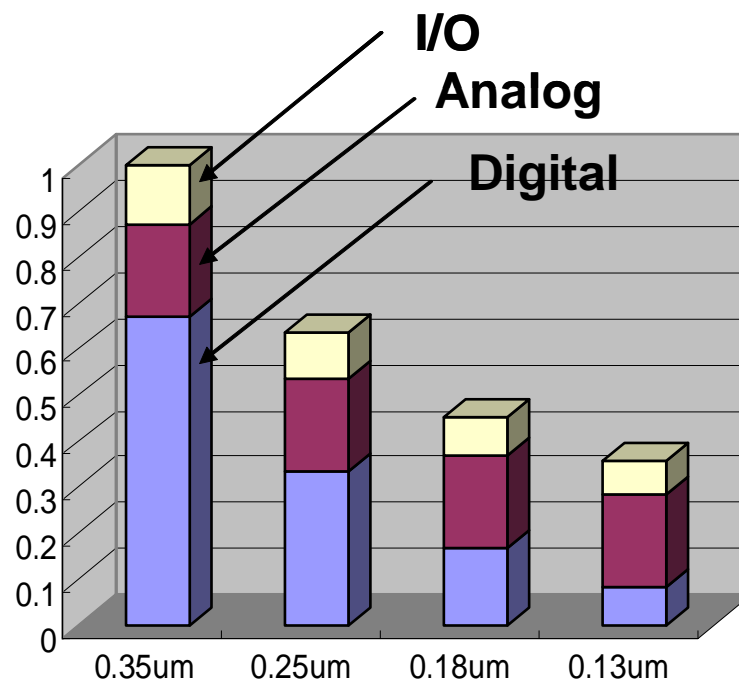
アナログ回路、特に高精度、低ノイズの回路は大きな面積を必要とするため、微細化しても小さくなりにくい。  
このことは微細化によりコストが増大することを意味する。  
アナログ回路ブロックの面積削減が重要である。

Wafer cost increases 1.3x  
for one generation

(0.35um : 1)



Chip cost



Chip area

# デジタル補正技術

デジタル補正技術により、小さなデバイスを用いても高精度化が可能となった。  
従来と比べ、面積は1/50, 消費電力は1/20を達成。  
しかしこの方法は外部に高精度ADCが必要なため、非現実的である。

14bit DAC

INL

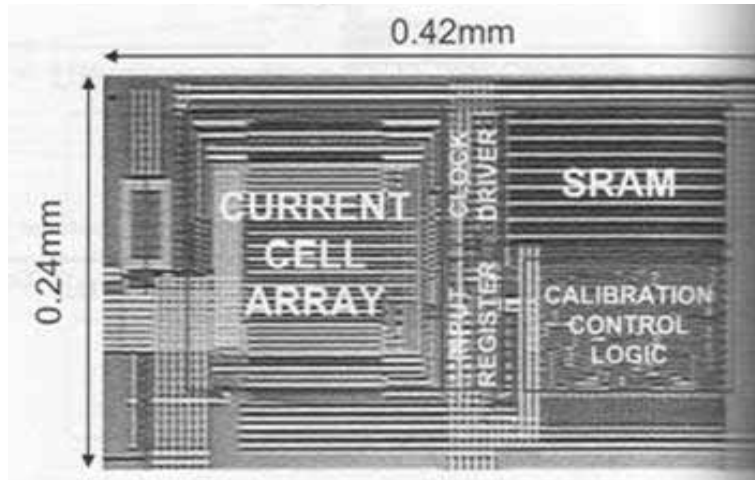
DNL

14b 100MS/s DAC

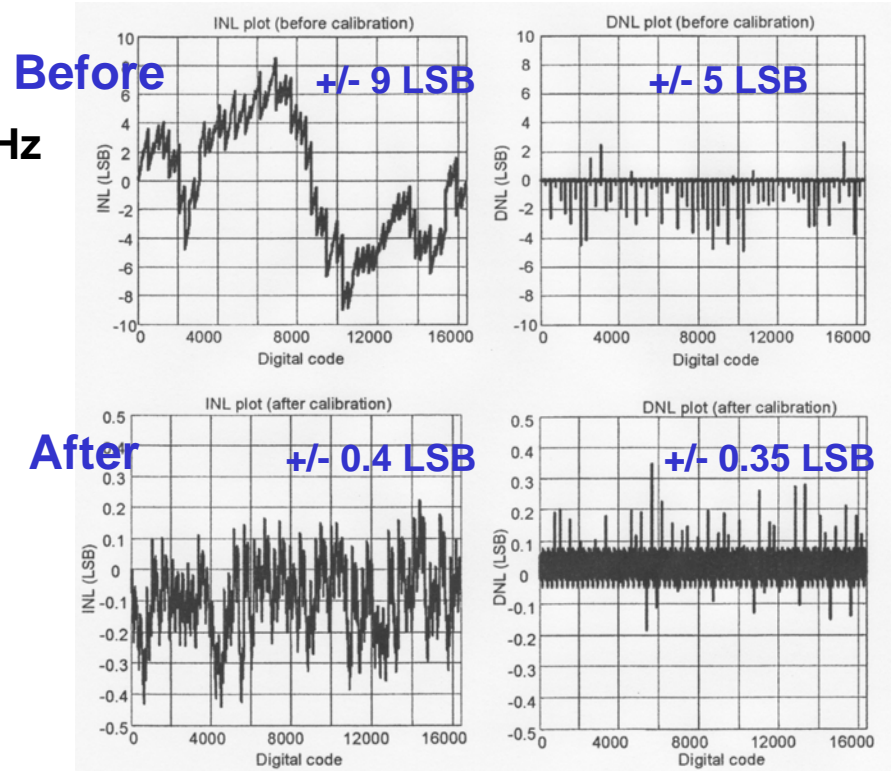
1.5V, 17mW, 0.1mm<sup>2</sup>, 0.13um

SFDR=82dB at 0.9MHz, 62dB at 42.5MHz

Area: 1/50 Pd: 1/20

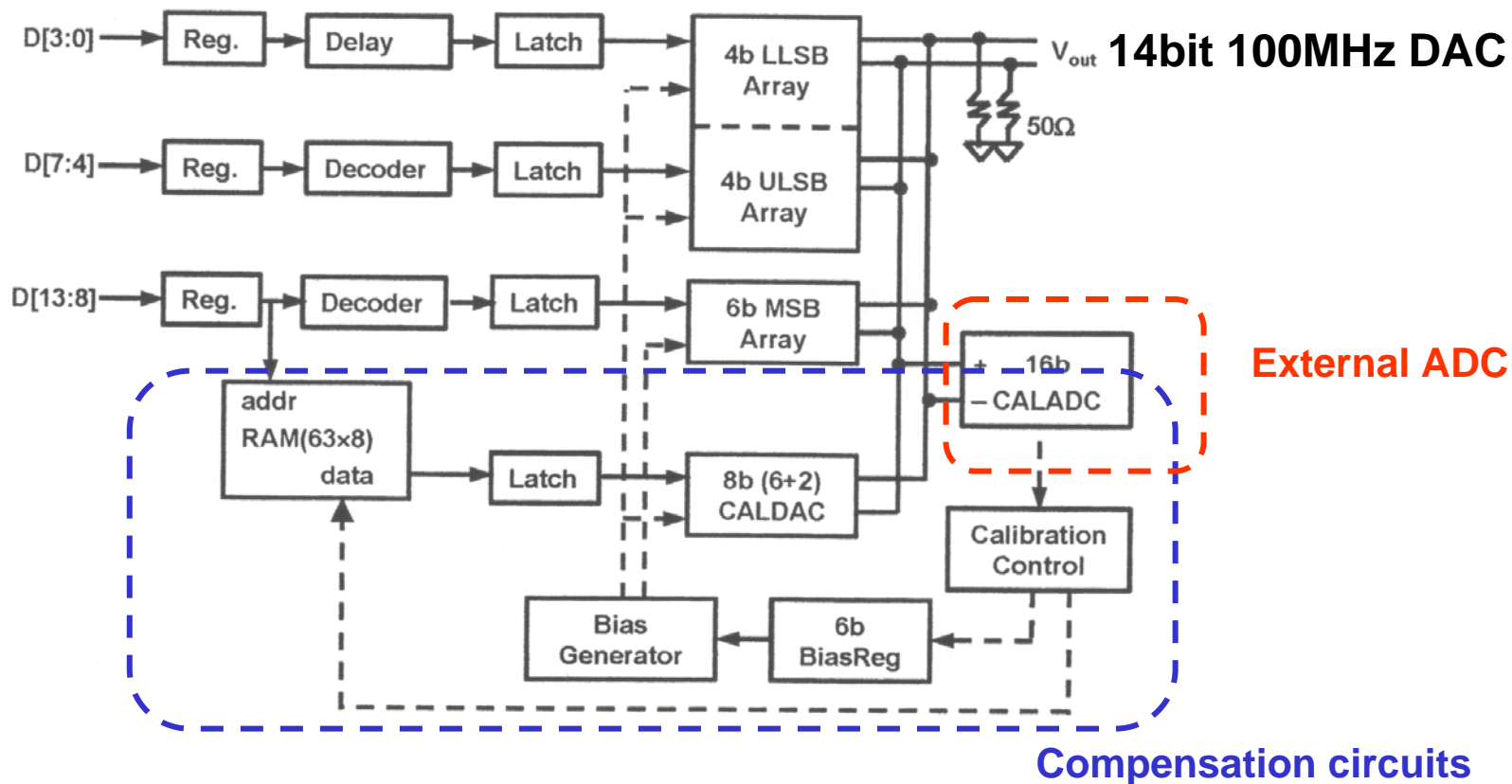


Y. Cong and R. L. Geiger,  
Iowa state university, ISSCC 2003



# デジタル補正を用いた DACの構成

外部に高精度ADCが必要なのが難点



Y. Cong and R. L. Geiger,  
Iowa State University, ISSCC 2003

# 比較器を用いたDACの高精度化技術

内部比較器を用いることでデジタル補正が可能である。

Nature of binary weighted values  $\frac{1}{2^m} = \sum_{n=1}^i \frac{1}{2^{m+n}} + \frac{1}{2^{m+i}}$   $\frac{1}{2^4} = \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^7} + \frac{1}{2^8} + \frac{1}{2^8}$

1) Measure LSB value by CAL DAC with certain accuracy.

$$\delta I_m = \frac{I_o}{2^m} - \sum_{n=1}^{N-m} \frac{I_o}{2^{m+n}} - \frac{I_o}{2^N} \quad \frac{I_o}{2^N}$$

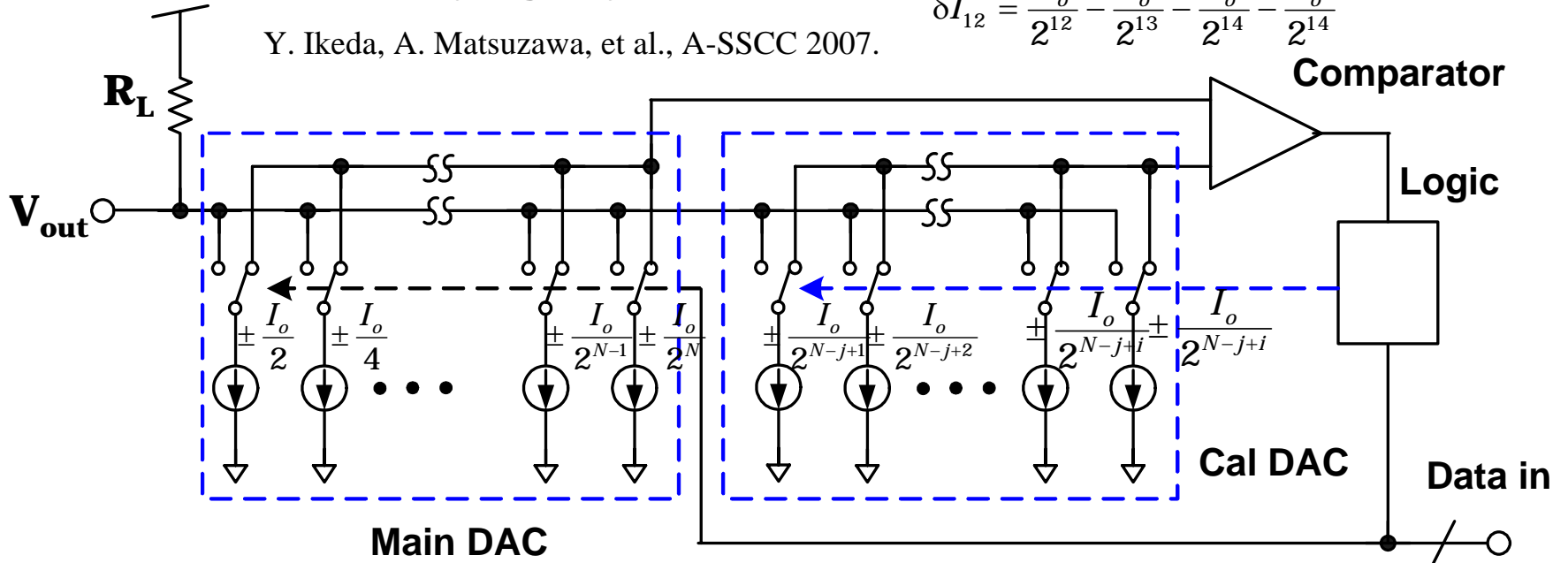
2) Measure the error of each current source by comparator with binary search .

$$\delta I_{13} = \frac{I_o}{2^{13}} - \frac{I_o}{2^{14}} - \frac{I_o}{2^{14}}$$

3) Compensate the errors by digitally

$$\delta I_{12} = \frac{I_o}{2^{12}} - \frac{I_o}{2^{13}} - \frac{I_o}{2^{14}} - \frac{I_o}{2^{14}}$$

Y. Ikeda, A. Matsuzawa, et al., A-SSCC 2007.

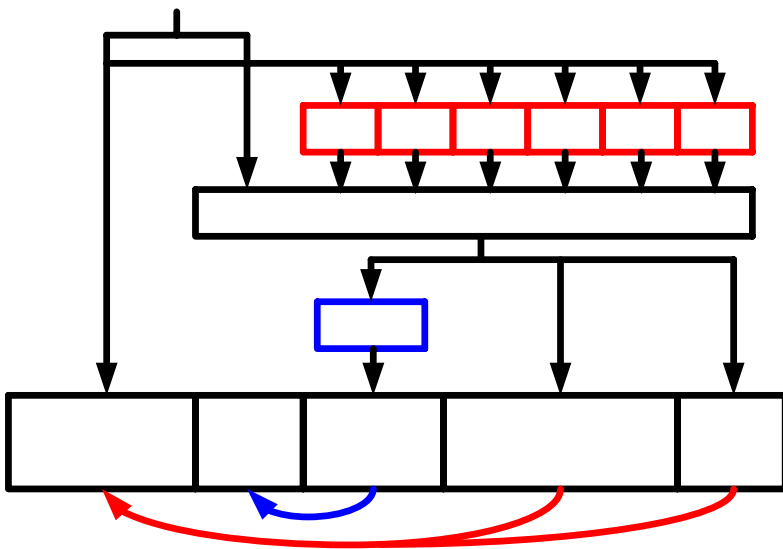


# DACの構成とチップ写真

Yusuke Ikeda, Matthias Frey, and Akira Matsuzawa  
 "A 14-bit 100-MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC"

A-SSCC, 13-3, pp 356-359, Korea, Jeju, Nov, 2007.

計測した誤差量をデジタル値でメモリの蓄えておき、  
 入力コードにデジタル的に加算する。

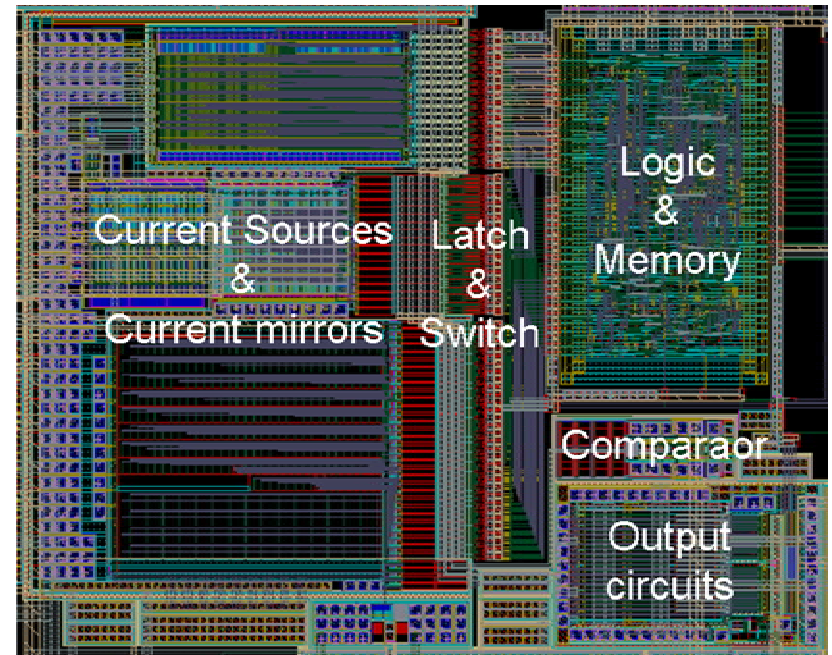


In[13:0]

In[13:8]

In[7:0]

800um

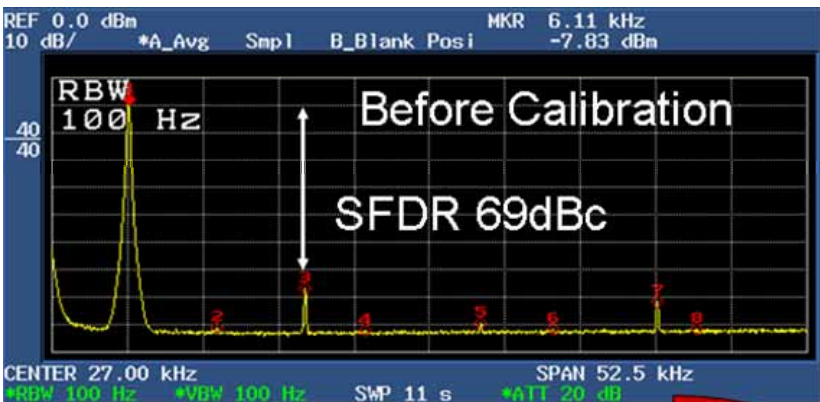
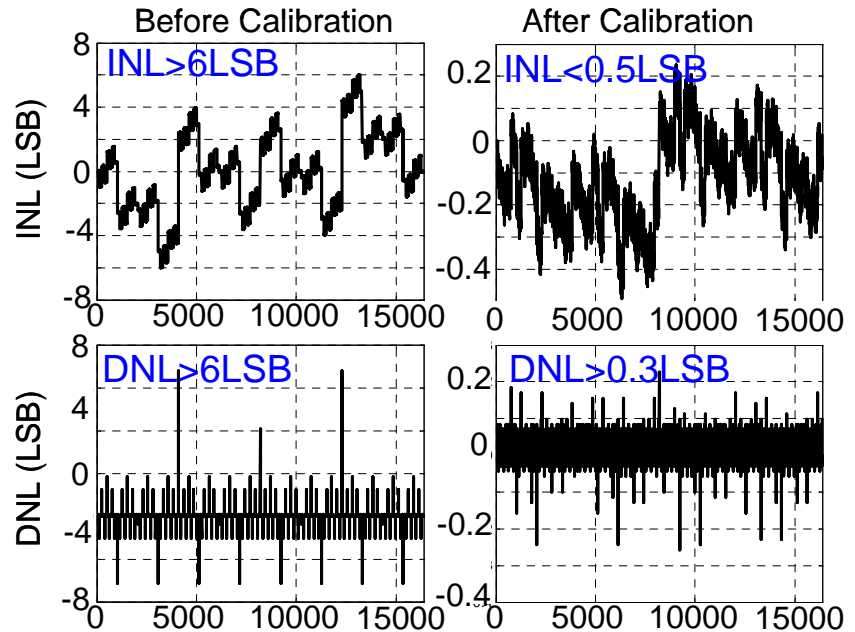


900um

[13] [12] [11] [10] [9] [8]

# キャリブレーションの効果

デジタルキャリブレーションにより  
リニアリティが大幅に向上し、  
歪みが14dBも向上。

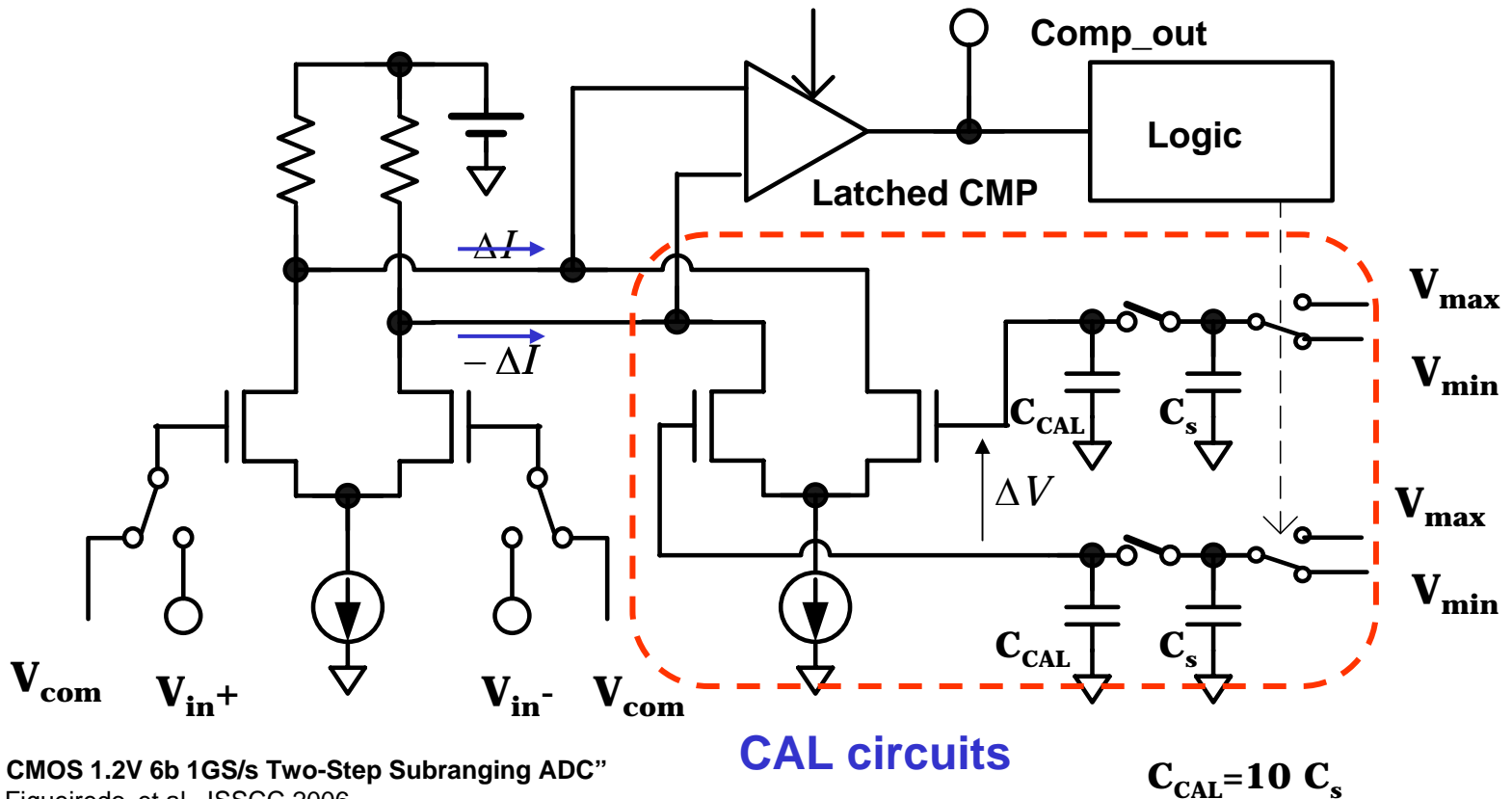


Tecnology	0.18 um CMOS
Resolution	14 bit
Update Rate	100 MSps
Full-Scale Current	11.5 mA
Supply Voltage	1.8 V
SFDR (Before Calibration)	69.2 dBc @fsig=6kHz
SFDR (After Calibration)	83.4 dBc @fsig=6kHz 46.6 dBc @fsig=30MHz
Power Consumption	79.2 mW (analog) 5 mW (digital)
Active Area	0.74 mm <sup>2</sup>



# 比較器のデジタルキャリブレーション

比較器のオフセット電圧をキャリブレーションする回路技術が盛んになっている。キャリブレーションにより30mV程度のオフセットばらつきが1mV程度に改善されるが、面積の増大やキャリブレーション期間の確保などの課題がある。

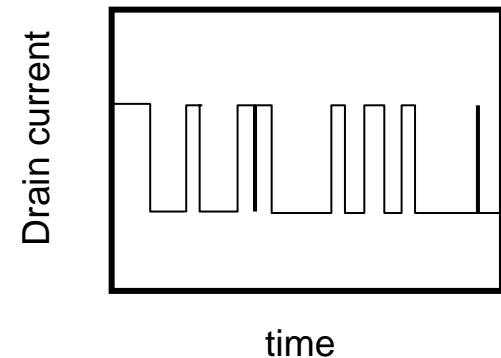
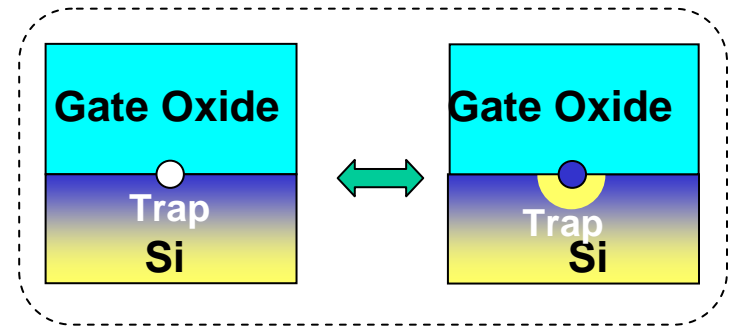
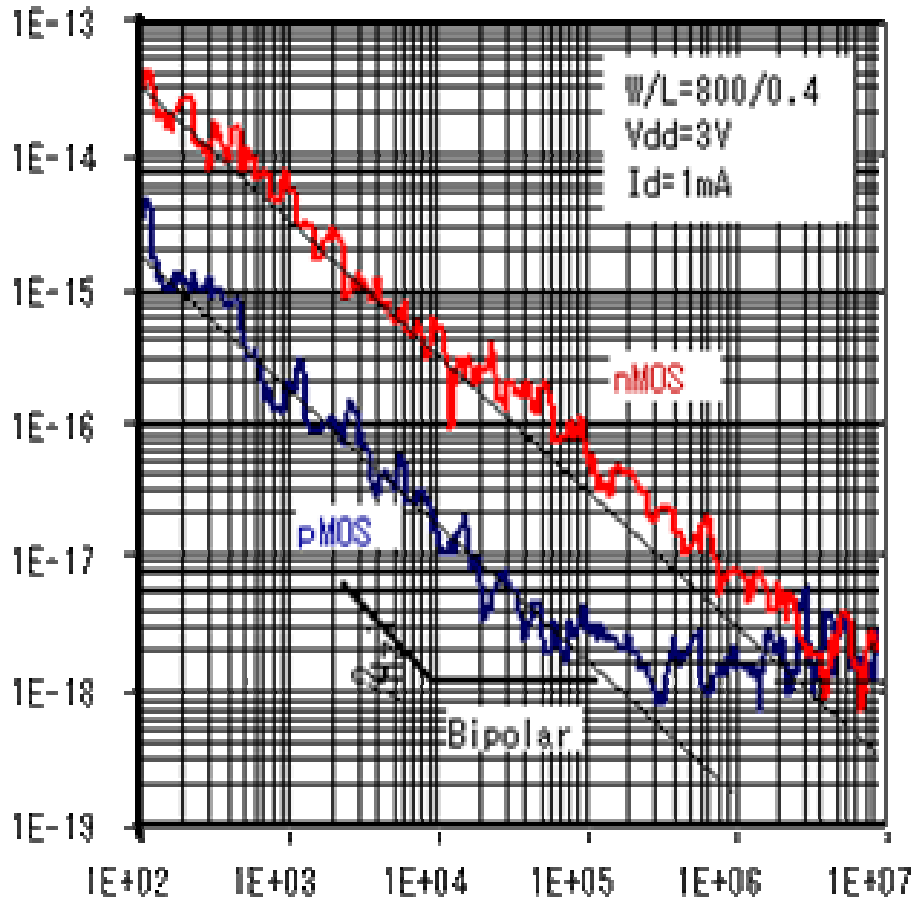


“A 90nm CMOS 1.2V 6b 1GS/s Two-Step Subranging ADC”  
Pedro M. Figueiredo et al., ISSCC 2006

# 1/fノイズ

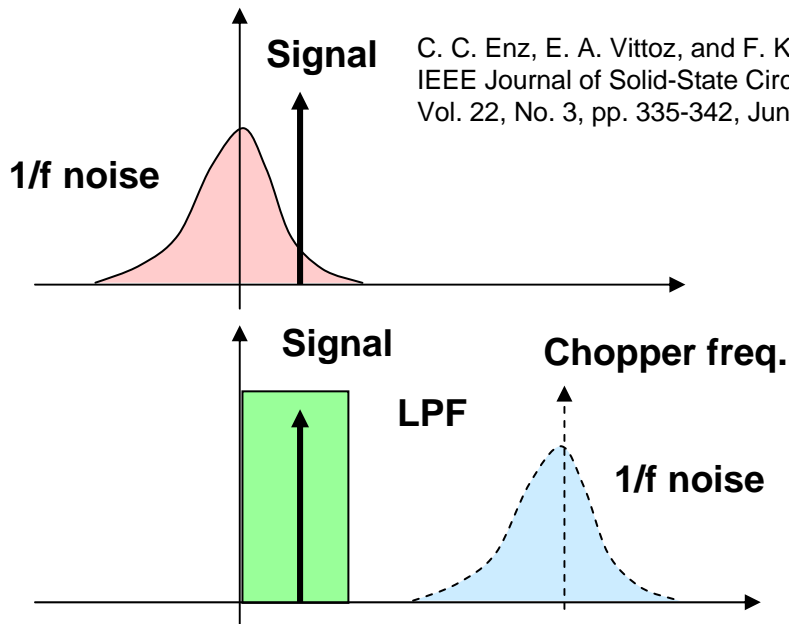
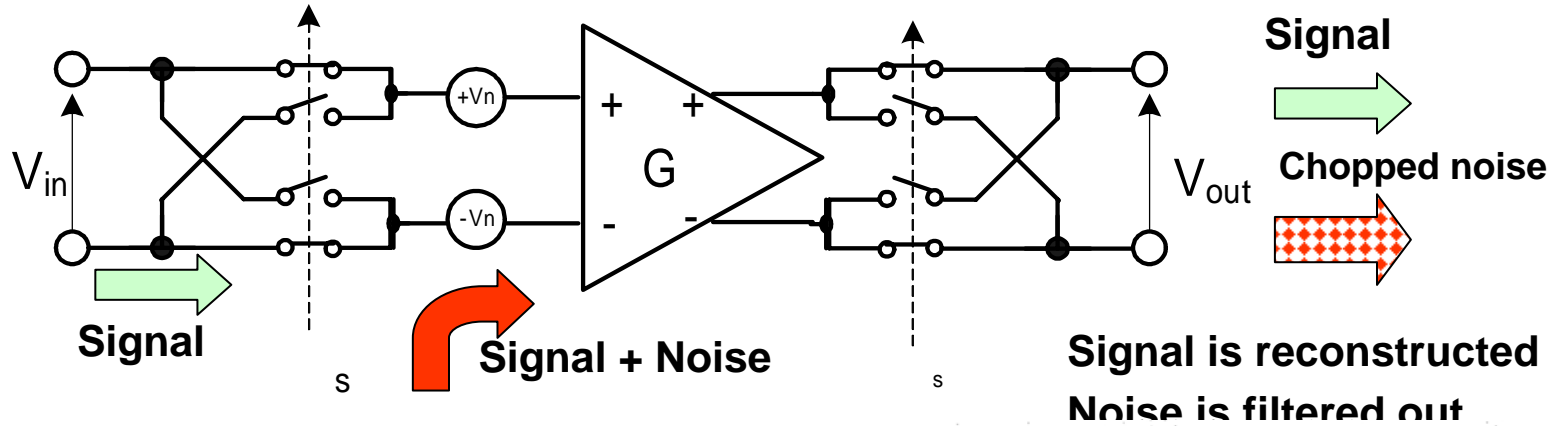
1/fノイズは信号品質を劣化させるため抑制する必要がある。  
しかしながら、面積増大を招くため、ノイズ係数の小さなデバイスが望まれる。

$$S_{\Delta V_G} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f}$$

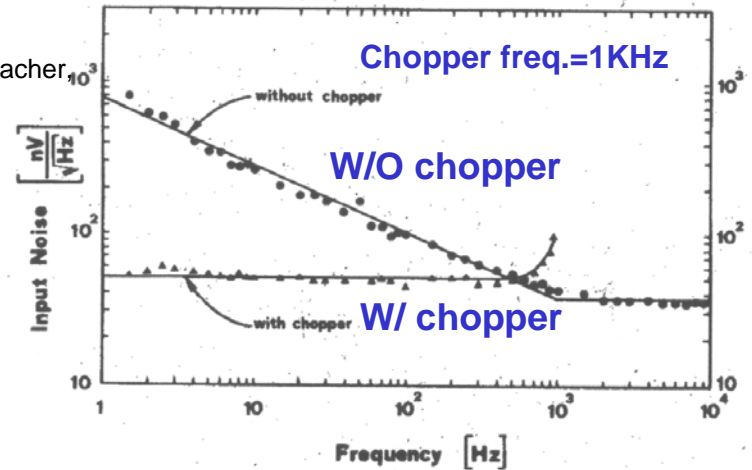


# チョッパ技術

チョッパ技術により1/fノイズを減少させることは可能だが、広帯域化が困難である。



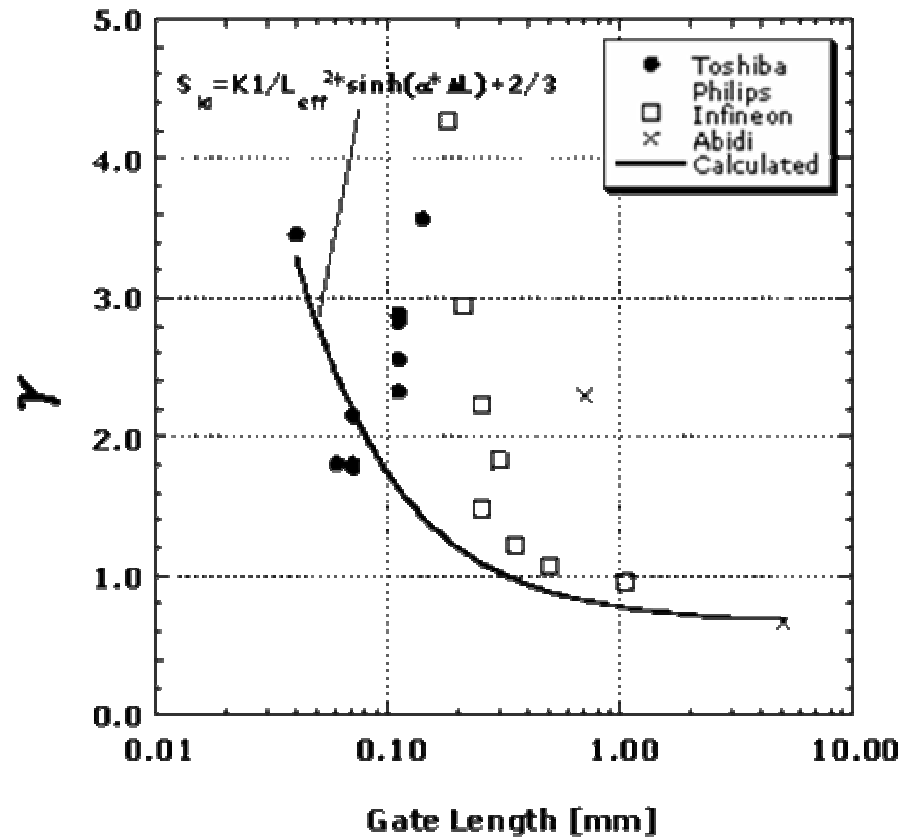
C. C. Enz, E. A. Vittoz, and F. Krummenacher,  
IEEE Journal of Solid-State Circuits,  
Vol. 22, No. 3, pp. 335-342, June 1987



$$S_{Nout}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{\substack{n=-\infty \\ n:\text{odd}}}^{\infty} \frac{1}{n^2} |G(f - nf_s)|^2 S_{Nin}(f - nf_s)$$

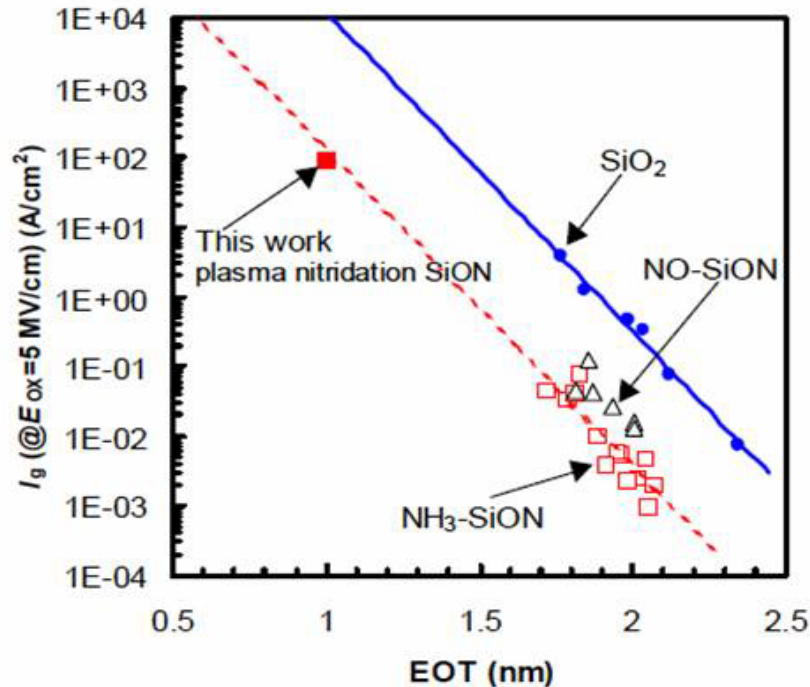
# 微細化とノイズ

微細化とともに熱雑音係数は増大、アナログ性能を劣化させる。



# ゲート電流

ゲート酸化膜が2nm以下になるころからトンネリングリーク電流が顕著になった。  
S&H回路やSCF回路では低速動作の場合にスイッチのリーク電流に注意する必要がある



しばらくは凌げる  
しかしいずれ高誘電体膜にして物理膜厚を厚くする必要がある

窒化膜の導入で緩和される。

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon} \text{thickness}$$

EOT (Equivalent Oxide Thickness)等価酸化膜厚

A. Hokazono et al., IEDM'02, p.639

# RF・アナログ回路とデバイス技術

インダクタなどの受動デバイスを中心として

# オンチップ容量の進歩

容量も重要で、特に小面積化が必要

オンチップ容量の進歩は著しく、容量密度は10倍になった。  
バラクタの容量可変範囲も3倍になっている。

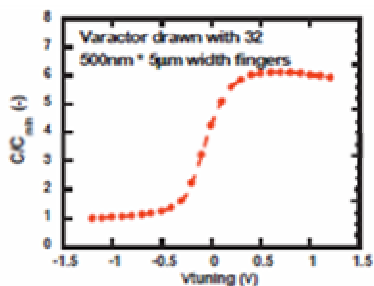
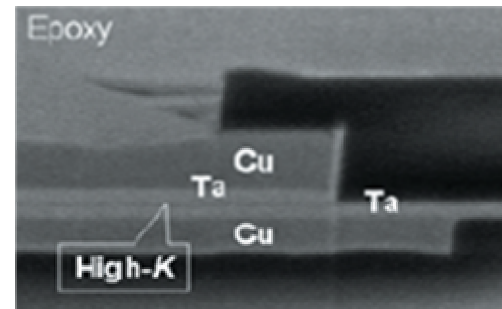
Ki-K材料を用いて 17fF/ $\mu\text{m}^2$ を実現

High Capacitance Density ( $> 17 \text{ fF}/\mu\text{m}^2$ ) Nb<sub>2</sub>O<sub>5</sub>-based MIM Capacitors for Future RF IC Applications

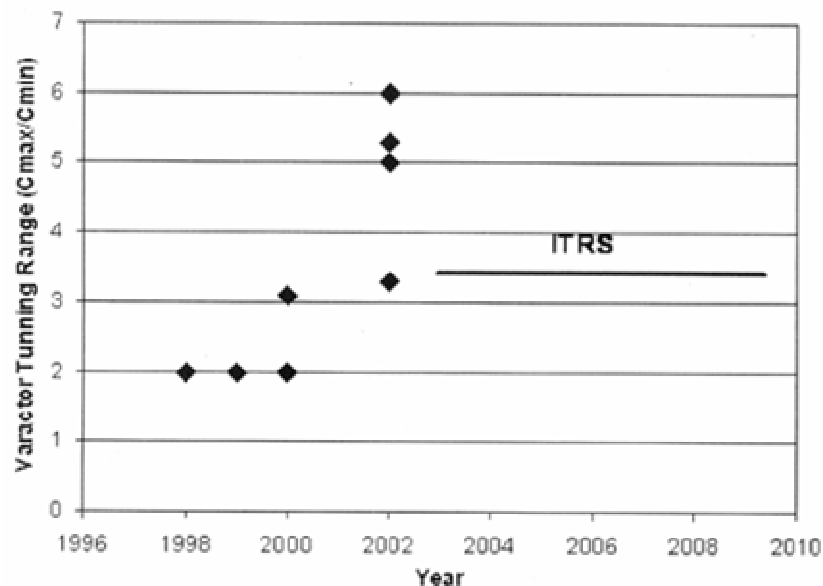
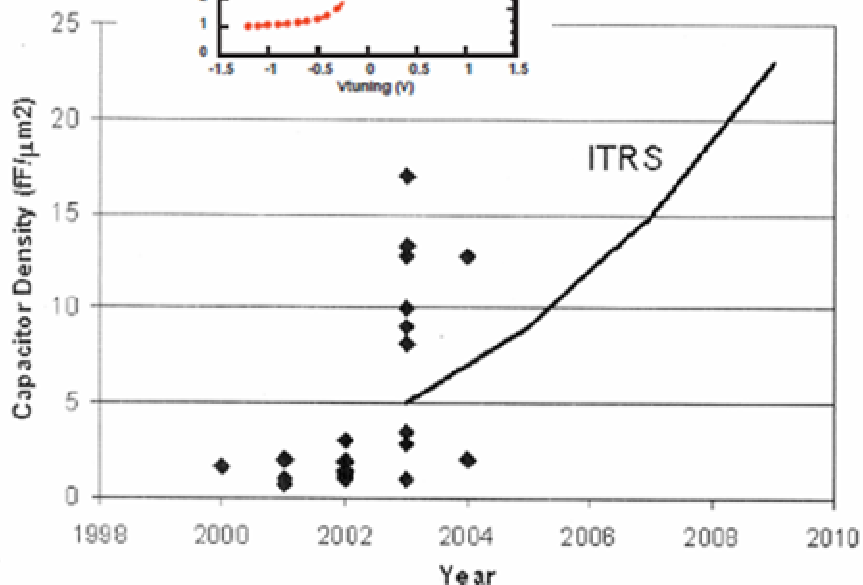
Sun-Jung Kim<sup>1</sup>, Byung Jin Cho<sup>1</sup>, M. B. Yu<sup>2</sup>, M.-F. Li<sup>1,2</sup>, Y.-Z. Xiong<sup>2</sup>, C. Zhu<sup>1</sup>, A. Chin<sup>1</sup>, and D.-L. Kwong<sup>2</sup>

<sup>1</sup>Silicon Nano Device Lab (SNDL), Dept. of ECE, National University of Singapore, Singapore 119260

(Tel: 65-6874 6470, Fax: 65-6779-1103, email: [alecho@nus.edu.sg](mailto:alecho@nus.edu.sg)); <sup>2</sup>Institute of Microelectronics (IME), Singapore



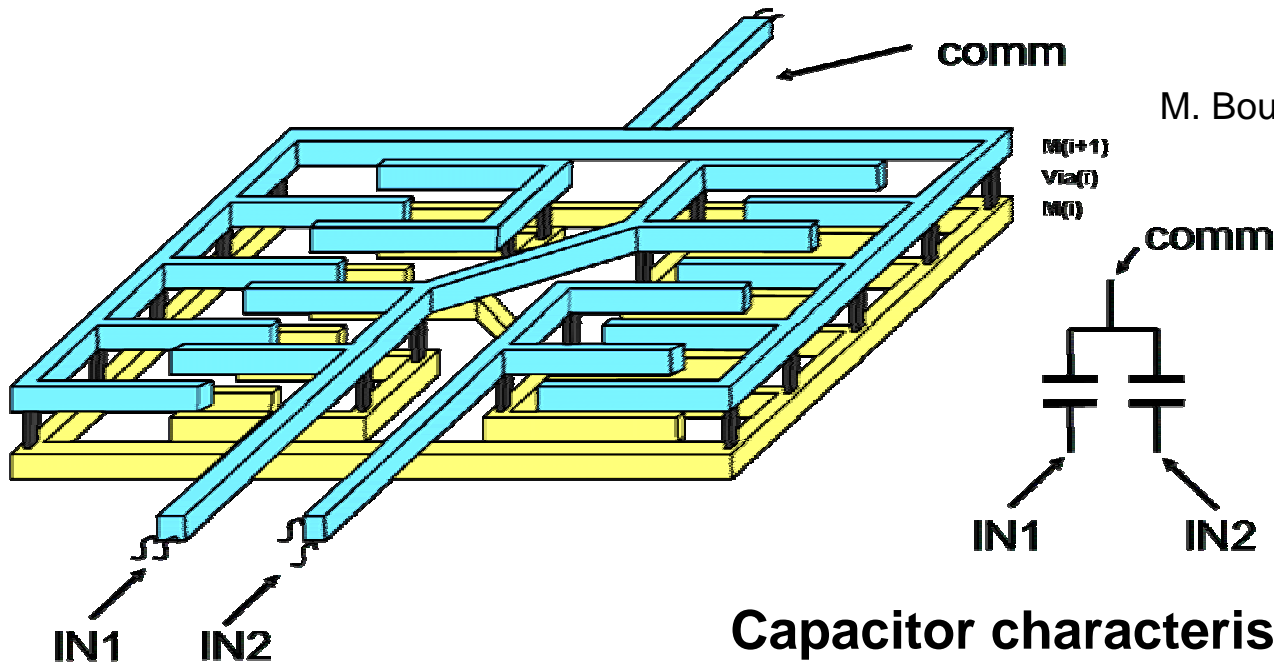
H. S. Bennett, et al., "Devices and Technology Evolution for So-Based RF Integrated Circuits,"  
IEE, ED, Vol. 52, No. 7, pp. 1235-1258, July 2005.



# 多層配線を用いた容量

配線の多層化に伴い、配線を用いた容量も現実的になった

- 櫛歯型等多種類利用される
- MIMにくらべ、ばらつき(ミスマッチ)が小さい



M. Boulemnakher, et al., ISSCC 2008.

Pipeline ADCで利用

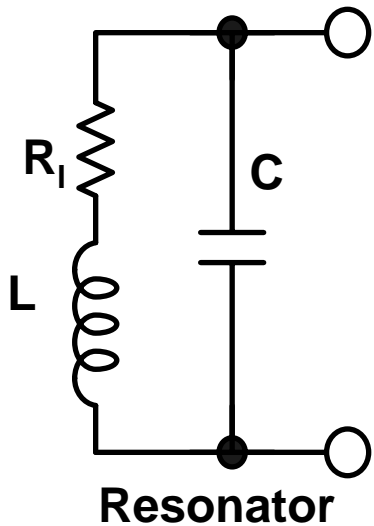
**Capacitor characteristic:**

- $2\text{fF}/\mu\text{m}^2$  (5 stacked metal layers)
- $C/C = 1/5000$



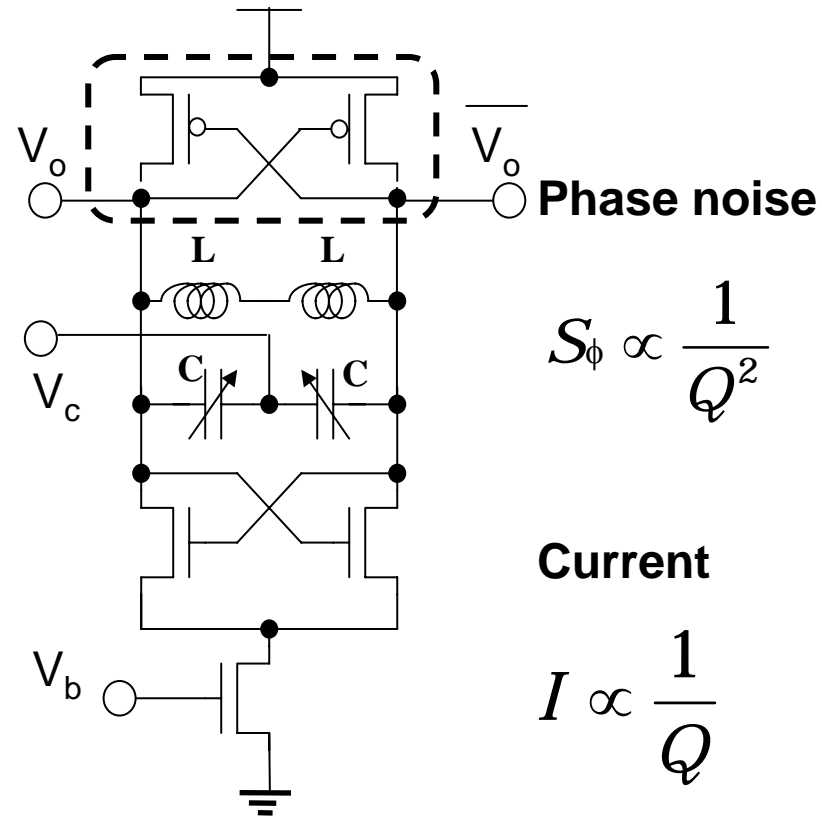
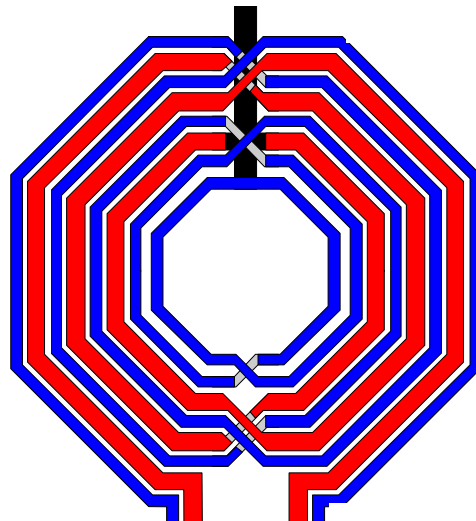
# RF回路におけるインダクタ

RF回路の基本性能はインダクタが決定する。高いQのインダクタが必要である。  
 オンチップインダクタのQは10前後が一般的である。



$$\omega_0 = \frac{1}{\sqrt{LC}} \quad Q = \frac{\omega L}{R_l}$$

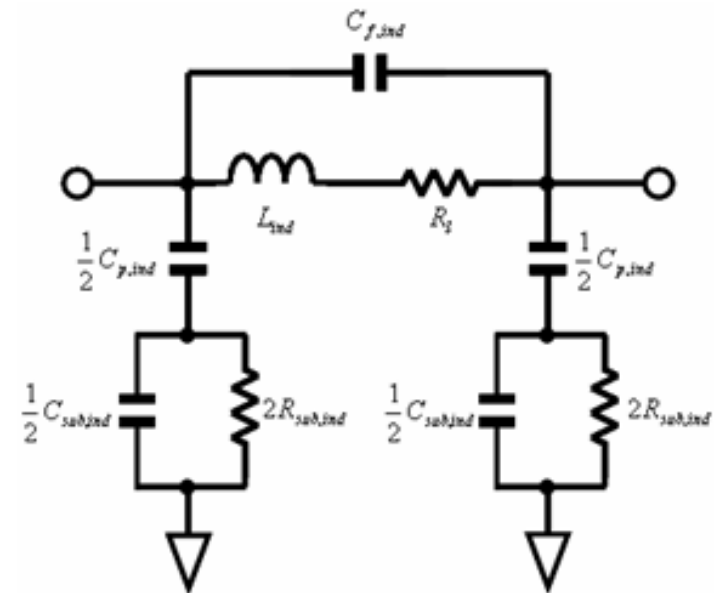
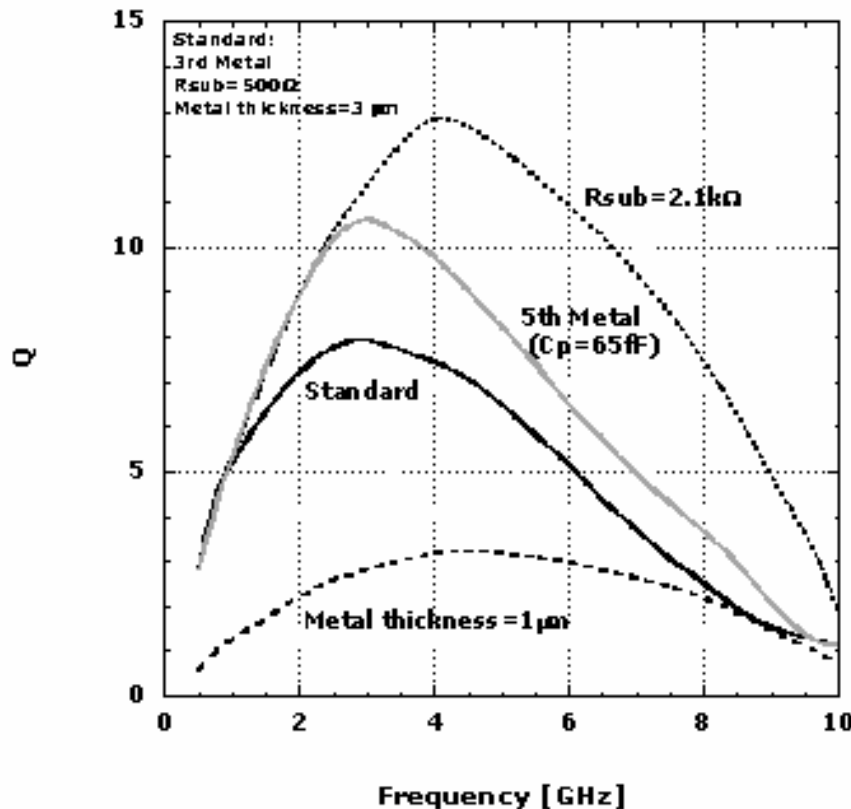
$$Q(\omega) = \frac{1}{2\pi} \cdot \frac{E_{\text{magnetic}} - E_{\text{electric}}}{E_{\text{loss/cycle}}}$$



# インダクタに対する要求

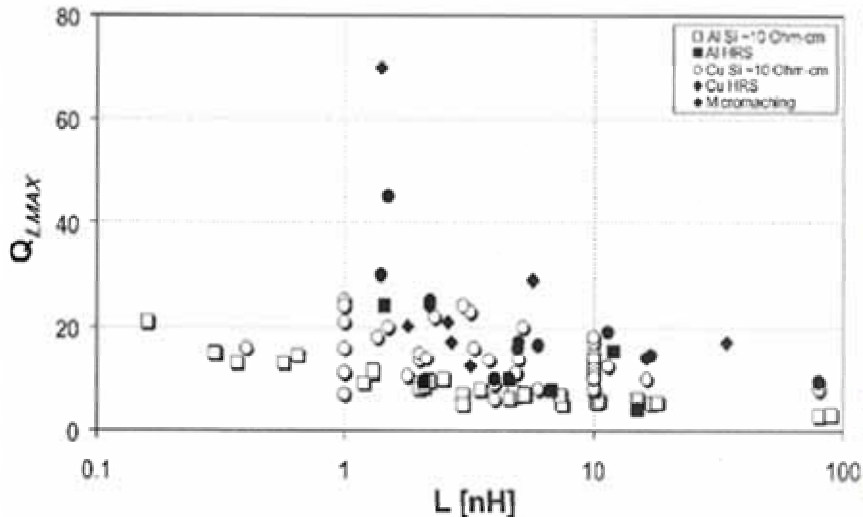
抵抗の少ない厚膜メタル、小さな寄生容量、低基板ロス(高抵抗)がポイント

High L/R and L/C ratio is needed

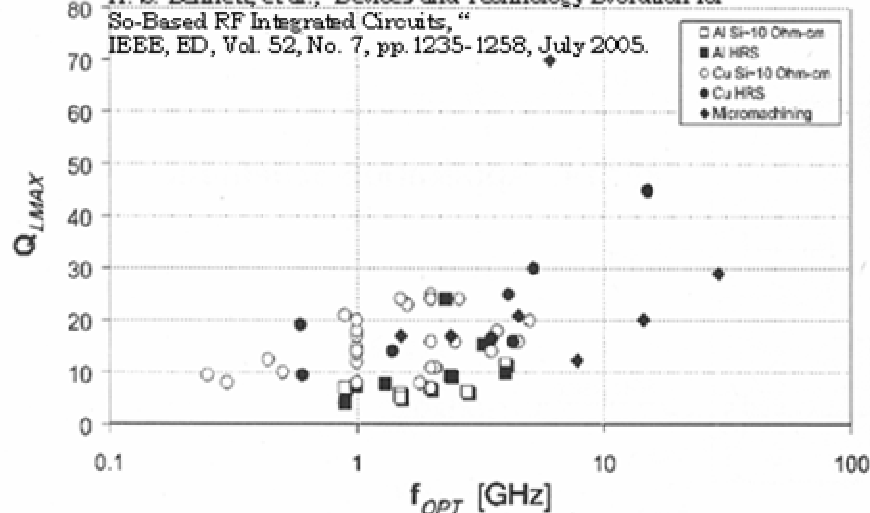


# オンチップインダクタの進歩

オンチップインダクタのQも上昇している。



H. S. Bennett, et al., "Devices and Technology Evolution for So-Based RF Integrated Circuits," IEEE, ED, Vol. 52, No. 7, pp.1235-1258, July 2005.



A low-cost 90nm RF-CMOS platform for record RF circuit performance  
 W. Jeamsakstri, D. Linten<sup>1</sup>, S. Thijts, G. Carchon, J. Ramos, A. Mercha, X. Sun, P. Soussan, M. Dehan, T. Chiarella, R. Venegas, V. Subramanian<sup>2</sup>, A. Scholten<sup>3</sup>, P. Wambacq<sup>4</sup>, R. Velghe<sup>5</sup>, G. Mannasert, N. Heylen, R. Verbeeck, W. Boullart, I. Heyvaert, M. I. Natarajan, G. Groeseneken<sup>6</sup>, I. Debuschere, S. Biesemans and S. Decoutere  
 IMEC, Kapeldreef 75, Leuven, Belgium 3001, <sup>1</sup> is also a PhD student at <sup>2</sup>VUB, Dept. ELEC-ETRO, <sup>3</sup> is also a PhD student at <sup>4</sup>KU Leuven, ESAT-Department, Leuven, B-3001 Belgium, <sup>5</sup>Philips Research Labs, Eindhoven, Netherlands, <sup>6</sup>Philips Research Leuven, Belgium.

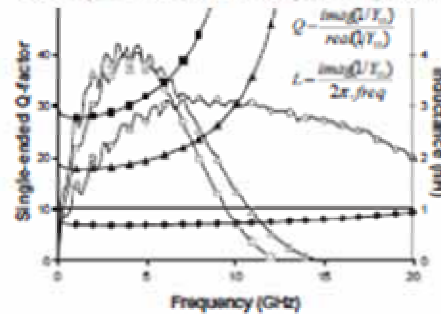


Fig. 9: Measured single-ended Q-factor/inductance for a 0.68nH (●/○), 1.78nH (▲/△) and 2.8nH (■/□) Above-IC inductor.

- Cu配線の普及
- 多層配線化
- 高比抵抗基板
- 実装技術の進歩

従来のパッシベーション膜の上にインダクタを形成  
 $Q=40$ を達成

VLSI Technology 2005

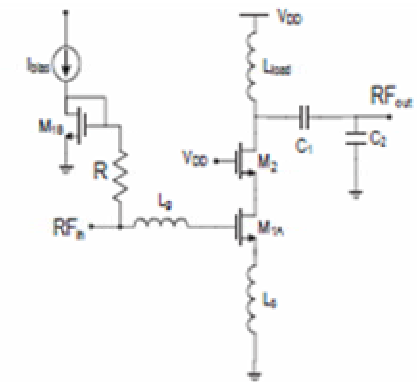
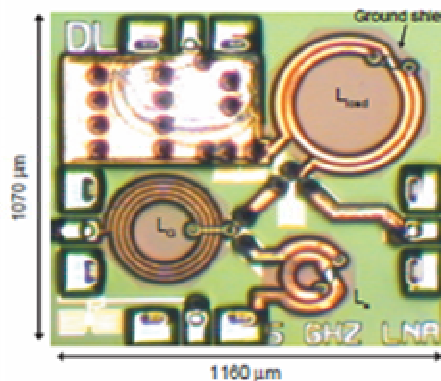
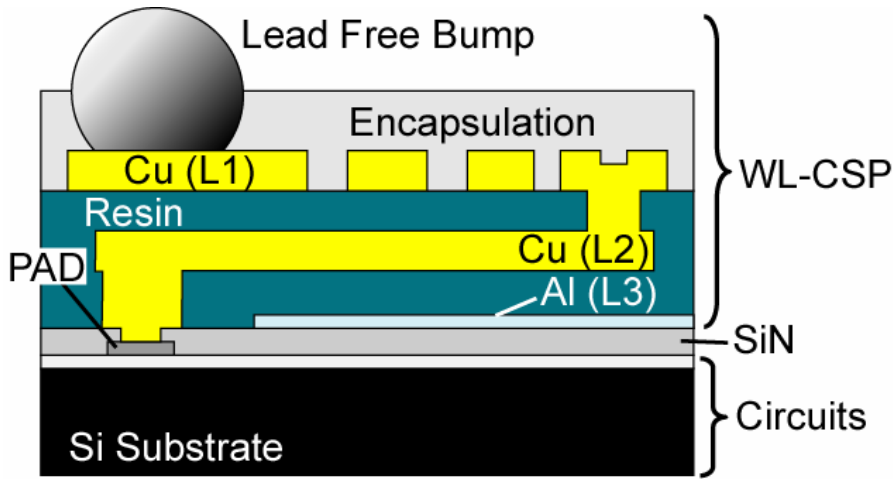


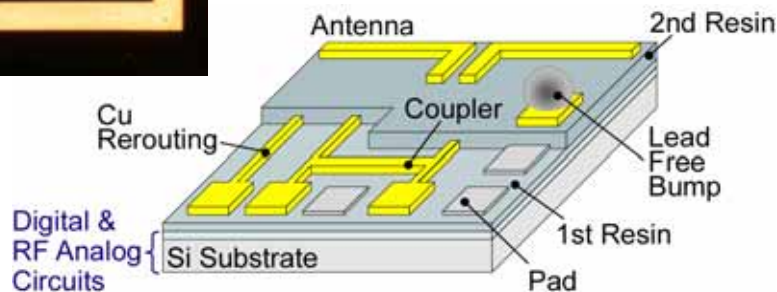
Fig 10: Microphotograph and schematic of the monolithic 5 GHz LNA with inductive source degeneration. The supply voltage is  $V_{DD}=1.2V$  for 4mA current transistor M1A, Transistor M1A M2 are respectively 110μm wide with 54 fingers, and 60μm wide with 20 fingers.  $L_p$ ,  $L_{load}$  and  $L_s$  are above IC inductors of 4nH, 2.7 nH and 0.7 nH with a single ended Q factor of 30,40 and 28 respectively.

# 再配線層を用いたインダクタ

## ウエハレベル・チップスケールパッケージ(WL-CSP)技術の利用



- ウエハの状態のままで銅の再配線、電極端子形成、および樹脂封止を行い、その後チップサイズに切り分けるパッケージ技術
- ICチップと同一サイズでパッケージング可能



低コスト

厚いメタル(10um)&絶縁膜(10um)

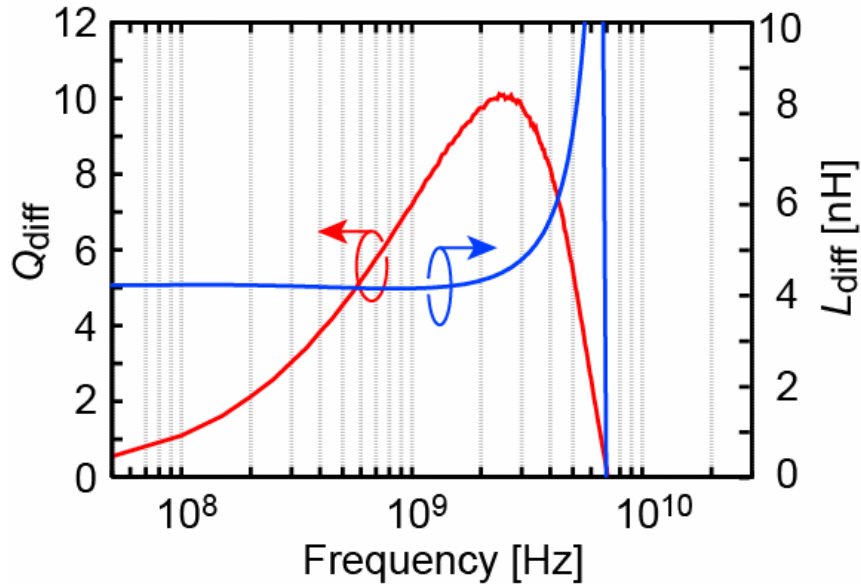
=低損失な受動素子

K. Itoi, et al., IEEE MTT-S IMS, pp. 197-200, 2004.

# WLPインダクタの特性

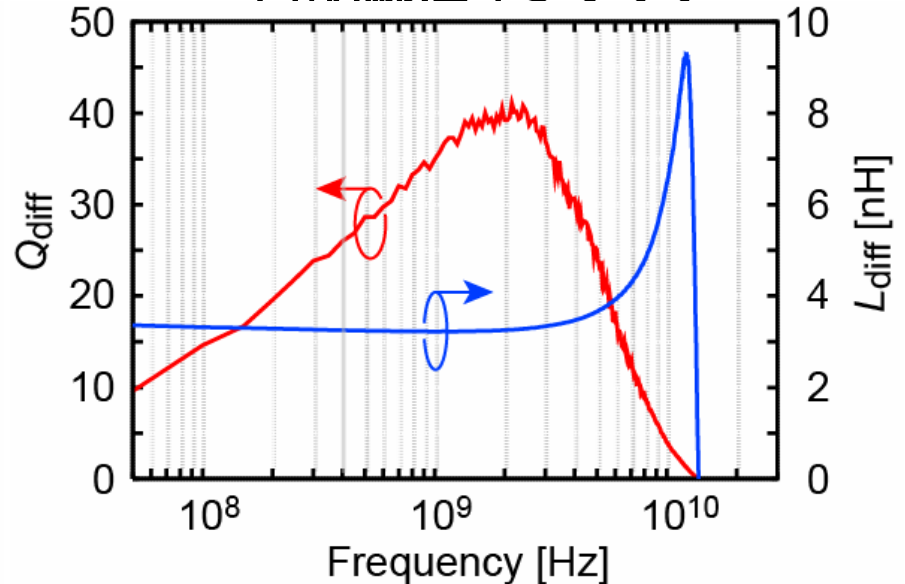
WLPインダクタは高いQ値を実現可能.

## オンチップインダクタ



( TSMC 0.18um RF option  
M6(最上層) Al layer  
 $Q_{max}: 10$  )

## 再配線層インダクタ

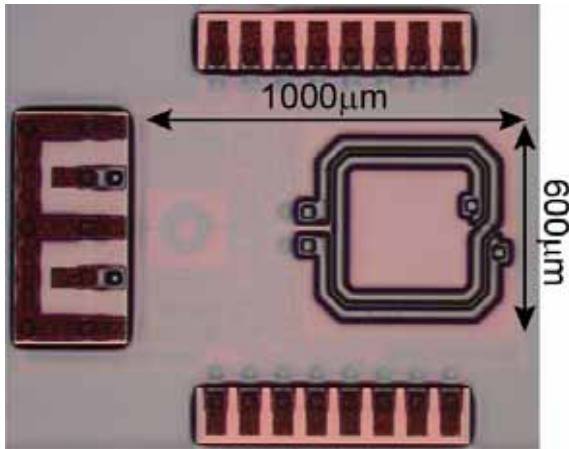


( 再配線層 M2(最上層) Cu layer  
外径540um, 2turn  
 $Q_{max}: 40$  )

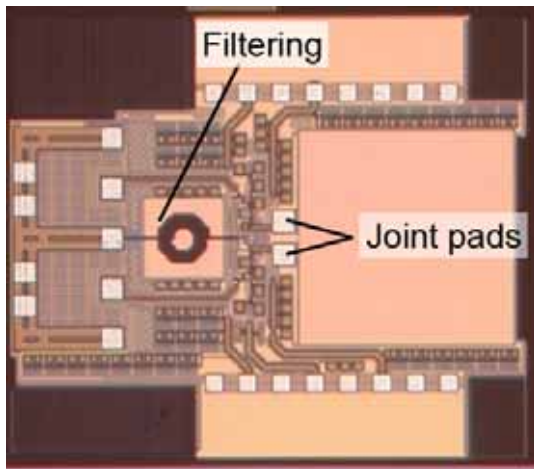
小林他(東工大益研):通信学会総合大会2008

# WLPインダクタを用いた発振器

WLP



コア回路 CMOS0.18 μm

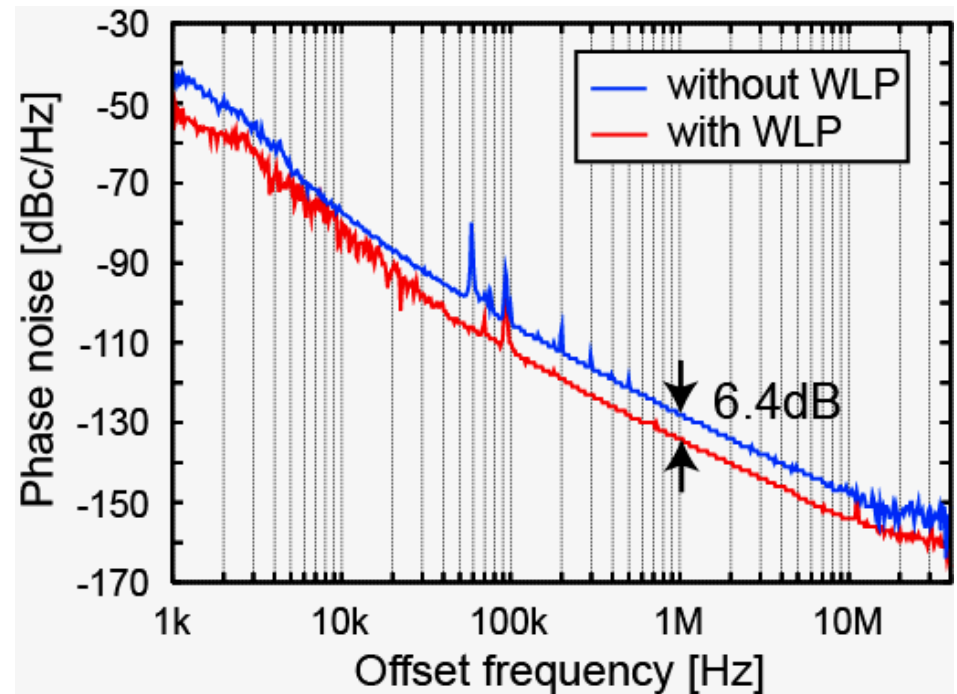


1.91GHz発振

位相雑音 -134dBc/Hz @ 1MHz

CMOSインダクタと比較して7dB改善

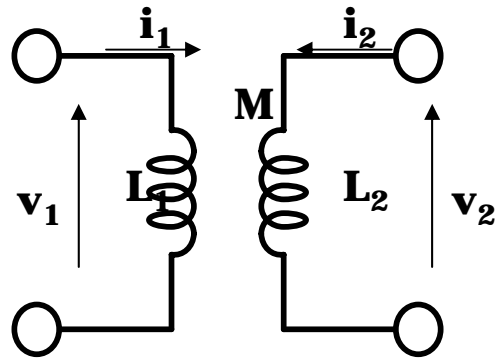
電力換算で80%の削減



小林他(東工大益研):通信学会総合大会2008

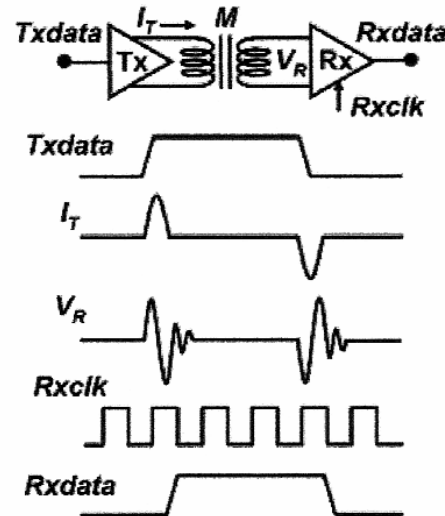
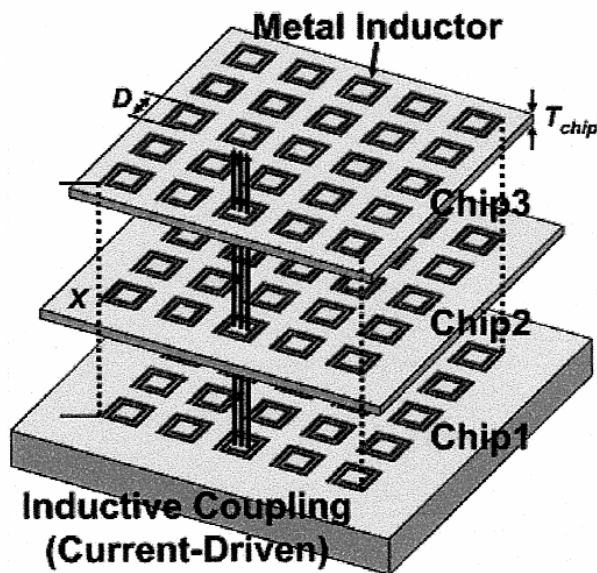
# インダクタ応用: 誘導結合によるチップ間データ伝送

インダクタ間の結合により積層チップのチップ間高速データ伝送が可能になった。



$$V_1 = L_1 \frac{di_1}{dt} + M \frac{di_2}{dt} \quad V_2 = M \frac{di_1}{dt}$$

$$V_2 = M \frac{di_1}{dt} + L_2 \frac{di_2}{dt} \quad M \propto \frac{\sqrt{L_1 L_2}}{X^3}$$



1.2Gb/s/ch, 45mW, 300 $\mu$ m-distance

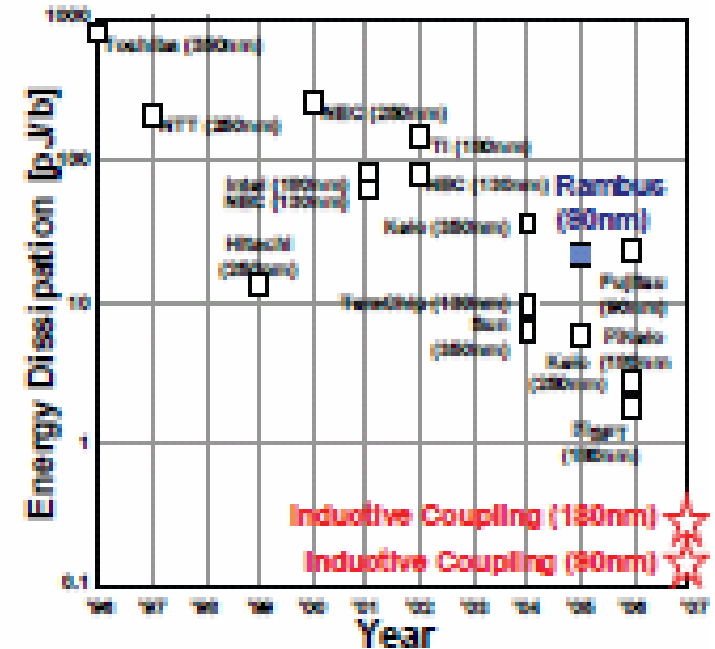
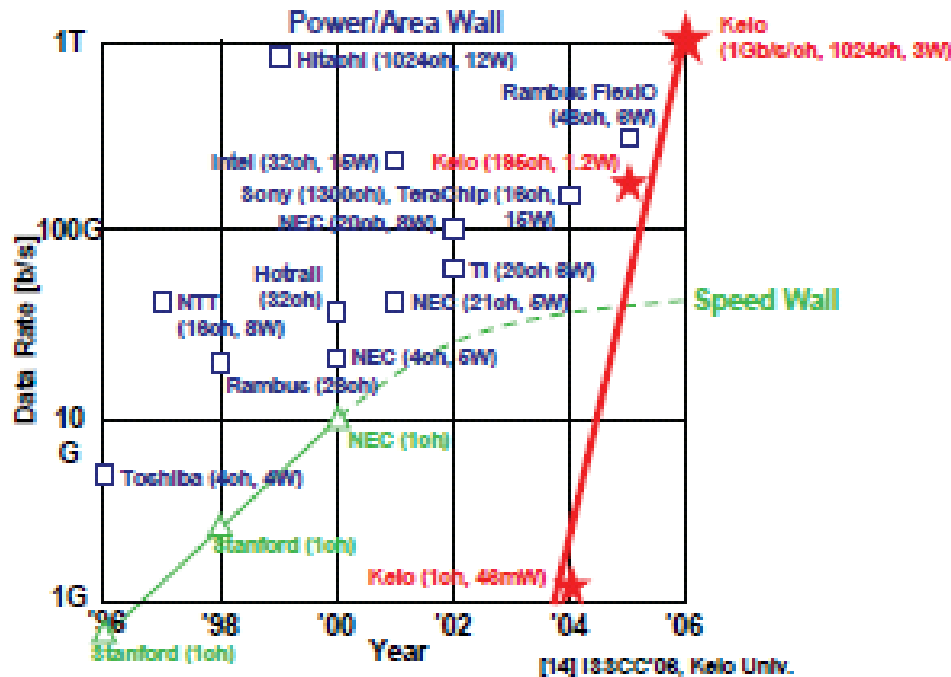
N. Miura, et. al., IEEE, Journal of Solid-State Circuits, Vol. 41, No. 1, pp. 23-34, Jan. 2006.

# 誘導結合によるチップ間データ伝送

1Gbps/channel の超高速信号伝送を140fJ/bの少ない伝送エネルギーで達成

Data rate: 1Gbps/ch  
Energy consumption: 140fJ/b

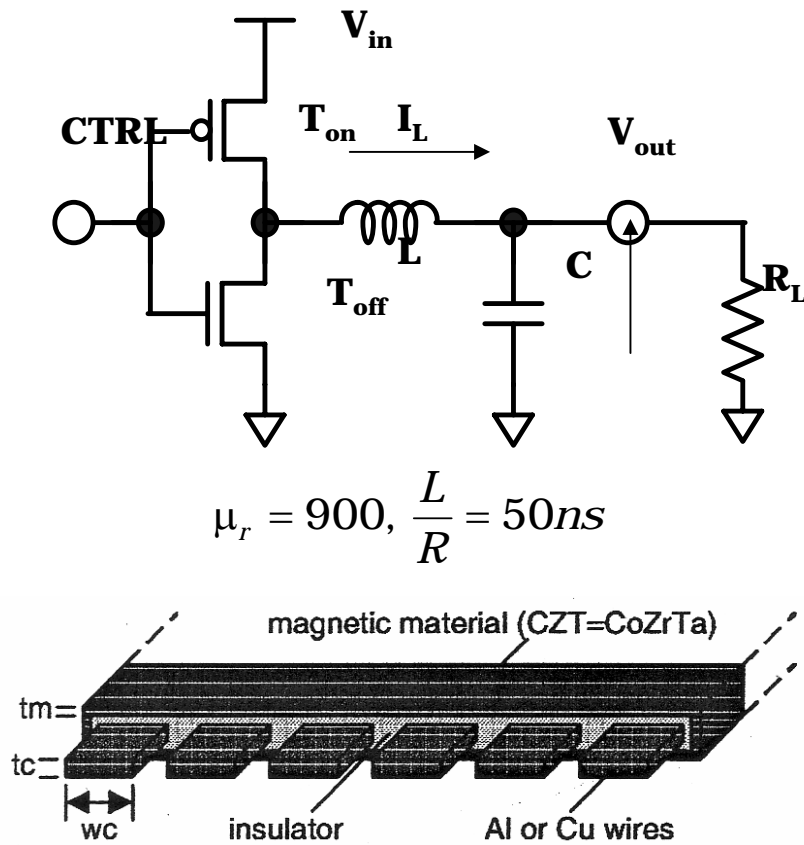
N. Miura, et. al., IEEE, Journal of Solid-State Circuits, Vol. 41, No. 1, pp. 23-34, Jan. 2006.





# オンチップマイクロ電源回路

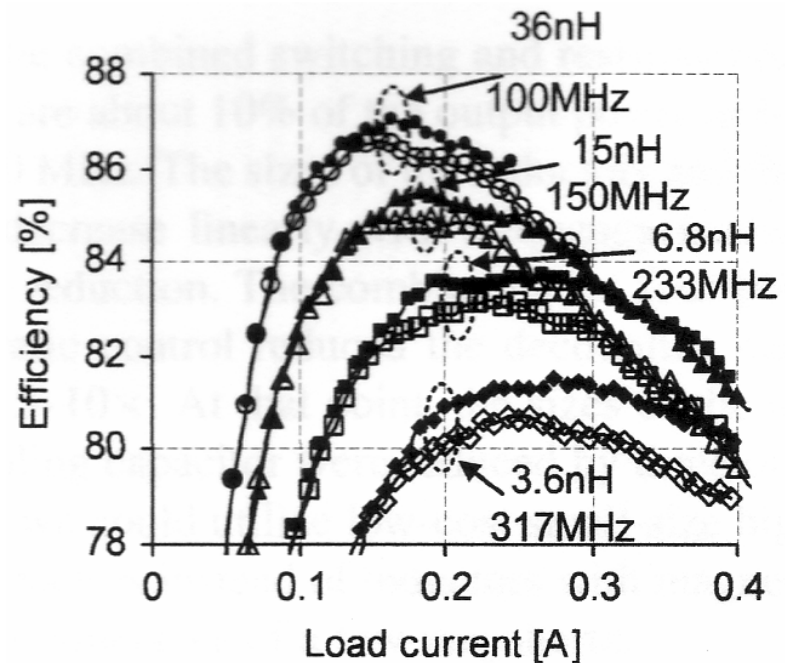
チップ上の各ブロックに電力を供給するマイクロ電源回路の研究がなされている。オンチップインダクタは小さいため、スイッチング周波数を数100MHzに高めている。インダクタンス増大のため磁性薄膜の導入が検討されている。



G. Schrom, et. al., Proc. ISLPED'04, pp. 263-268, 2004.

$$V_{out} = \frac{T_{on}}{T_{on} + T_{off}} V_{in} \quad \Delta I_L \propto \frac{1}{Lf} \quad Q = 2\pi \frac{fL}{R}$$

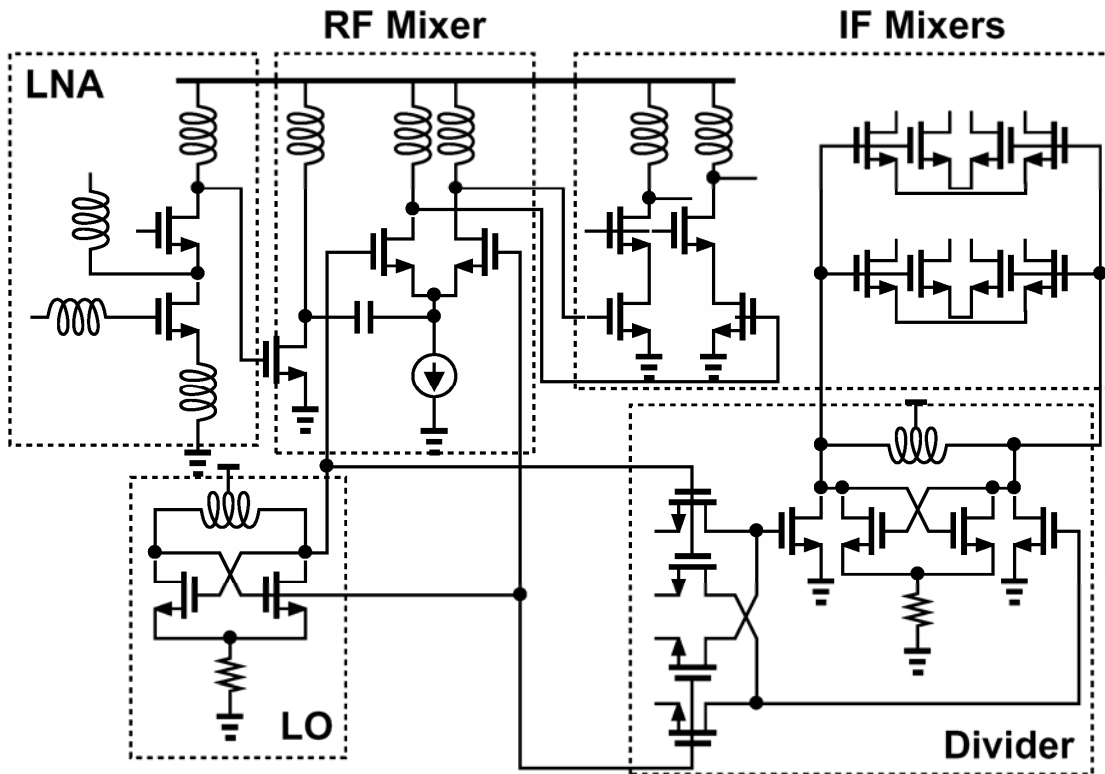
$$E_L = \frac{1}{2} LI^2, \quad P_L = \frac{f}{2} LI^2$$



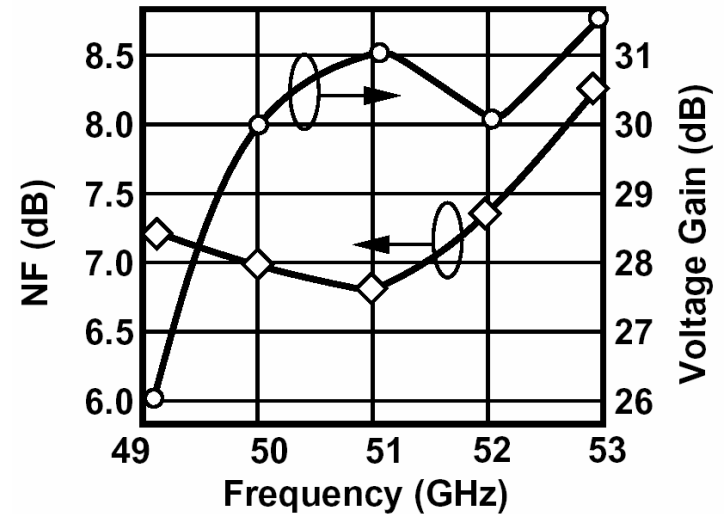
# 60GHz ミリ波CMOSレシーバー

CMOSの微細化により60GHzの無線伝送が可能に

90nm CMOSを用いて60GHzのレシーバーを実現

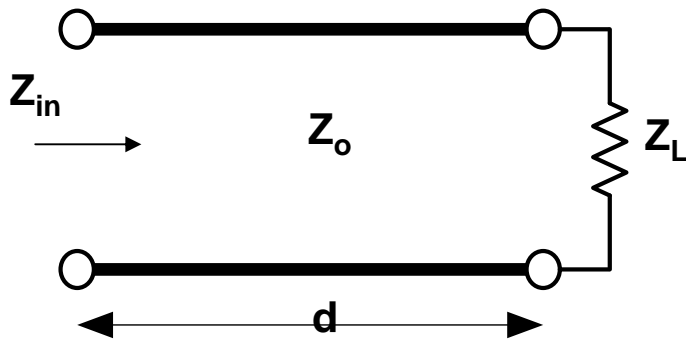


B. Razavi "A mm-Wave CMOS Heterodyne Receiver with On-Chip LO and Driver," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.188-189, Feb. 2007.



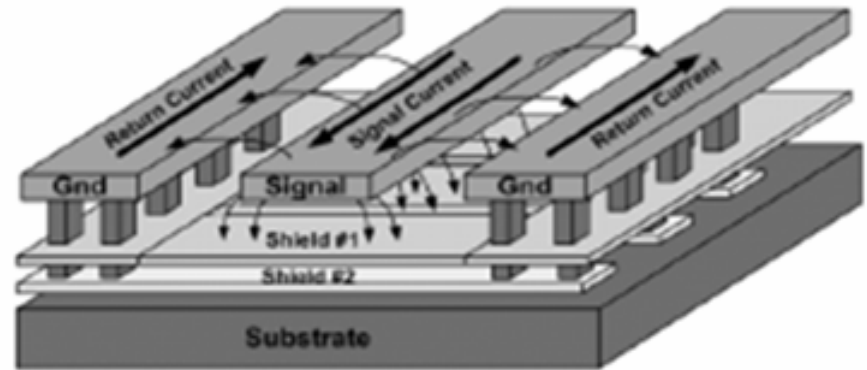
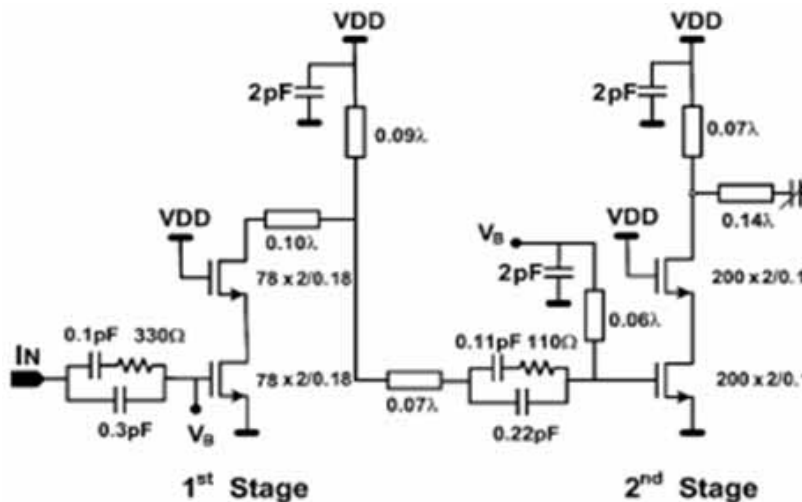
# トランスミッションラインの応用

ミリ波では波長が短いためトランスミッションラインが使用できる。  
インピーダンス整合や共振器、発振器として使用できる。



$$Z_{in} = Z_0 \frac{Z_L + jZ_0 \tan \beta d}{Z_0 + jZ_L \tan \beta d}$$

$$Z_{in} \left( \frac{\lambda}{4} \right) = \frac{Z_0^2}{Z_L} \quad Z_{in} \left( \frac{\lambda}{4} \right) = \infty \text{ when } Z_L = 0 \text{ resonator}$$



Coplanar transmission line

# ミリ波 オンチップ フェーズドアレイシステム

ミリ波では波長が数mmになるので、チップ上にアンテナを集積することが可能  
給電位相の変化により電子的にビームフォーミング可能

オンチップ上に4つのアンテナを配置

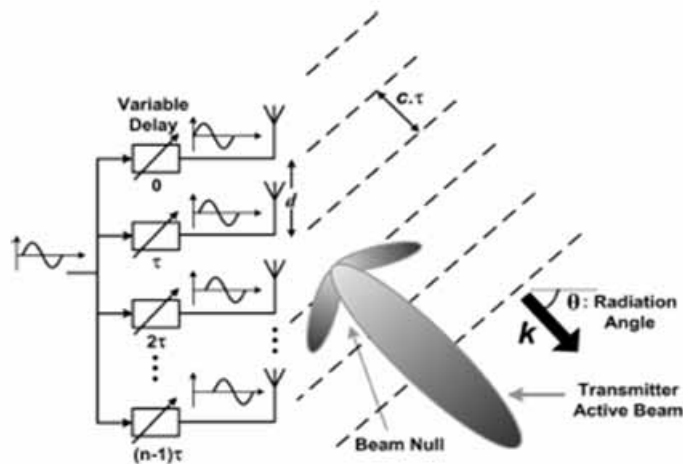
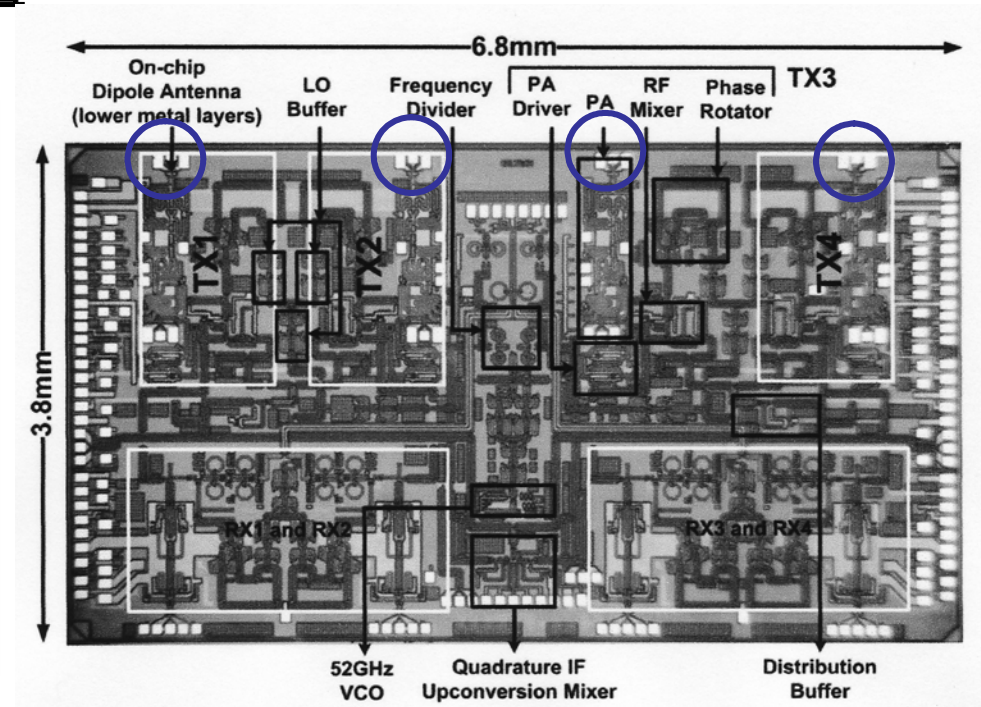


Fig. 1.  $n$ -element phased-array transmitter.



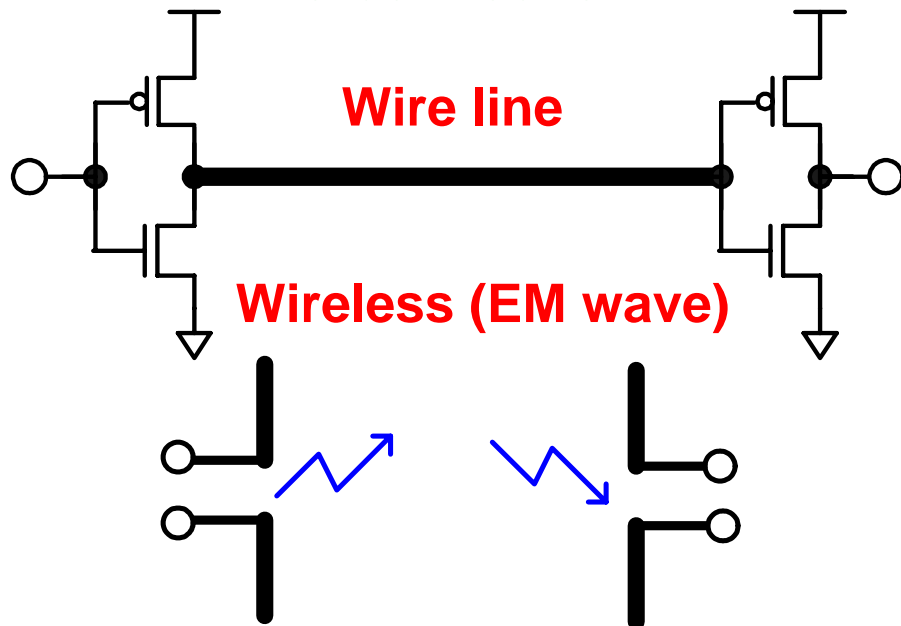
A. Natarajan, et. al., IEEE, Journal of Solid-State Circuits, Vol. 40, No. 12, pp. 2502-2514, Dec. 2005.

A. Natarajan, et. al., IEEE, Journal of Solid-State Circuits, Vol. 41, No. 12, pp. 2807-2819, Dec. 2006.

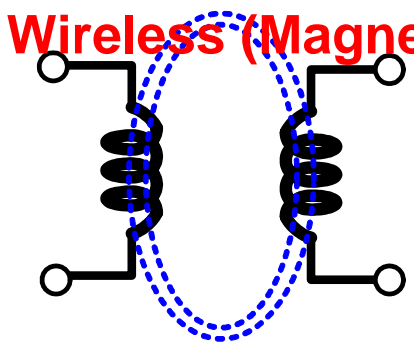
# 配線技術の様々な応用

配線技術の活用により様々な応用が可能になる

Interconnection



Wireless (Magnetic)



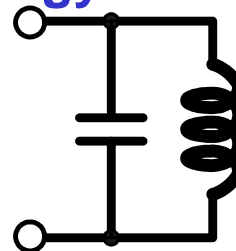
Metallization

Wire

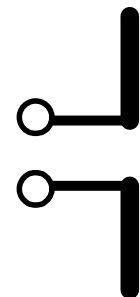


Resonator

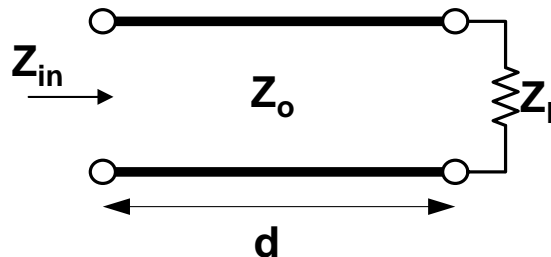
Energy conversion



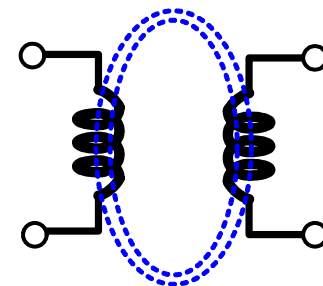
Antenna



Transmission line



Transformer



# まとめ その1

---

- **微細化とアナログ特性**

- 微細化による $f_T$ 向上で60GHzなどミリ波応用が可能に

- 低電圧動作により本質的にSNRが劣化

- 利得の低下によりパイプライン型ADCなどが性能劣化

- 逐次比較型ADCなど、OPアンプを用いないADCの検討が盛んに

- ハロー注入はアナログ特性を劣化

- ドレイン抵抗劣化・利得低下
    - $V_T$ ミスマッチ劣化

- **デバイスミスマッチとその補償回路技術での対応**

- $V_T$ ミスマッチ

- DACにおけるデジタル補正技術
    - 比較器におけるオフセット補正技術

- 1/fノイズ

- チョッパ型増幅器

# まとめ その2

---

- RF・アナログ回路

## 容量が重要

- 高密度化
- 多層配線の利用

## インダクタも重要

- Qの向上:再配線層を用いたインダクタ
- インダクタを用いたチップ間伝送
- オンチップマイクロ電源

## ミリ波用途の出現

- 微細化による $f_T$ 向上
- トランスミッションラインの応用
- オンチップアンテナ