

システム集積回路技術の 発展と実装の役割

松澤 昭

東京工業大学
大学院理工学研究科

内容

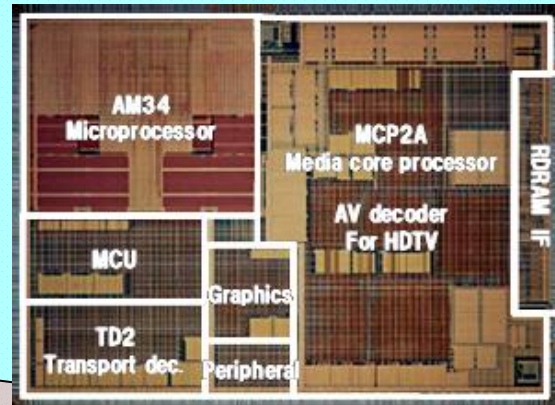
- ・ SoCとその課題
- ・ 実装技術への期待
- ・ まとめ

SoCとその課題

デジタル家電用SoCの開発

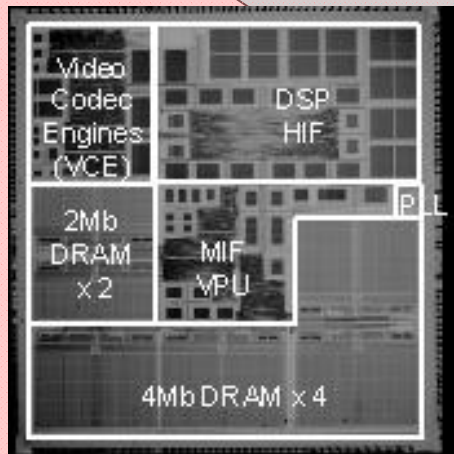
大規模システムのチップ集積技術がデジタル家電時代を拓いた。

High throughput processing technology



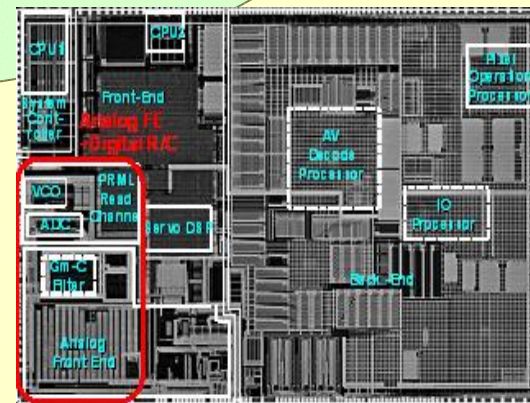
For DTV

Low power technology



For mobile video

Mixed signal technology

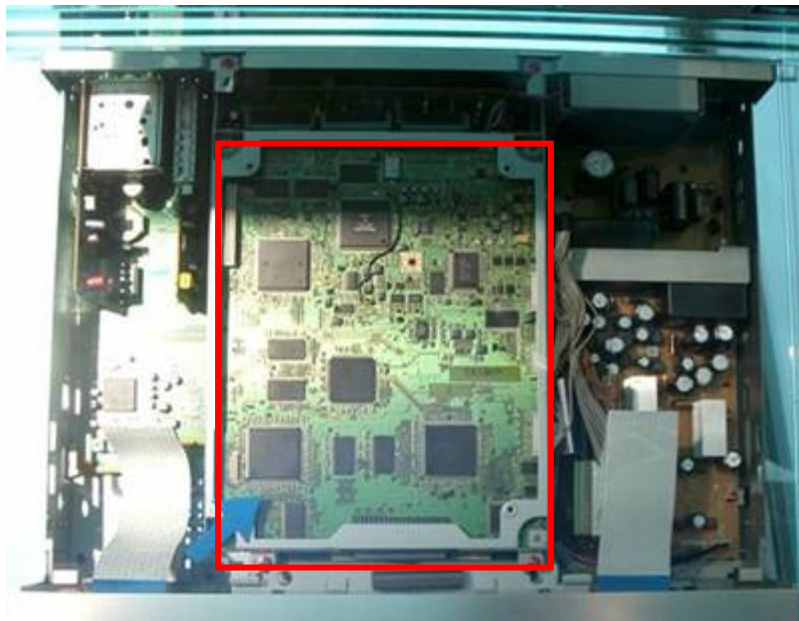


For DVD

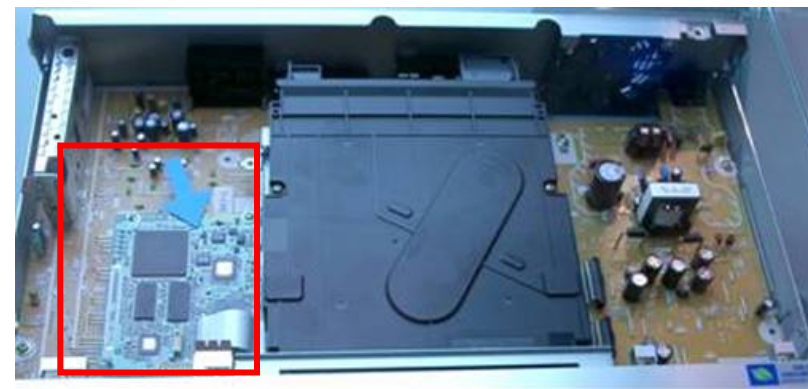
DVD Recorderにみる部品削減効果

- ・SoCの進展により従来3チップ必要だったものが1チップに集積可能になった。
- ・このためケース内部のボードは驚くほど簡単になっている。
- ・これが性能向上とコストダウンに寄与している。

2000年モデル

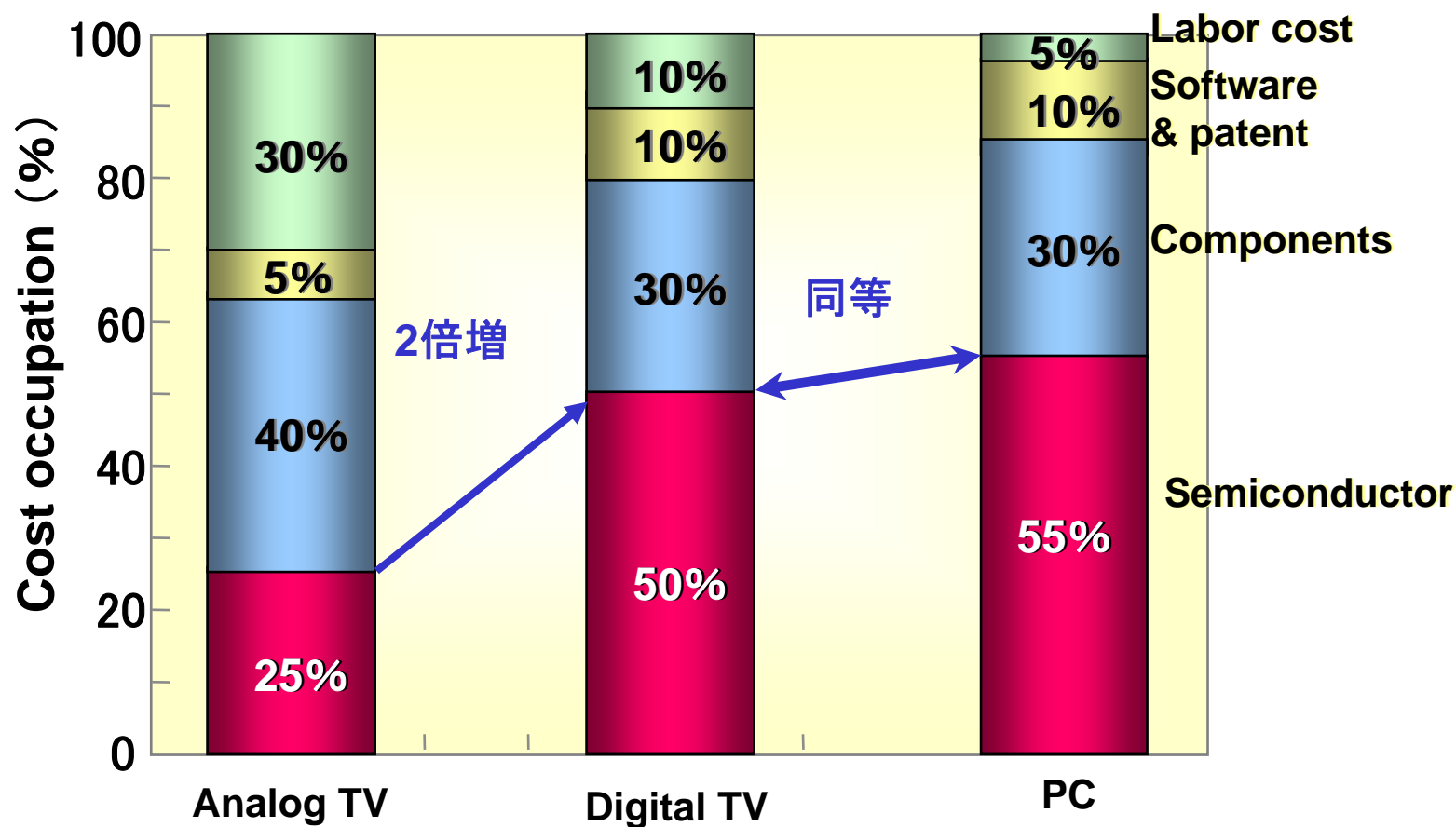


2003年モデル



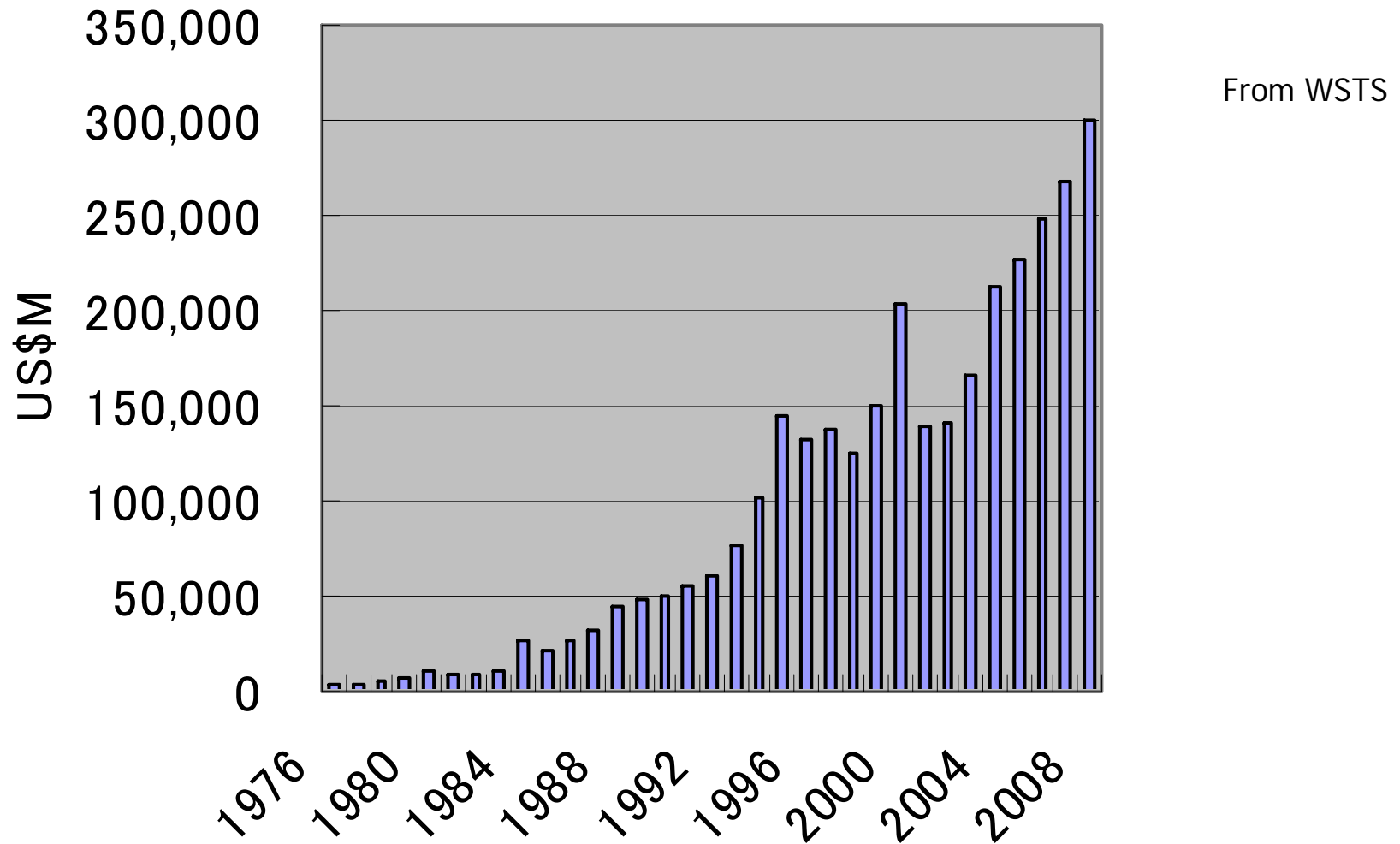
デジタル情報家電用機器のコスト構成

機器のデジタル化によりコスト構成はPCと殆ど同じになった。
半導体投入比率は倍増している。機器=半導体の時代になった。



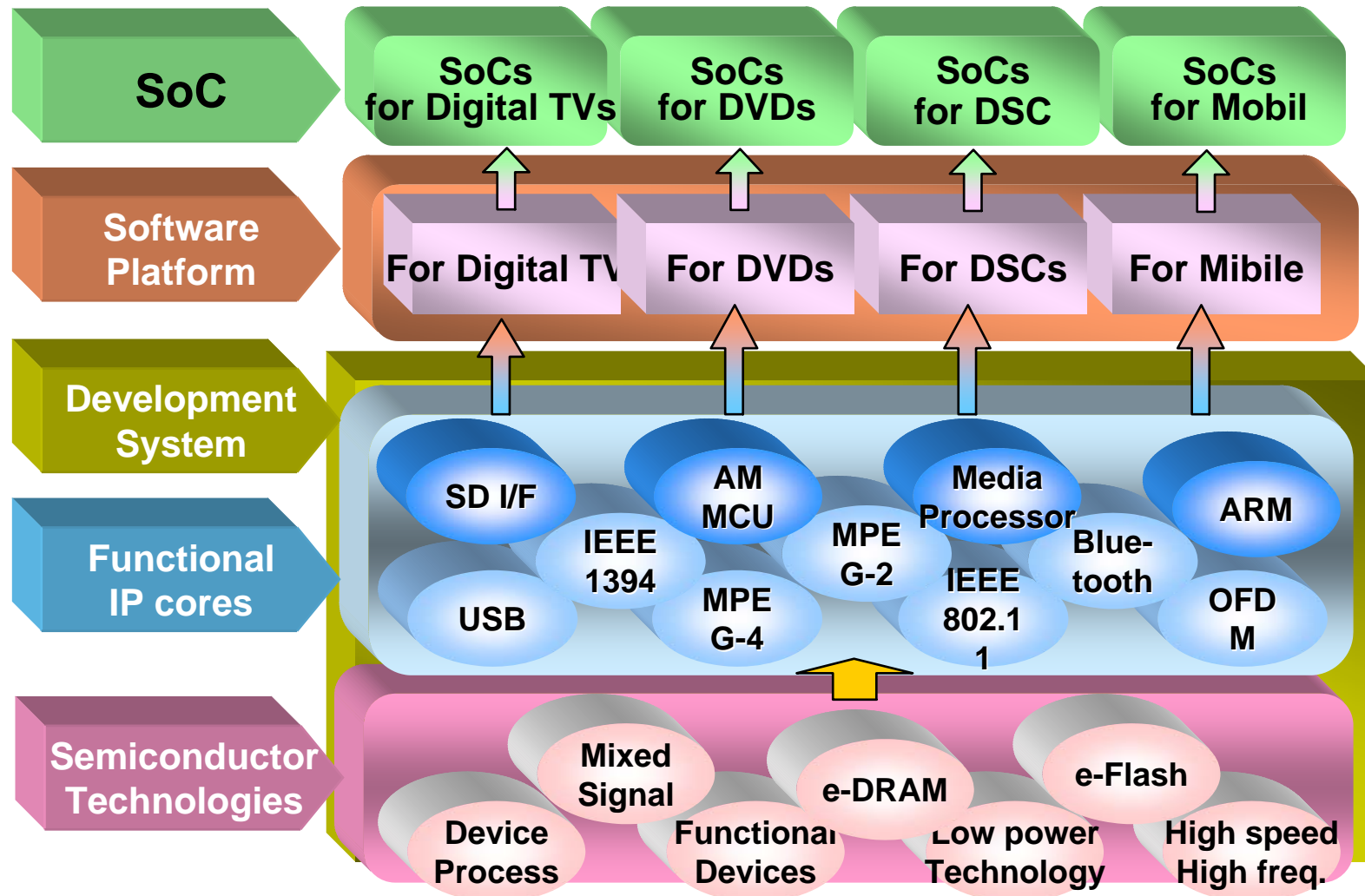
半導体ビジネスの成長

半導体ビジネスはいまだに成長産業である。



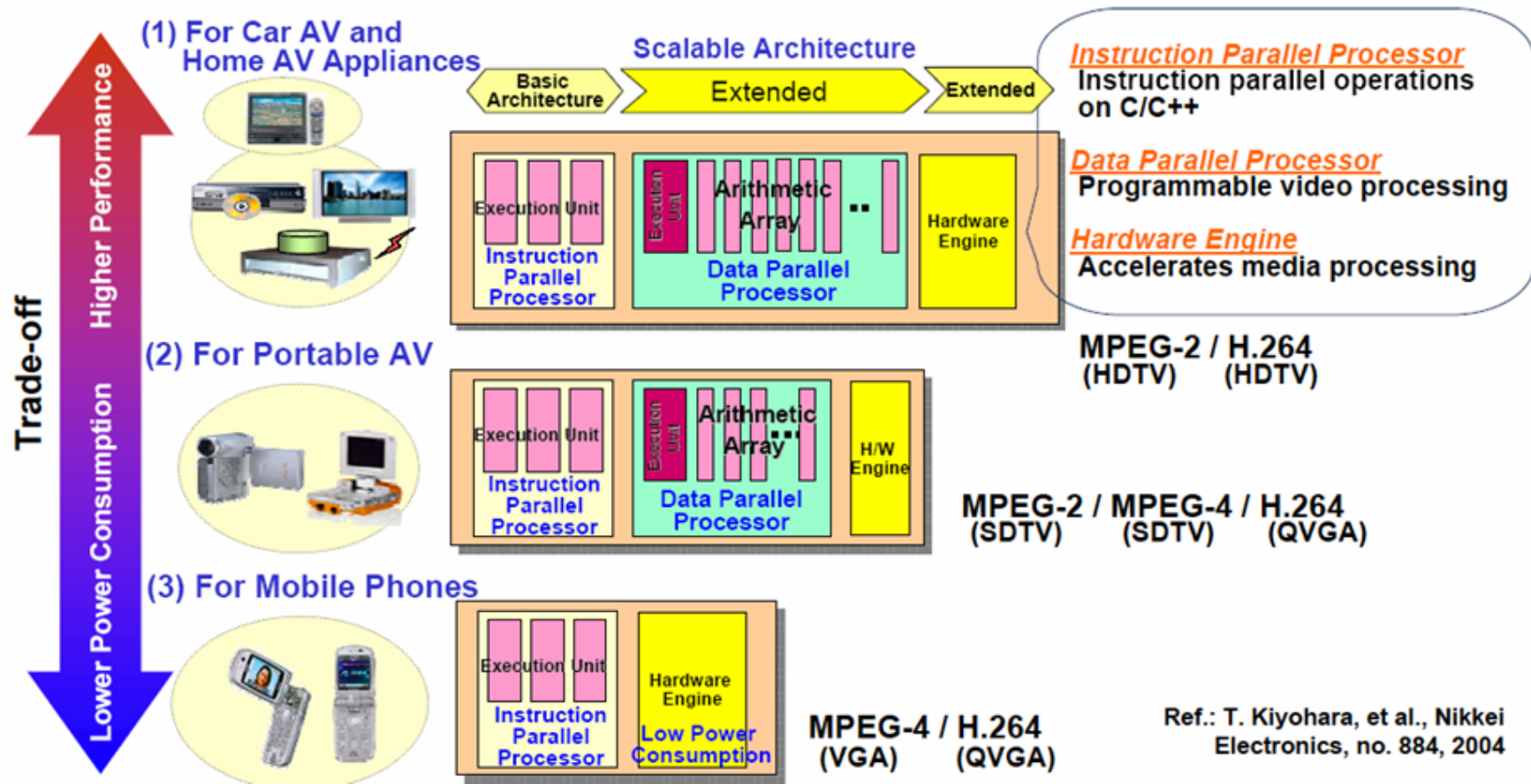
SoCの開発プラットフォーム

SoCはシステム・ソフトウェアから回路・デバイスまでの開発プラットフォームを確立している



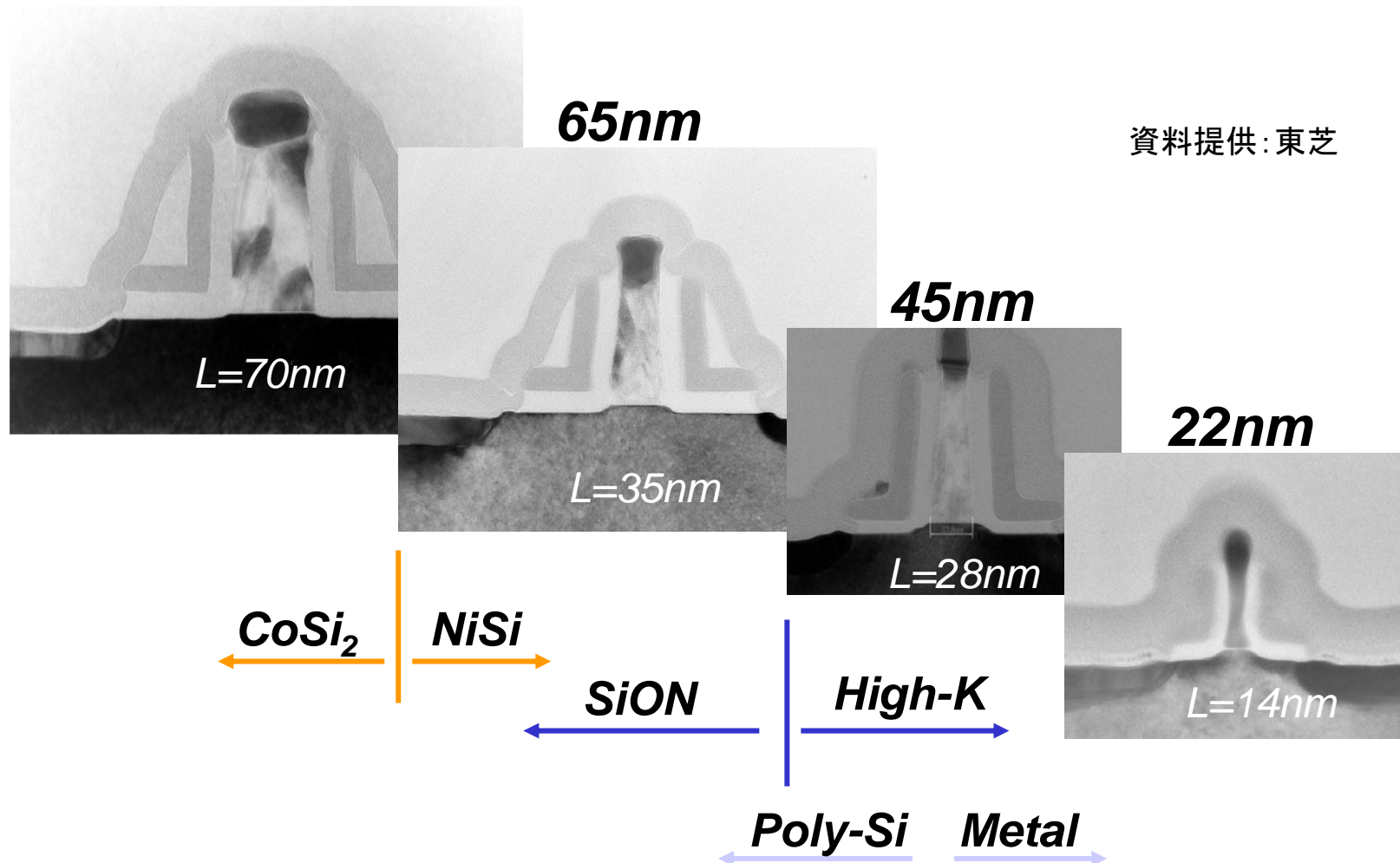
デジタル家電用SoCアーキテクチャ

統一されたスケーラブルなアーキテクチャが主流に
ソフトウェア開発効率向上と用途毎のコスト・性能の達成の両立が必要



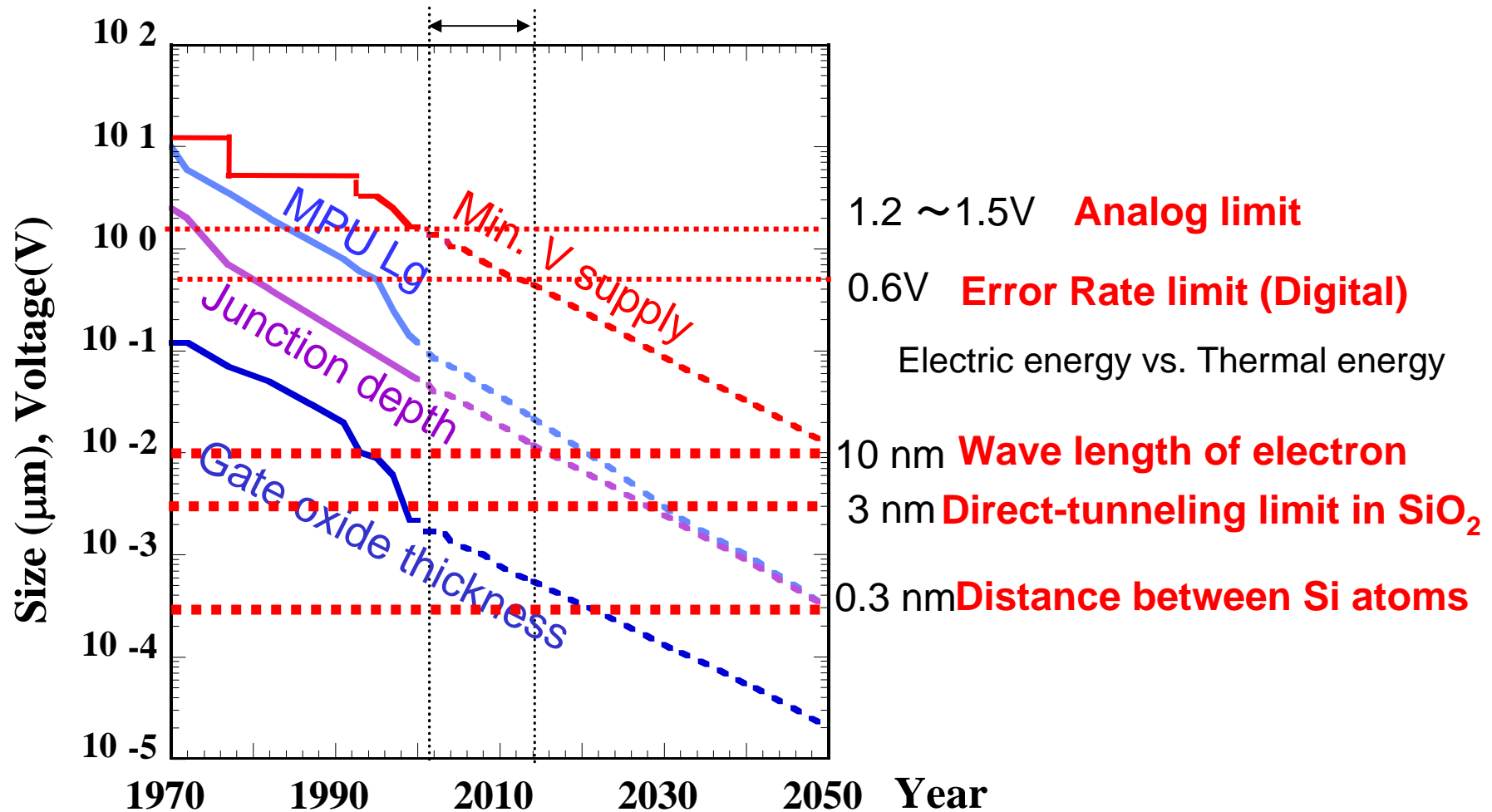
微細化

90nm トランジスタレベルでの微細化は進められているが、、、



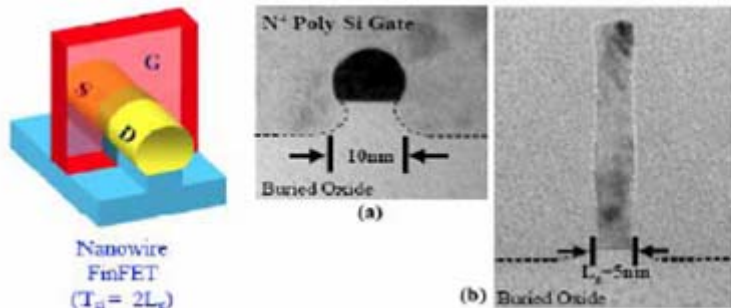
微細化にまつわる様々な限界

集積回路技術はすでに様々な限界に直面している。

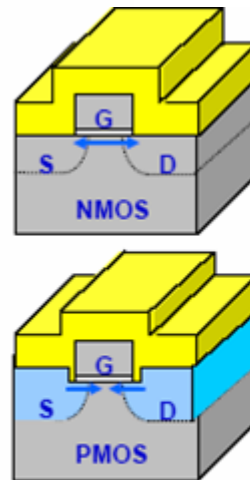
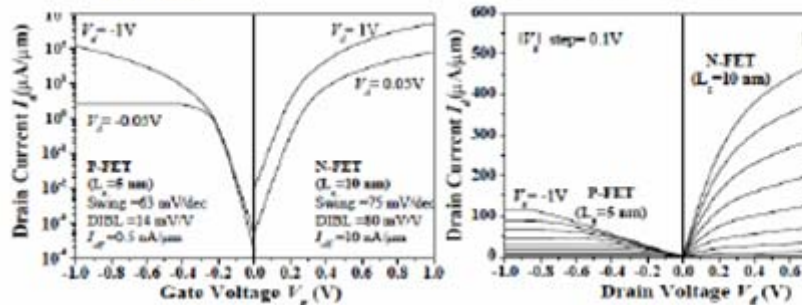


性能向上技術の開発

ナノワイアFin-FET



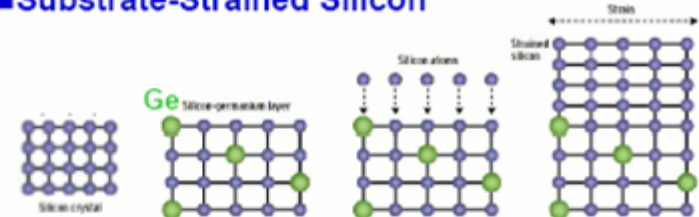
19.1. TSMC
Symp. on
VLSI Tech.
2004



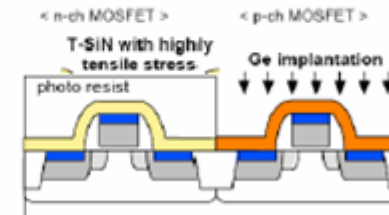
・歪みシリコン

Mark Bohar, Intel

Substrate-Strained Silicon



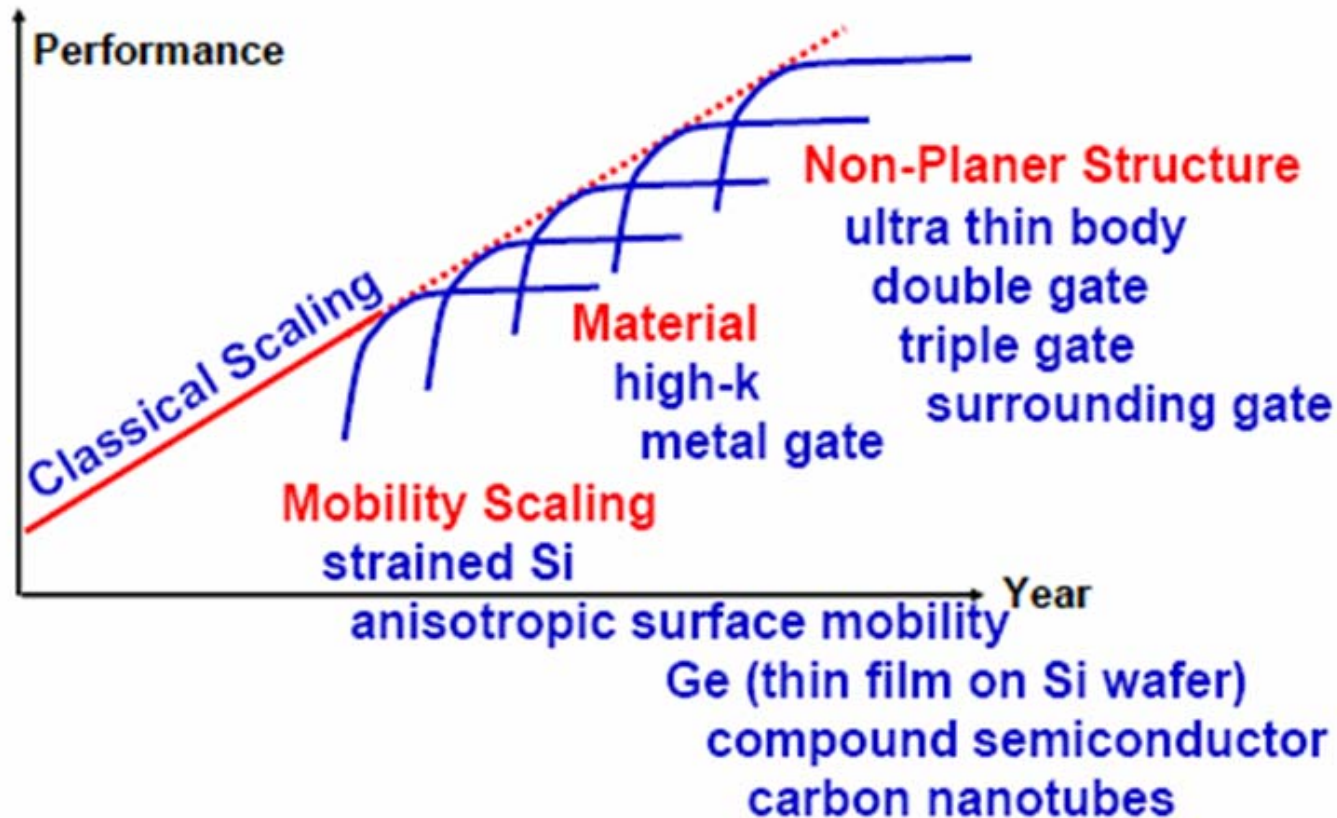
Process-Induced Strained Silicon



■10-25% higher Ion, 80-100% Ioff reduction, 15% P_{active} reduction

テクノロジーブースター

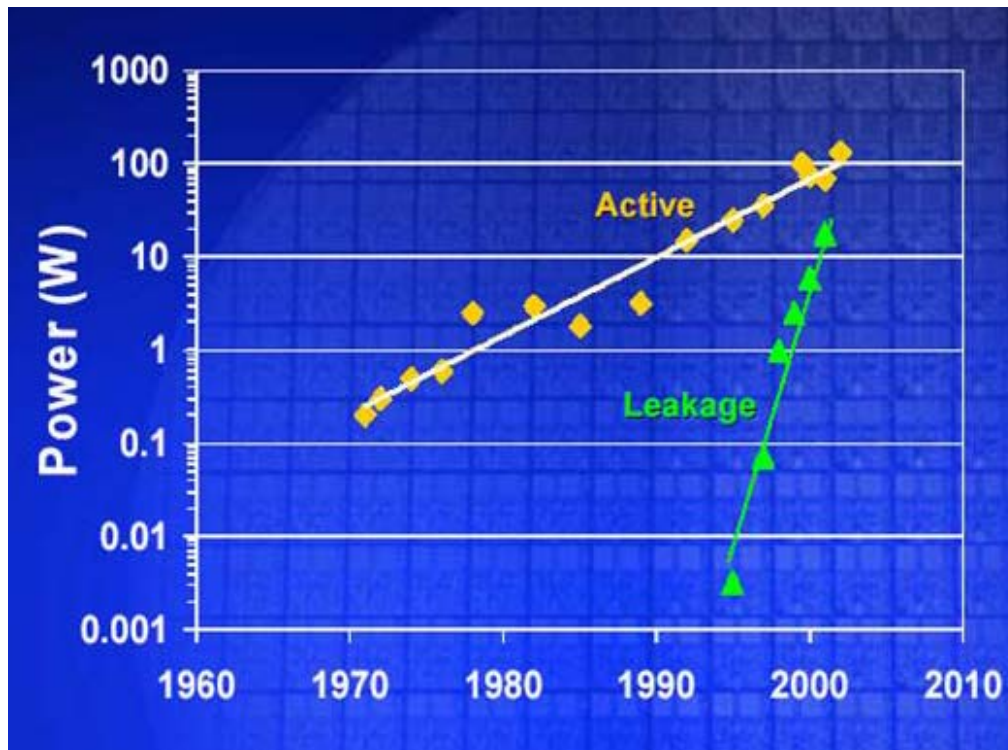
スケールリング則による性能向上は飽和するので、性能を向上させる各種技術（テクノロジーブースター）が開発されている。
しかし、開発費がかかる割りに1世代限りの性能向上であり、効果も従来のスケールリング則を上回るものではない。



VLSI技術最大の危機：消費電力の増大

プロセッサの消費電力は100Wに達し、限界に直面している。
しかもリーク電流が急速な伸びを示している。

プロセッサの消費電力推移



$$P_d \approx f_{clk} \cdot C \cdot V_{dd}^2$$

・これ以上クロックを上げられない

$$I_{leak} = I_{sub} + I_g$$

$$I_{sub} \approx \exp\left(\frac{-qV_T}{nkT}\right)$$

$$I_g \approx \exp(5.6V_{gd} - 10T_{ox} - 2.5)$$

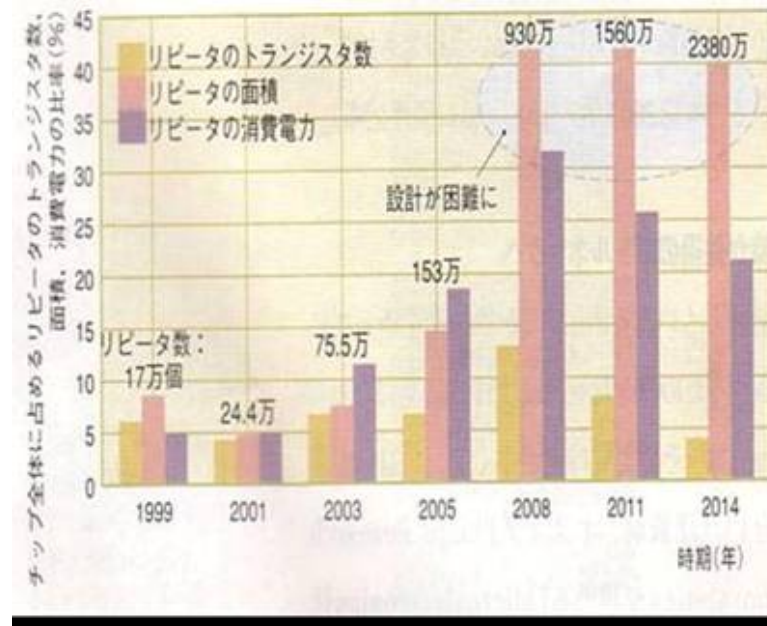
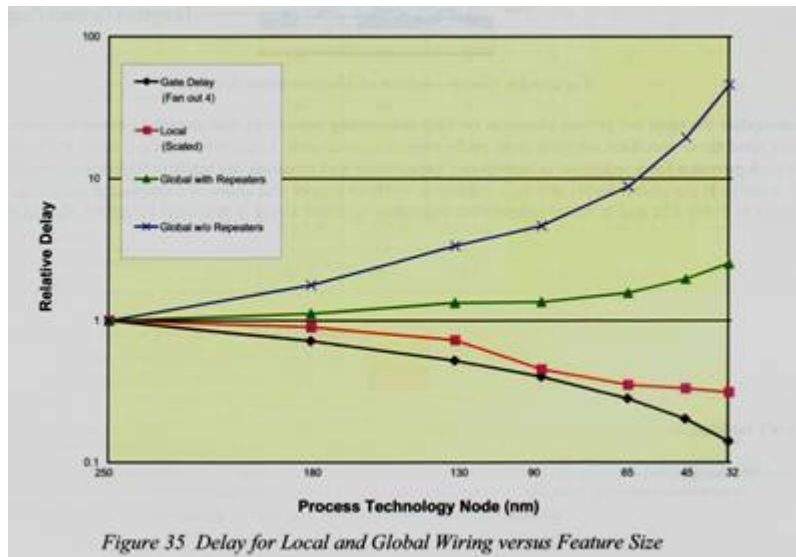
- ・これ以上 V_T を下げられない
- ・これ以上ゲート酸化膜を薄くできない

Gordon E. Moore, ISSCC 2003.

超高速動作の課題

- ・ 配線遅延時間が短縮される目処は殆どなさそうである。
- ・ リピーターの面積・消費電力が急増し、許容限界を超える。
- ・ メモリー間のデータ転送時間が70%程度となりCPU単体の速度向上効果が少ない

→ 今後クロック周波数増加による高速化は飽和する
並列化やメモリーインターフェースの見直しで処理能力向上の方向へ

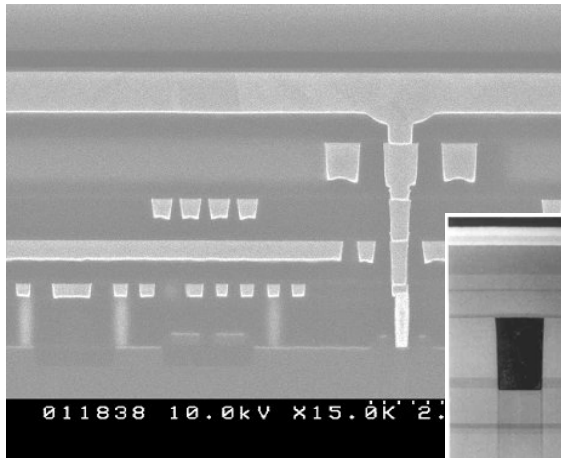


ITRS 2001 Edition, pp. 261.

日経マイクロデバイス: 2003年8月号, pp.26

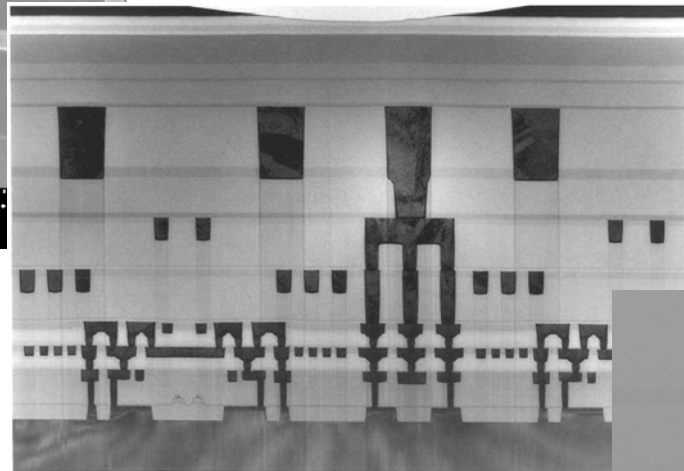
微細化と配線の逆スケールリング

130nm Node 5層Cu配線構造

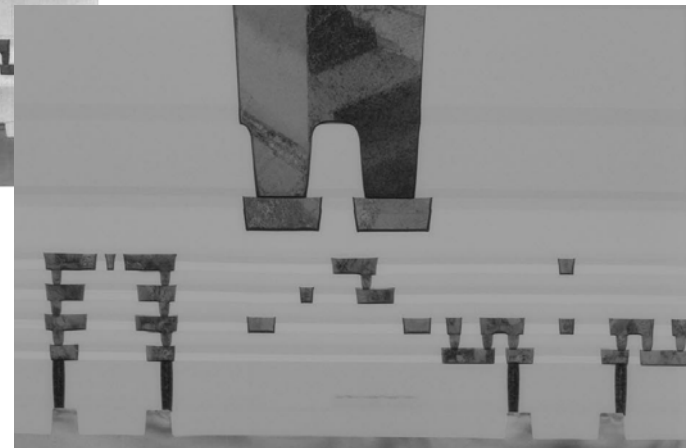


長距離Global配線におけるRC遅延の深刻度を反映して、逆スケールリングの程度は世代が進むとともに大きくなっている

90nm Node 6層Cu配線構造



65nm Node 6層Cu配線構造



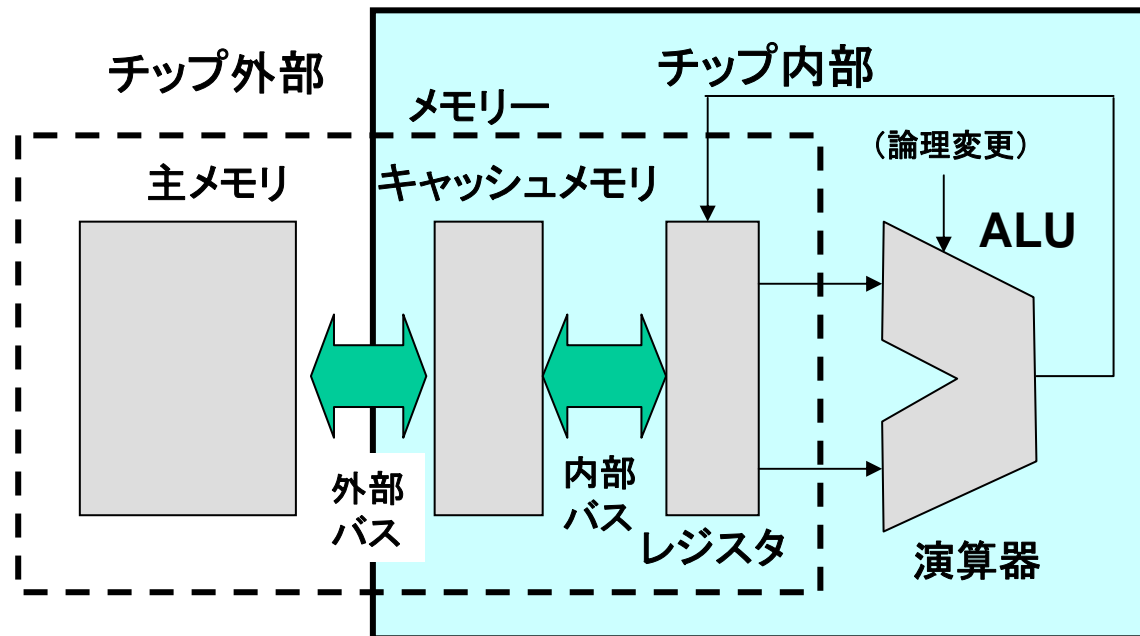
資料提供: 東芝

超高速動作要求と消費電力増大の主犯

通常のマイクロプロセッサの構成では1クロックあたり3つ程度の処理しかできない。

処理能力増大要求 → クロック速度の増大 → 配線遅延時間縮小
消費電力増大

マイクロプロセッサの構成

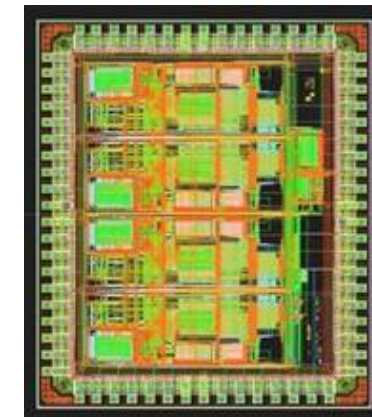
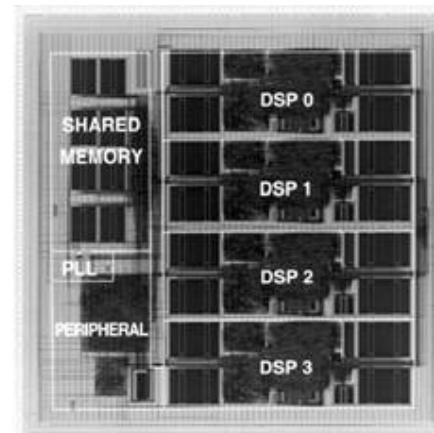
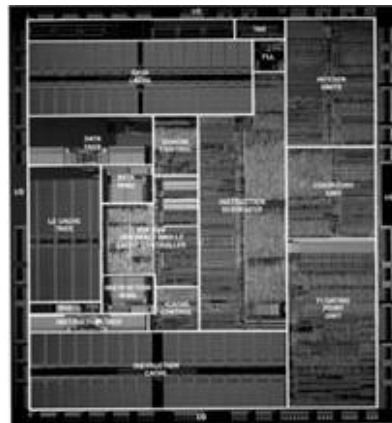


LSI構成と消費電力

LSIの構成の違いにより同一の処理能力でも消費電力は3桁違う。
汎用プロセッサが最も電力を消費する。

	MPU	DSP	Dedicated LSI
Clock (MHz)	450	50	25
Parallelism	2	16	96
GOPS	0.9	0.8	2.4
Pd (mW)	7000	110	12
Pd (mW)/GOPS	7800	138	5

3 order's difference

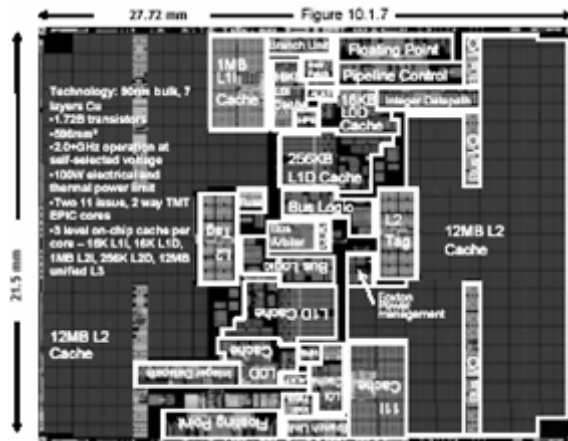


Courtesy,
Prof. Brodersen,
UCB

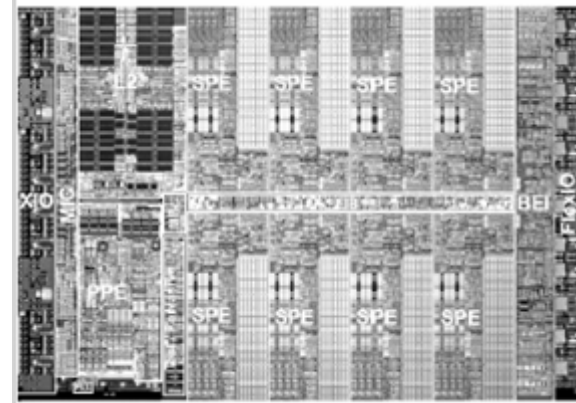
マルチコアプロセッサ技術

プロセッサの性能向上はクロック周波数ではなく、マルチコア化・並列化による

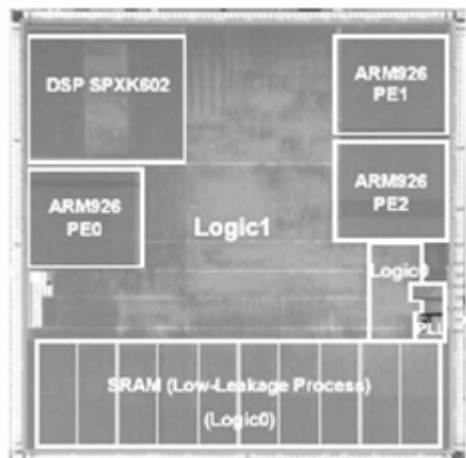
Intel *2 CPU*



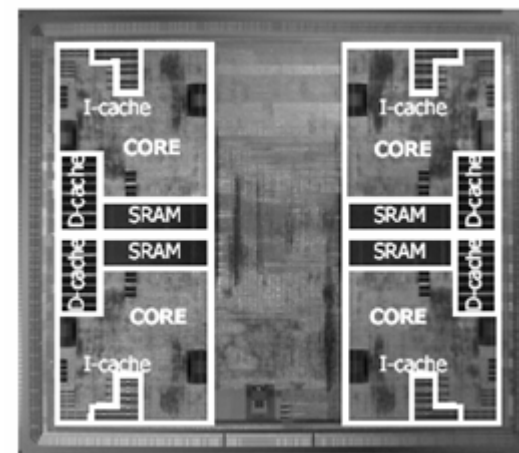
IBM, Sony, Toshiba *(1+8) CPU*



NEC *3 CPU*



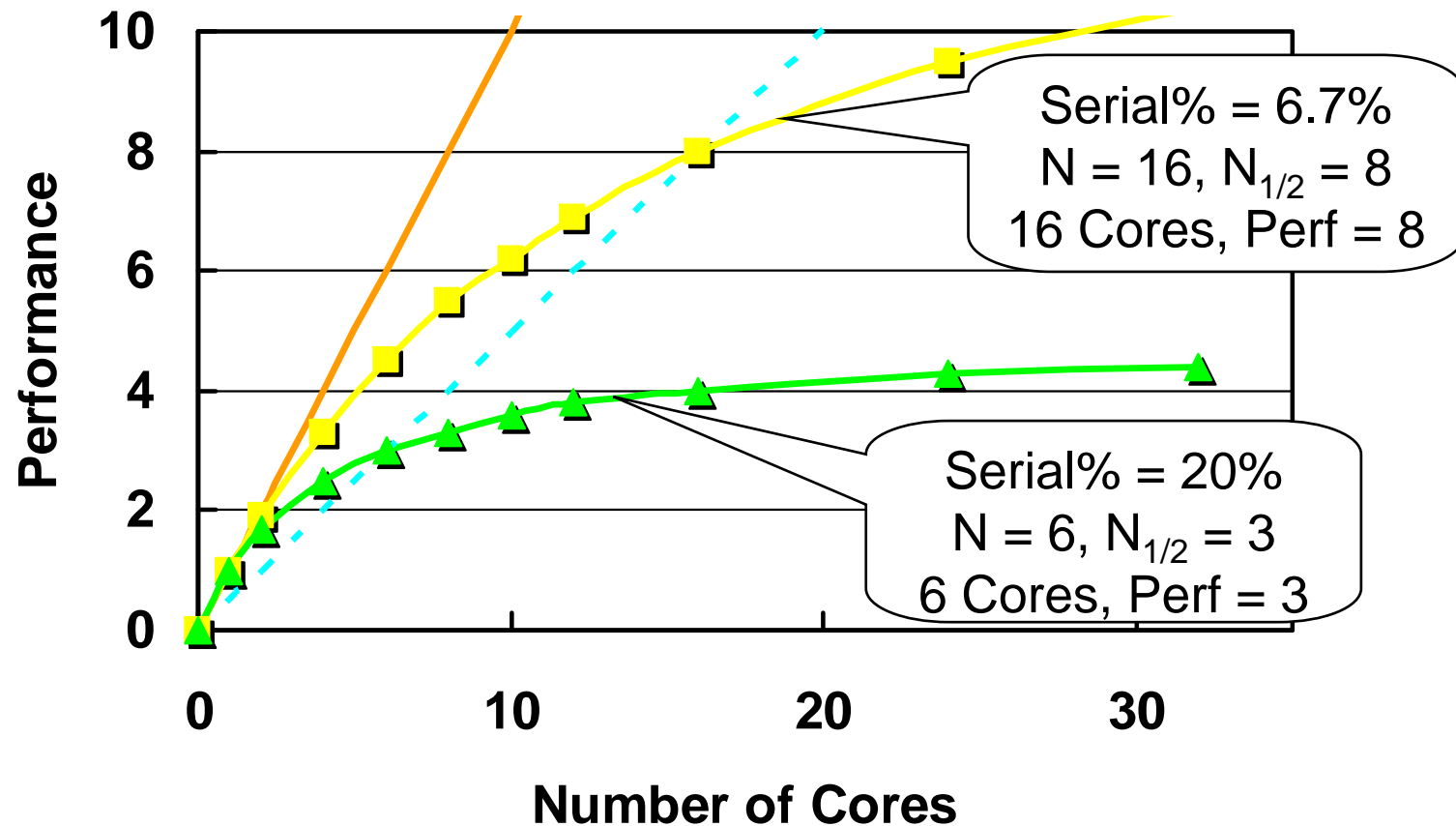
Fujitsu *8W VLIW*



マルチコアの性能課題

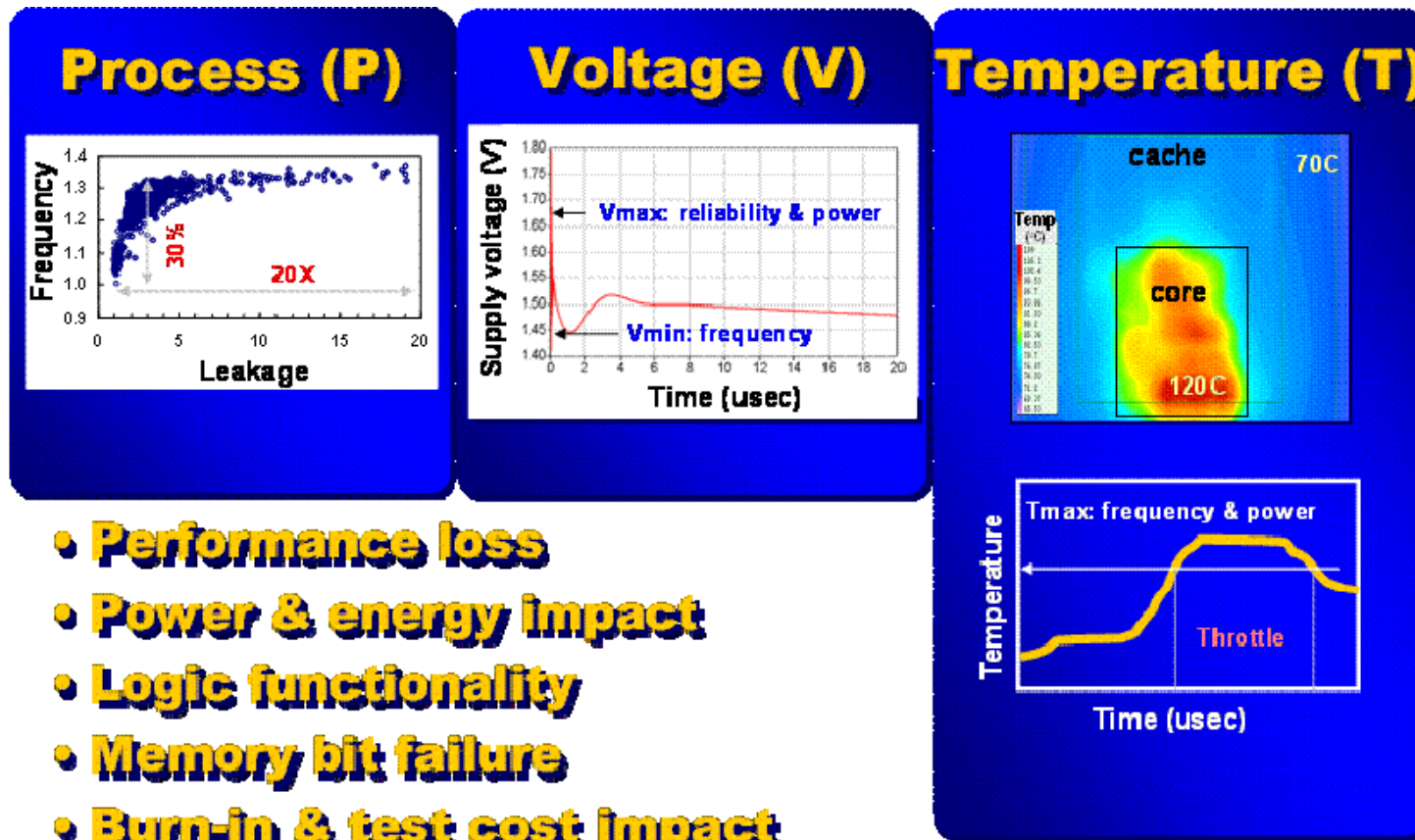
全ての処理が並列化できないのでコア数を増やしても性能は飽和する

Amdahl's Law: $\text{Parallel Speedup} = 1 / (\text{Serial\%} + (1 - \text{Serial\%}) / N)$



SoC設計が抱えるPVT課題

デバイスパラメータのばらつきと揺らぎ、局所発熱、電源電圧安定化などが課題に



Vivec De (Intel) 東工大講演 2007年6月

Design For Manufacturability

微細化とともに、欠陥、ばらつきが増大。設計による対処が求められている。

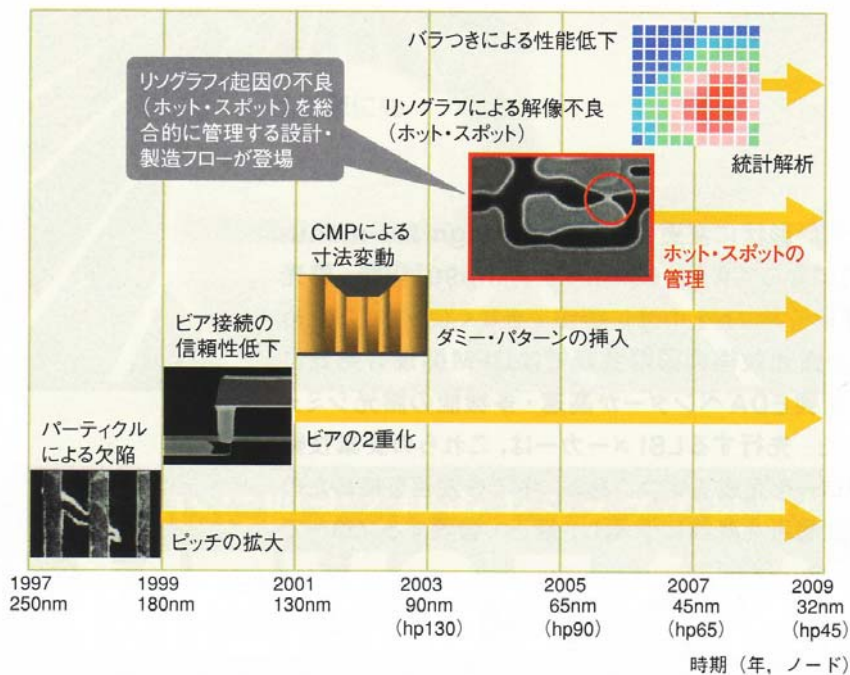


図1 ● 65nm ノード以降、リングラフ起因の問題が顕在化
 これまではパーティクルや配線を対象にしてきたが、ここへ来てリングラフが問題になってきた。米Synopsys, Inc.のデータを基に本誌が作成。

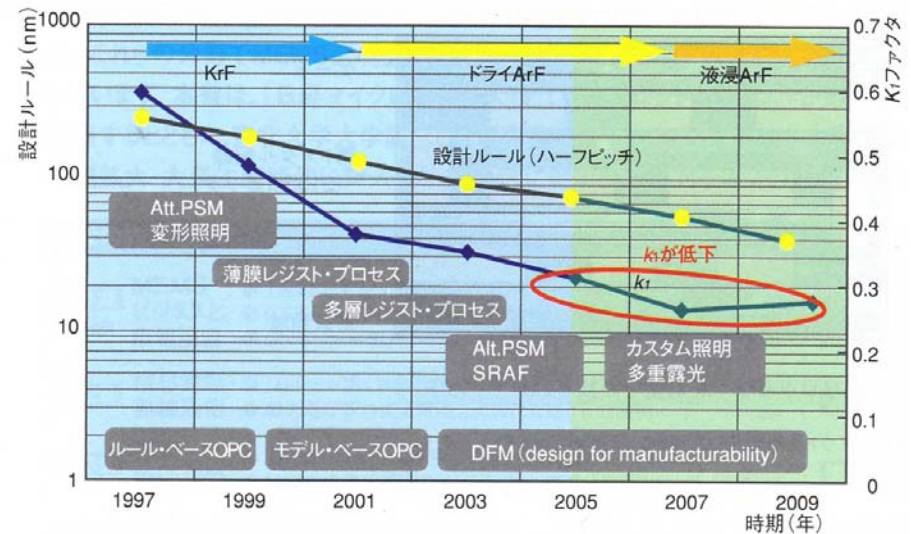


図2 ● リングラフの基本的な解像力が不足
 リングラフのプロセス係数である k_1 ファクタが低下している。これはリングラフの技術的な難しさが増していることを指す。東芝のデータ³⁾。

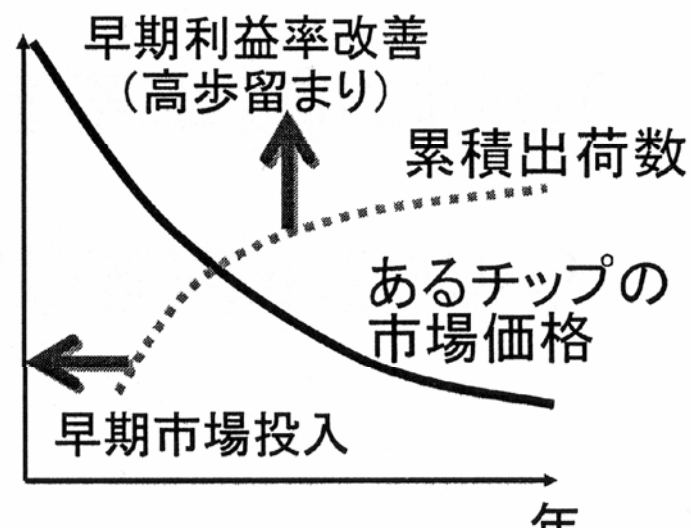
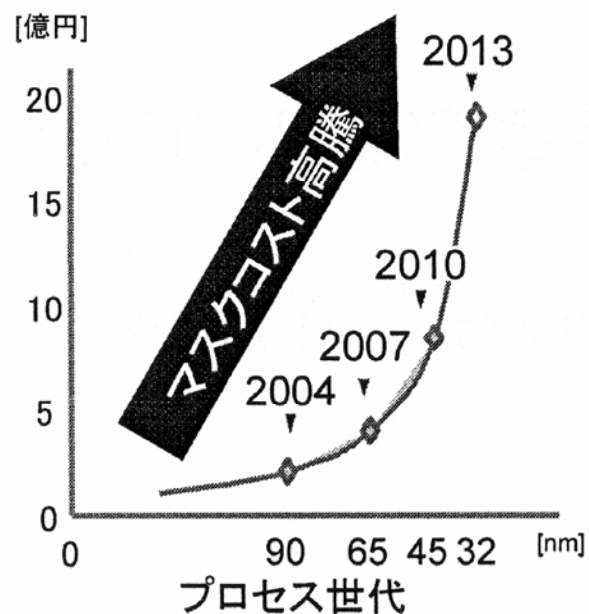
Nikkei Microdevices 特別編集版 2007

SoCを巡るビジネス課題

SoCは莫大な開発コストがかかるため、大量製品しか使用できなくなる懸念がある。

45nm世代では200品種程度しか作らないだろうと言われている

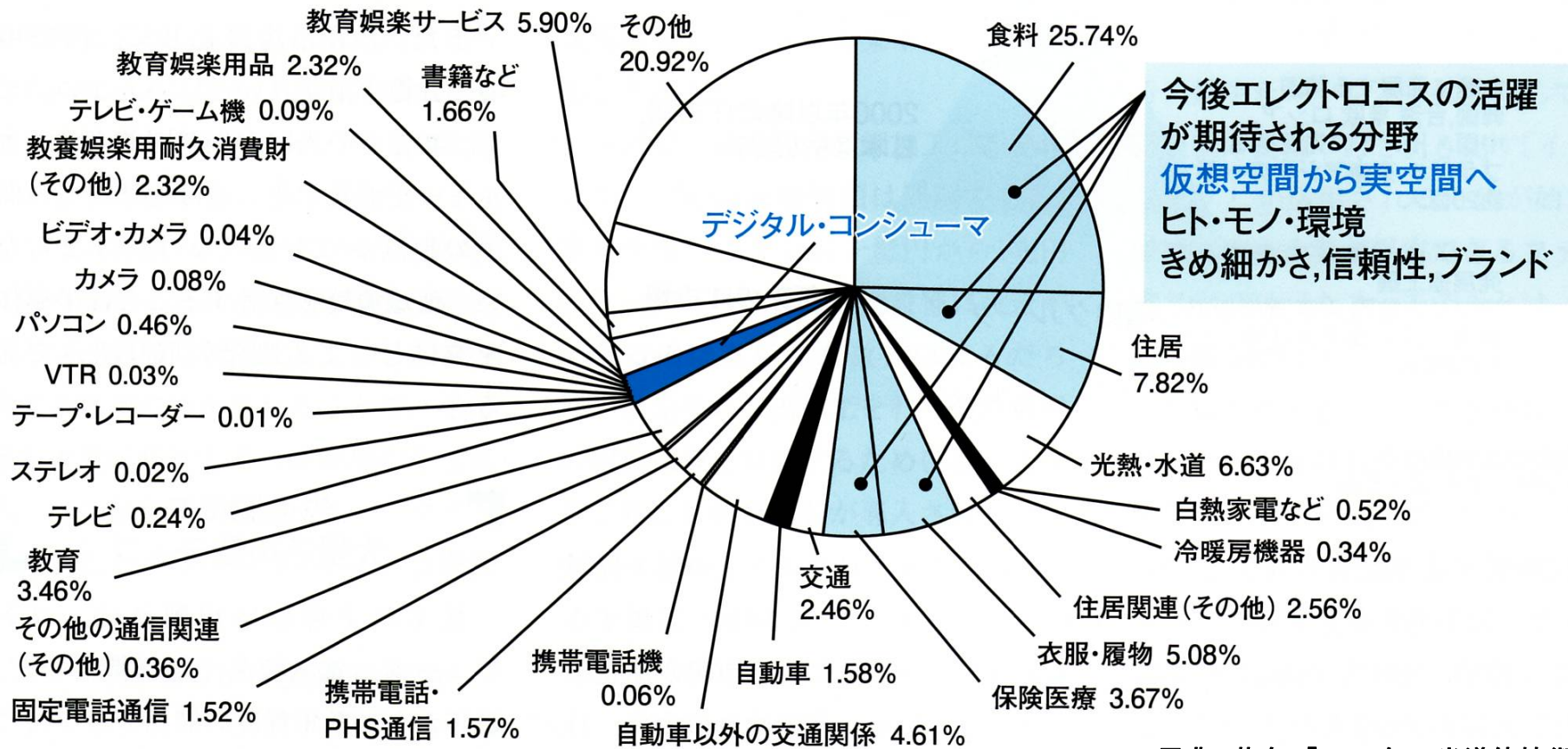
- 設備投資額の増大
- 損益分岐点の上昇
- 汎用化が鍵
- 早期コモディティ化
- 短TAT開発と高信頼性が鍵



佐々木元 システムLSI WS 2006

LSI用途の拡大

仮想空間から実空間（生活、環境、エネルギー、医療、食料、社会、交通など）への用途の拡大が不可欠。

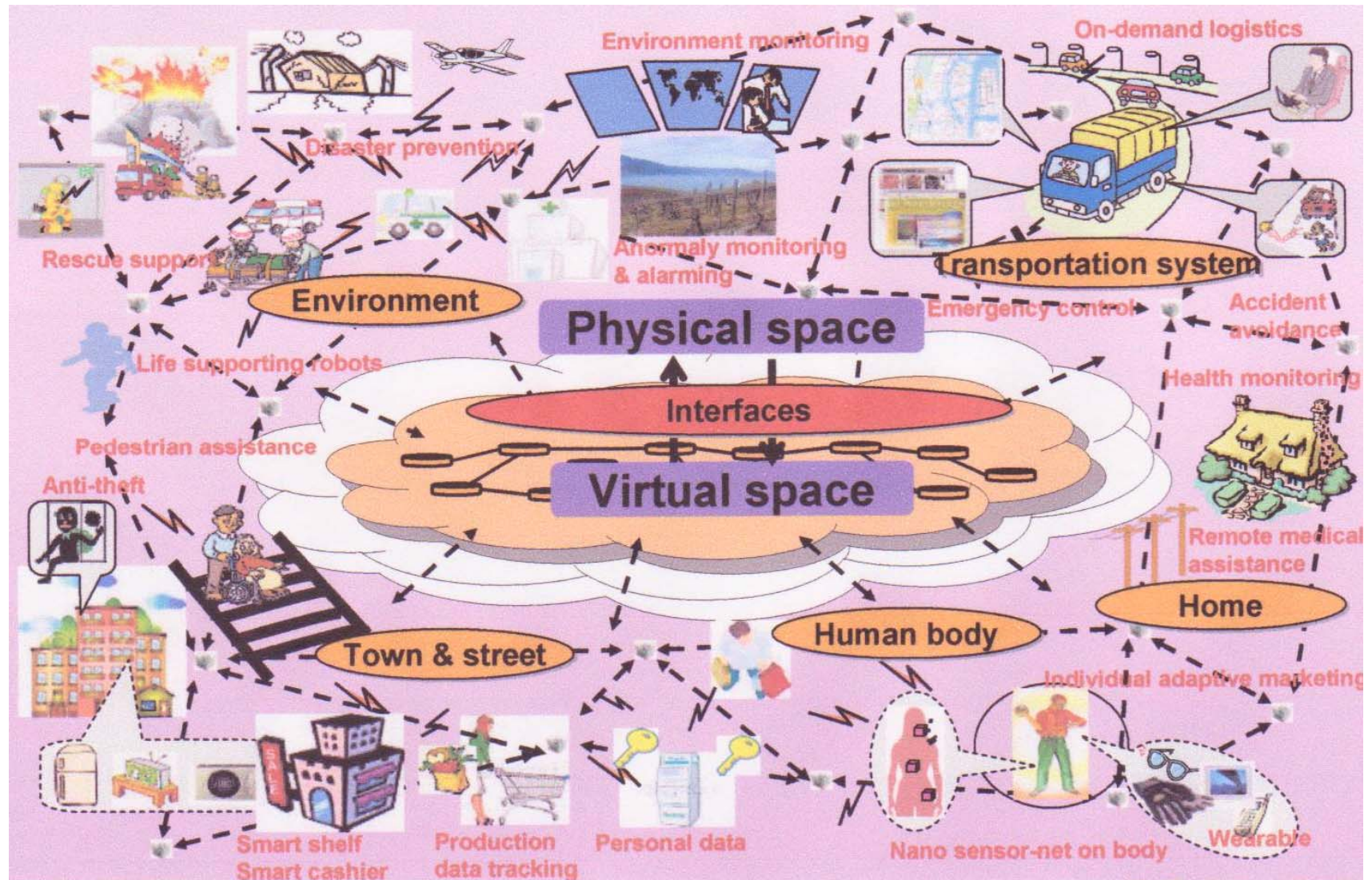


今後エレクトロニスの活躍が期待される分野
仮想空間から実空間へ
ヒト・モノ・環境
きめ細かさ,信頼性,ブランド

図6●日本の世帯の年間出費分布
日経BP社のデータを基に東京大学 教授 桜井貴康氏が作成。

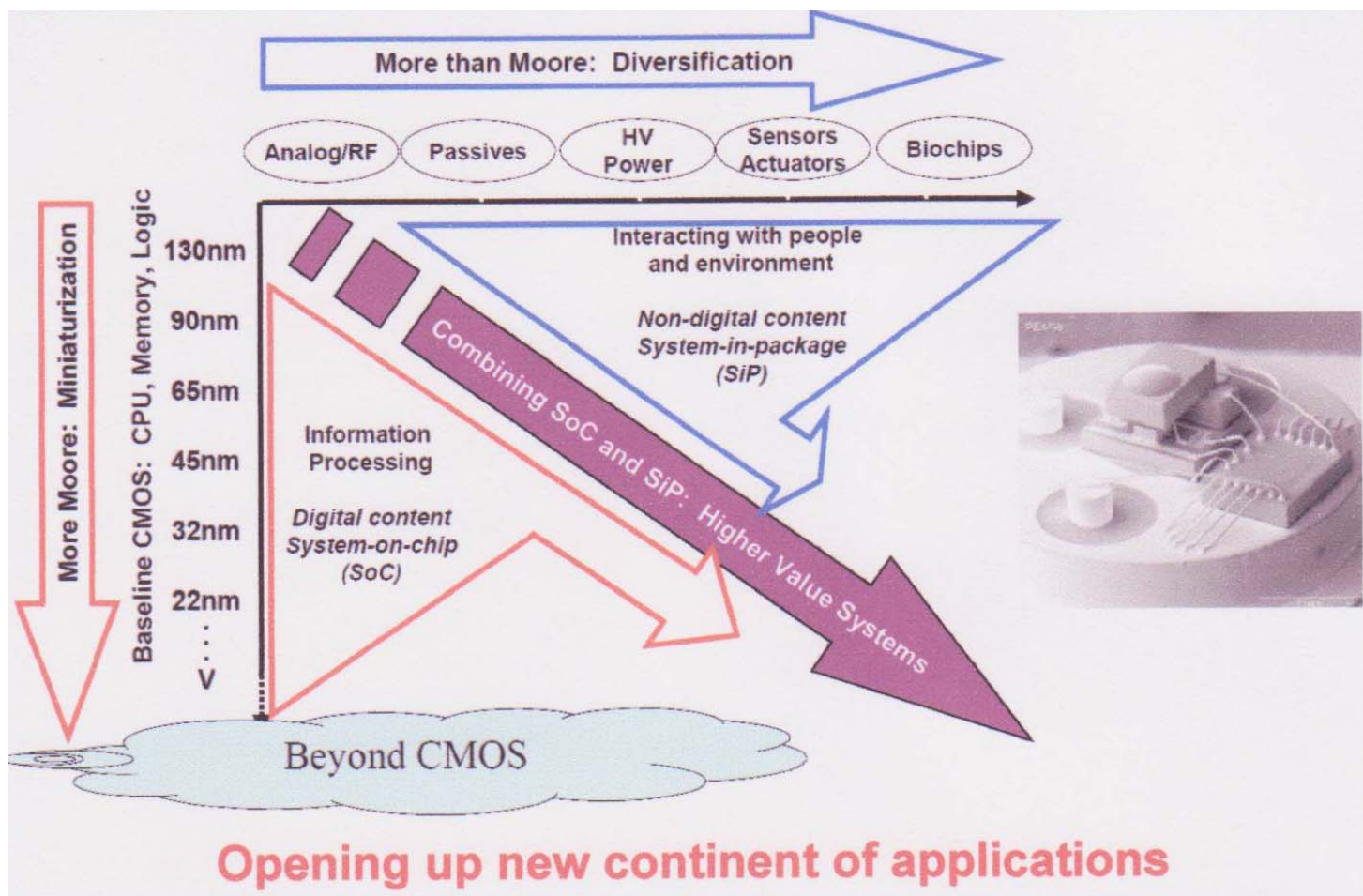
甲斐、藤島「2025年の半導体技術」
日経マイクロデバイス特別編集版

実空間へのLSI用途の拡大



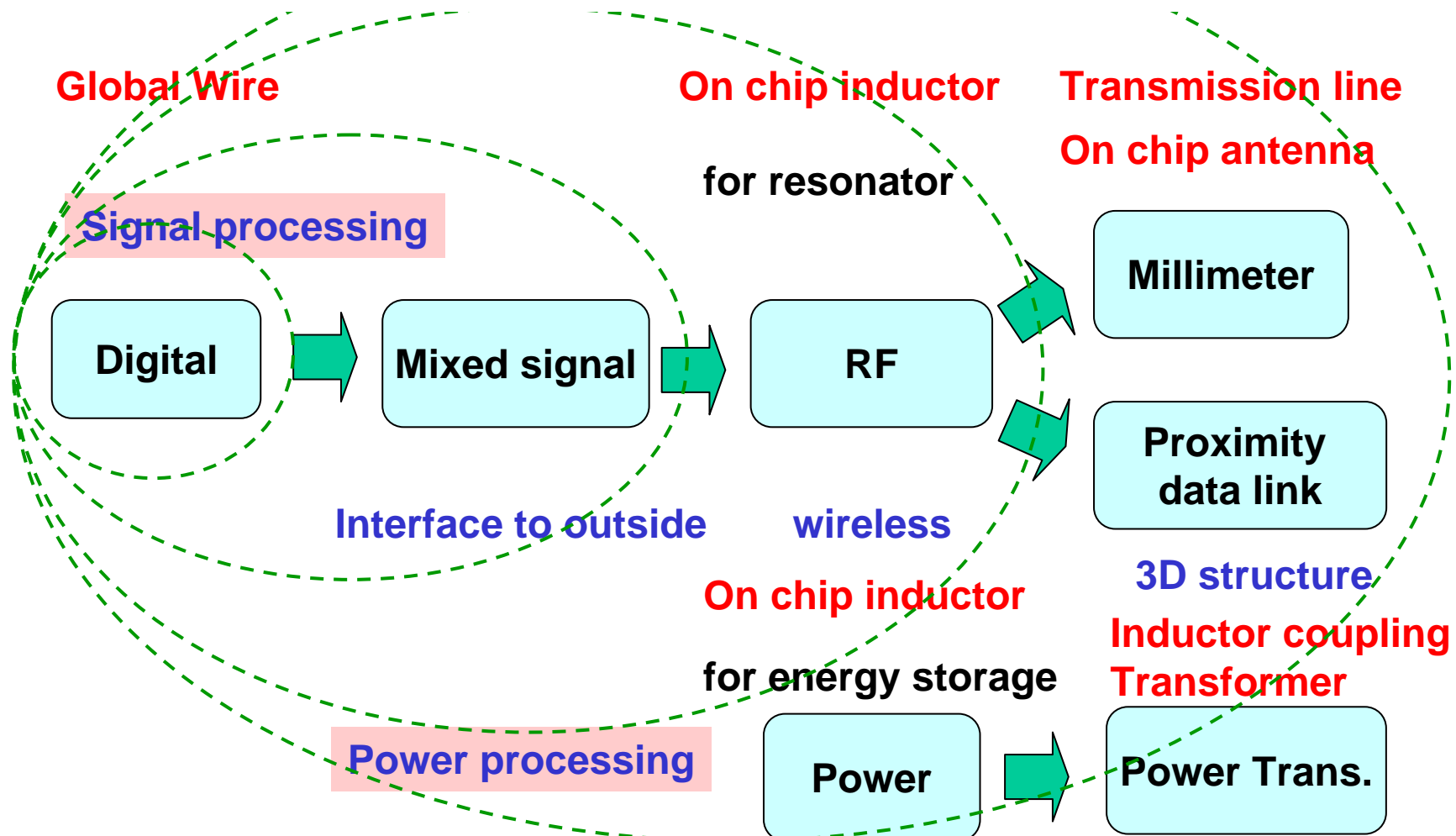
More Moore and More than Moore

実空間への用途拡大にはMore than Moorが不可欠
アナログやセンサー・アクチュエータを中心とした新たな技術が不可欠



システム集積の方向性

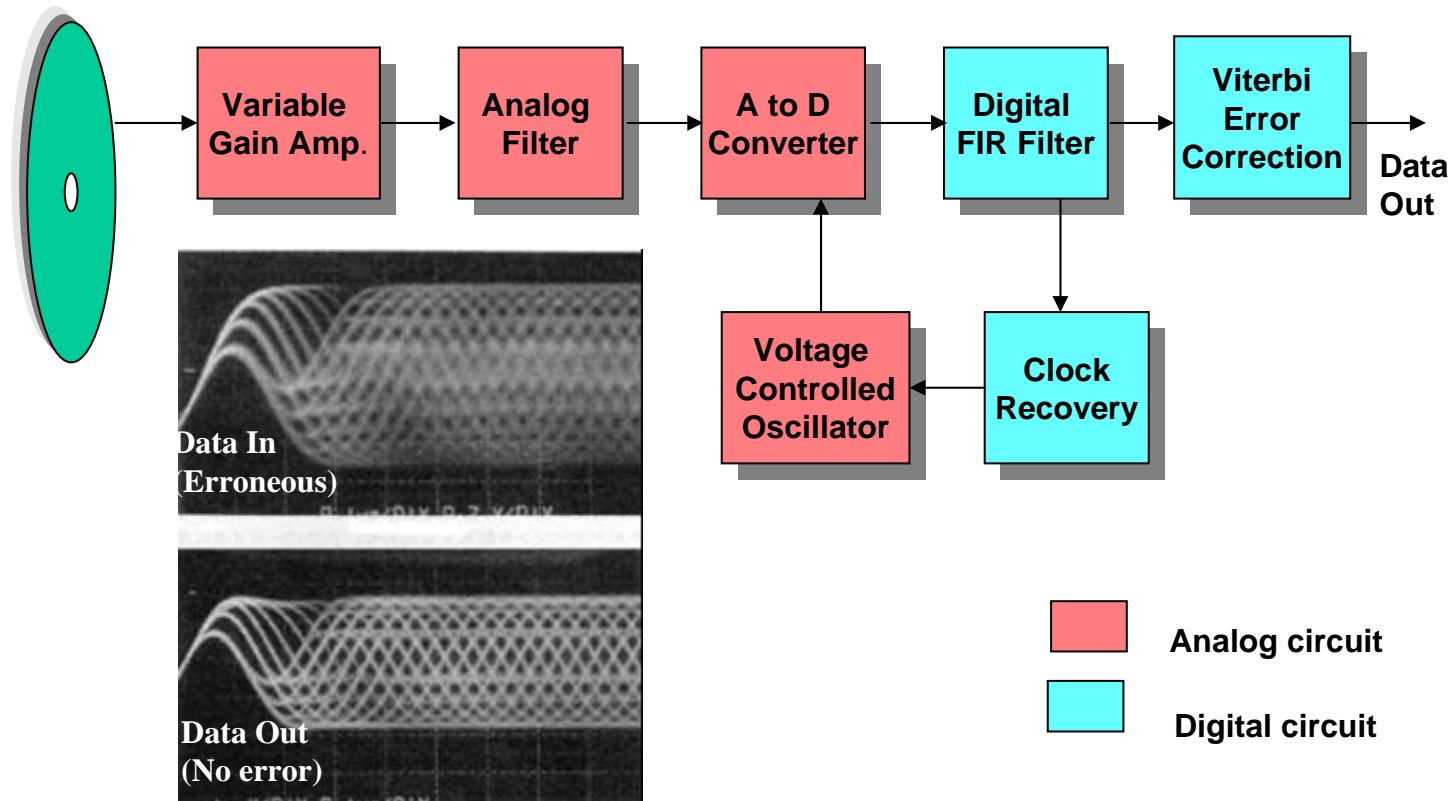
外部信号の処理、外部との通信、エネルギーの伝送などのためにアナログ・RF・CMOS技術が不可欠である。



アナ・デジ混在信号処理

アナ・デジ混在型信号処理は殆どのシステムに用いられている。

- ・デジタル放送・通信・ネットワーク(DTV, ADSL, Ethernet, USBなど)
- ・デジタル記録(HDD, DVD, DVCなど)
- ・デジタルカメラやディスプレイなどの入出力

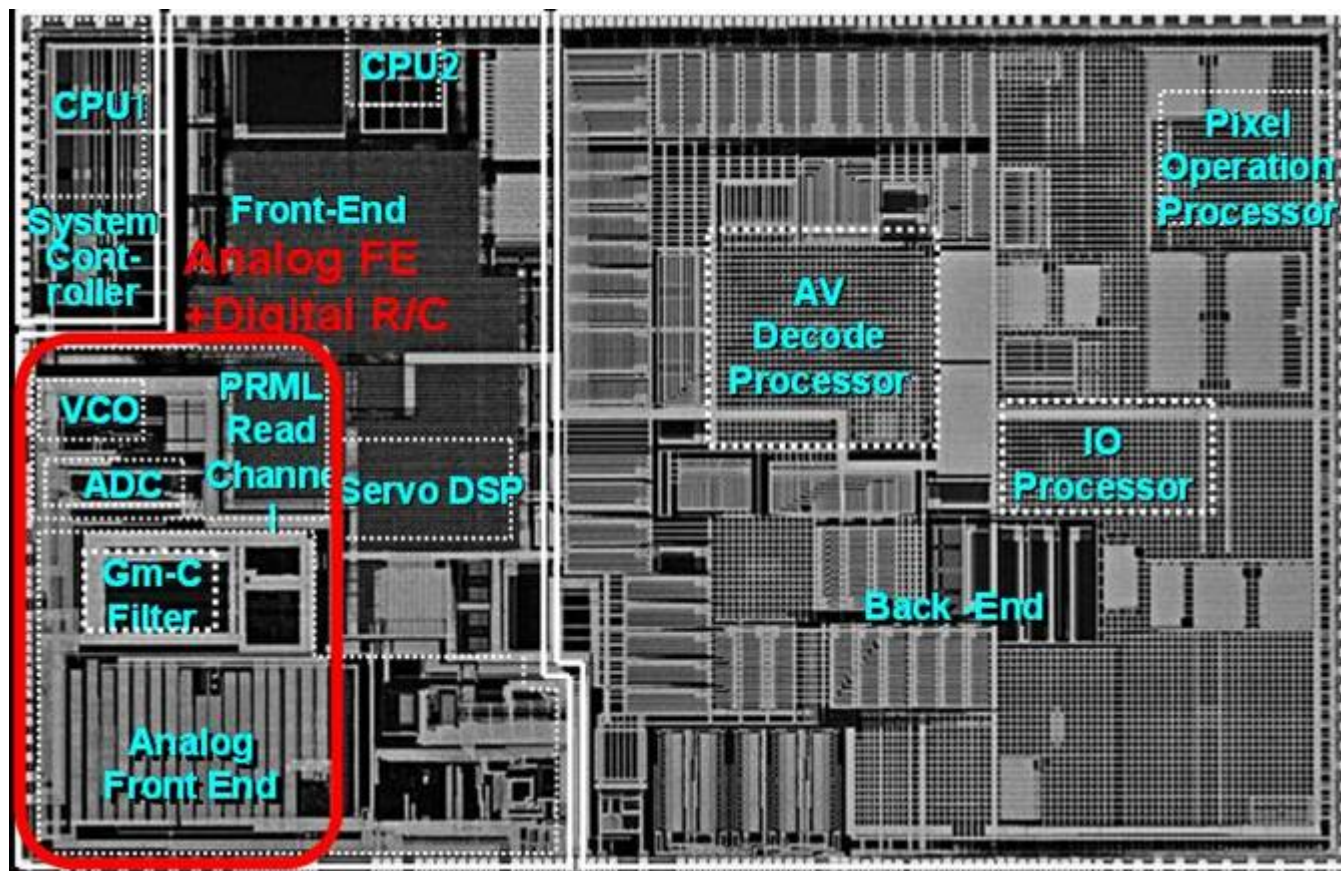


アナ・デジ混載SoC: DVDの完全ワンチップ化

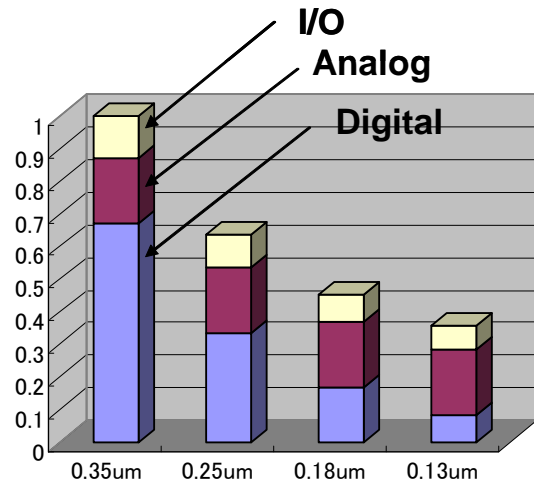
アナログ混載によりDVDの全機能をワンチップに集積することが可能になった。

0.13um, Cu 6Layer, 24MTr

Okamoto, et al., ISSCC 2003

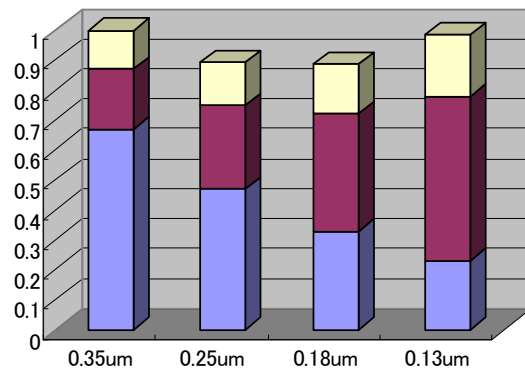


アナログ混載技術の課題



Chip area

Wafer cost increases 1.3x
for one generation
(0.35um : 1)



Chip cost

微細化CMOSへのアナログ混載の大きな課題はアナログ部の面積縮小が困難なことによるコストアップである。

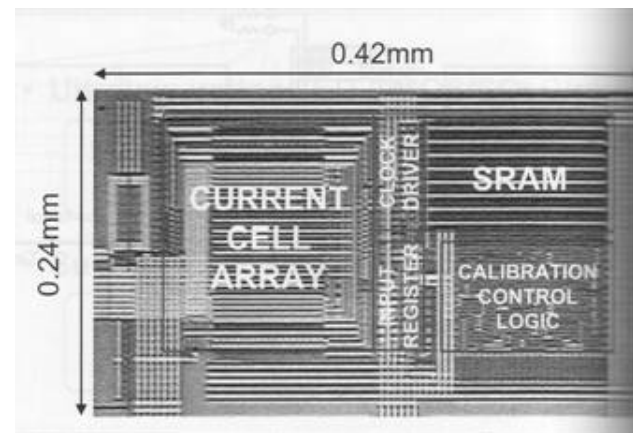
高精度が必要→面積が増大
低電圧化が困難→面積縮小が困難

今後の方向性

微細素子を用いて低電力化・高速化・小面積化を図り
精度劣化はデジタル補正技術などで補う方向

14b 100MS/s DAC

1.5V, 17mW, 0.1mm², 0.13um



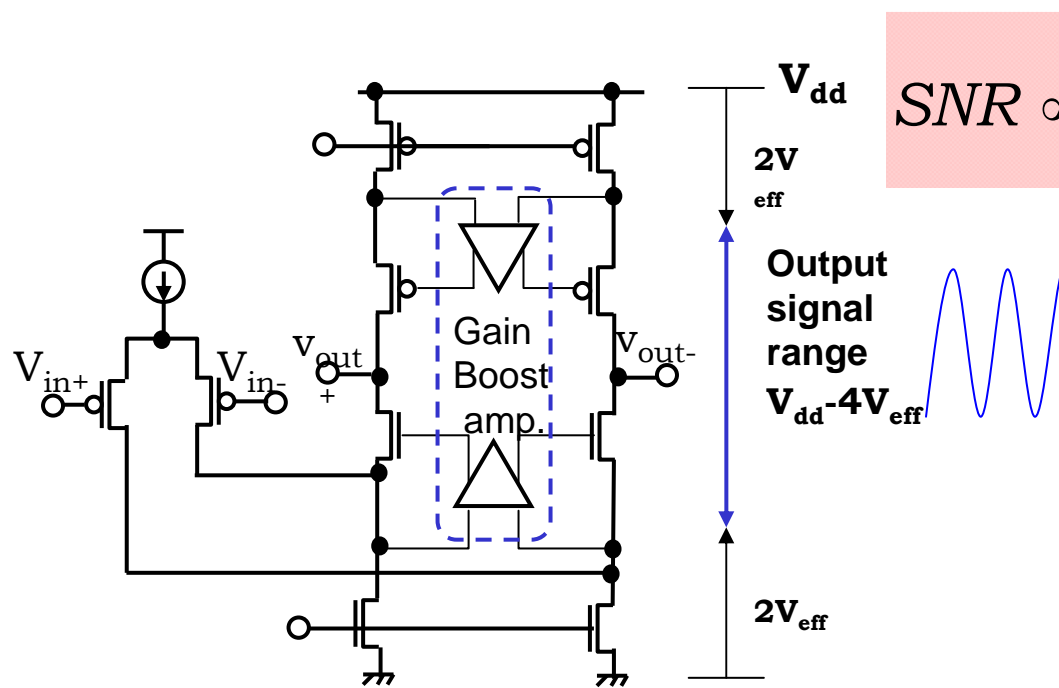
Area: 1/50

Pd: 1/20

Y. Cong and R. L. Geiger,
ISSCC 2003

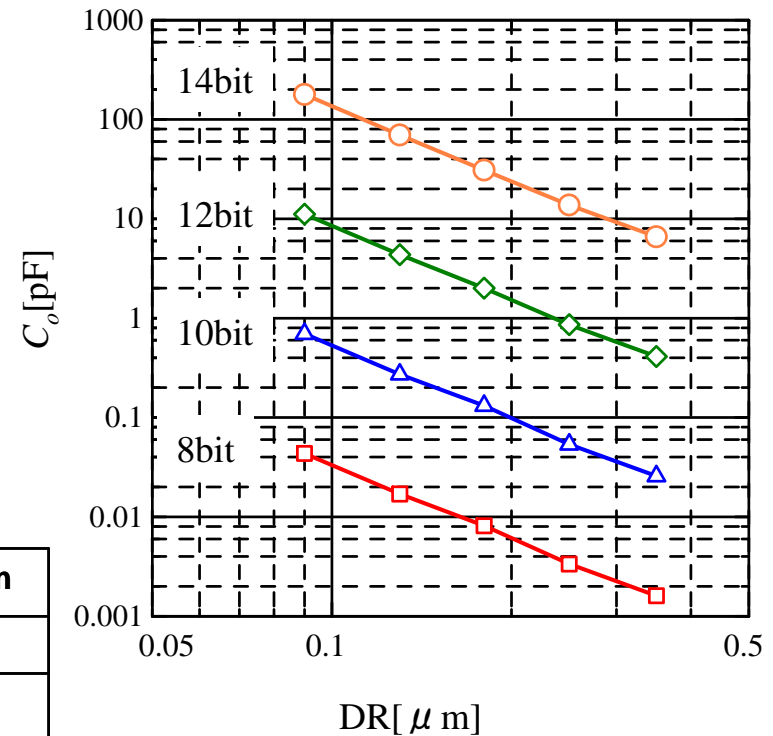
微細化とアナログ特性の劣化

高SNRの信号ほど、低電圧の回路ほど大きな容量を必要とし、消費電力の増大や速度劣化を招きやすい。



$$SNR \propto \frac{CV_{sig}^2}{kT}$$

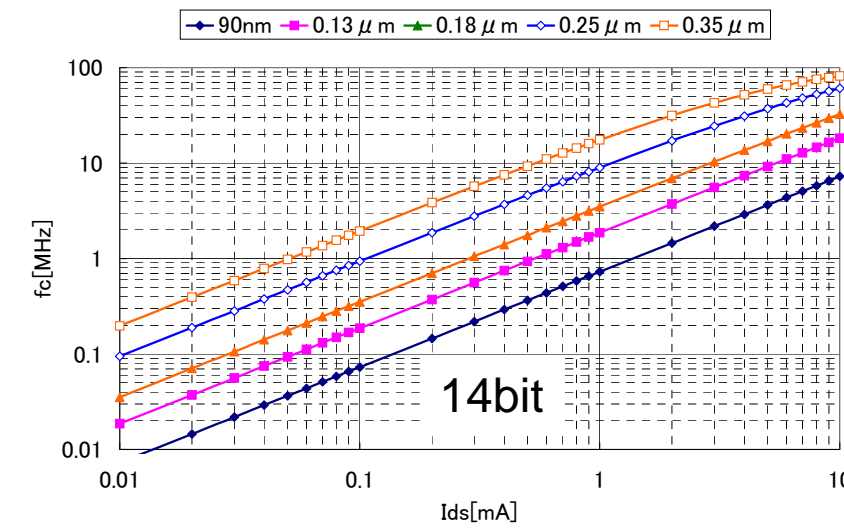
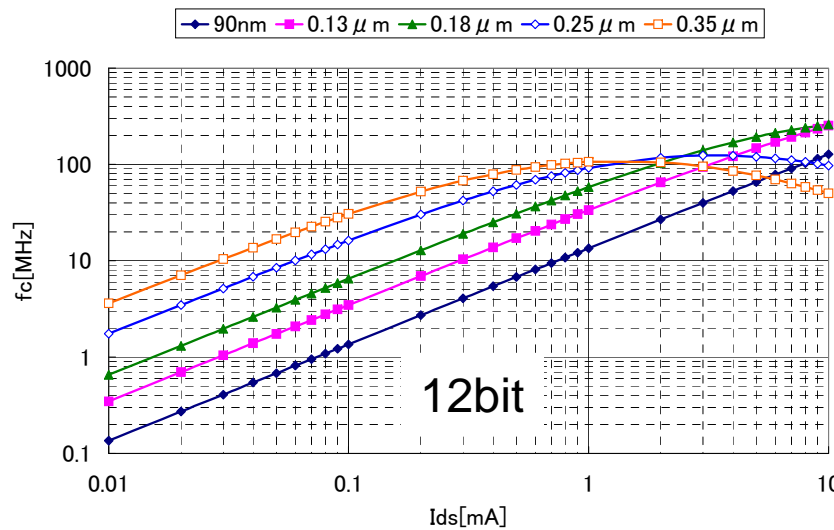
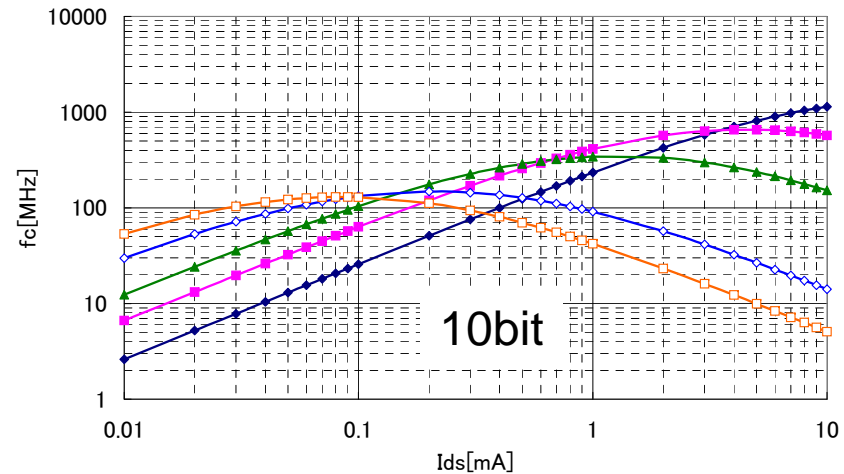
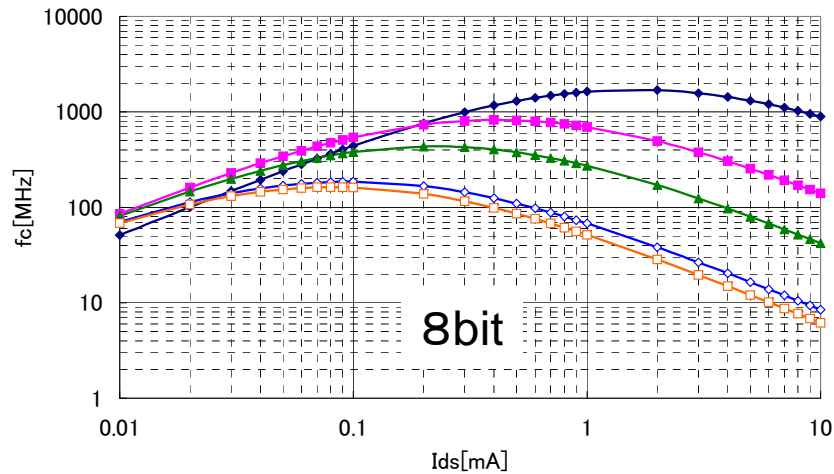
$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$



	90nm	0.13 μm	0.18 μm	0.25 μm	0.35 μm
V_{dd}	1.2V	1.5V	1.8V	2.5V	3.3V
V_{sig_pp}	1.0V	1.6V	2.2V	3.6V	5.2V

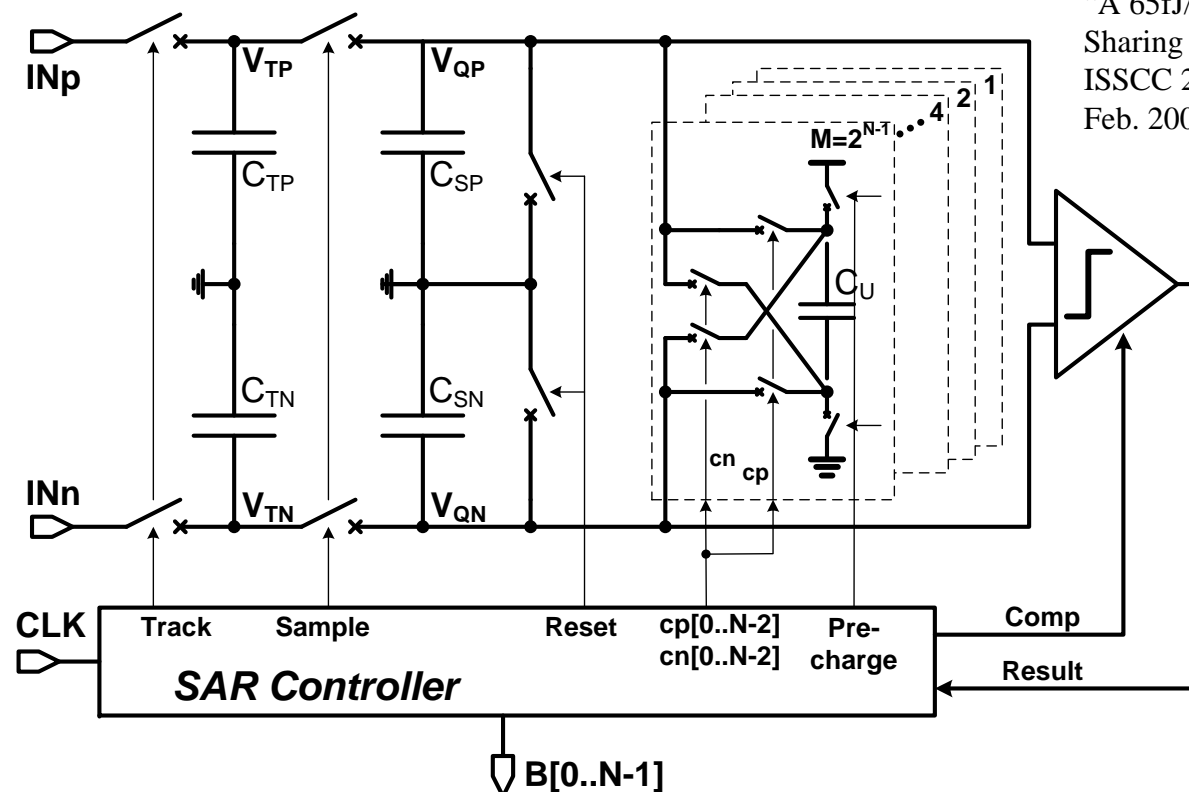
微細化とパイプライン型ADCの性能

低分解能では微細化が有効だが、高分解能では必ずしも有効とは言えない。



逐次比較型ADC

逐次型ADCは容量・スイッチ・比較器・論理回路のみで構成され、通常のアナログ回路のように定常電流を消費しないため、極めて低電力である。微細化に適したA/D変換方式である。



J. Craninckx and G. Van der Plas,
“A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS,” IEEE ISSCC 2007, Dig. of Tech. Papers, pp.246-247, Feb. 2007.

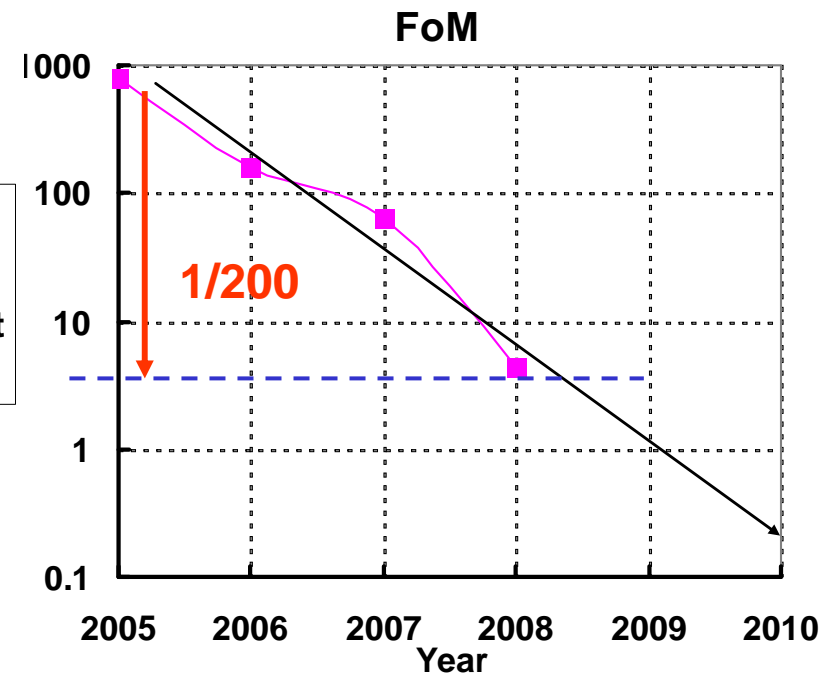
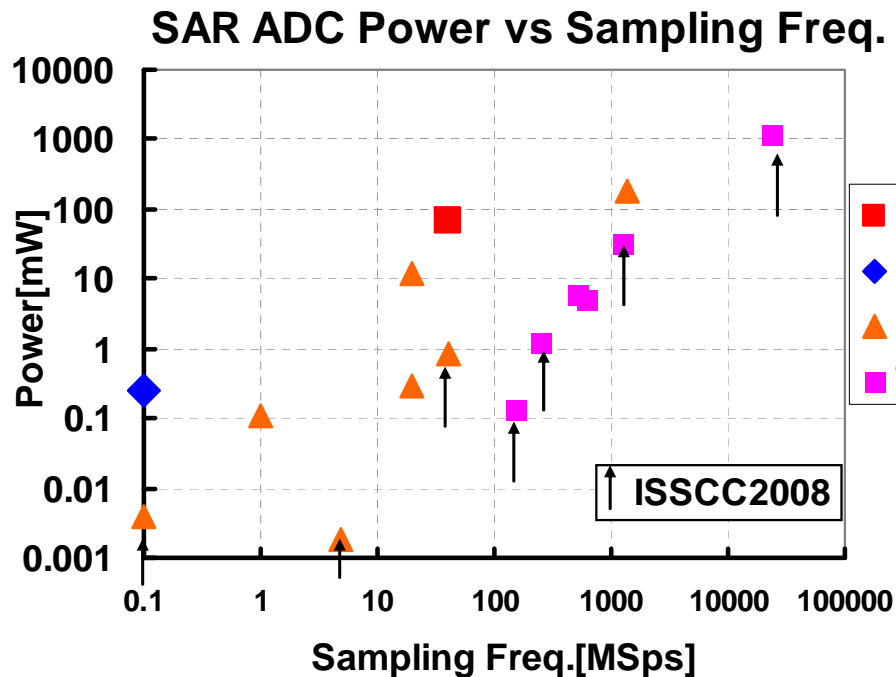
SA (逐次比較型) ADCの開発状況

SA ADCは高分解能から高速まですべての領域で開発が進められている。
FoMは3年間で1/200まで低下した。

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

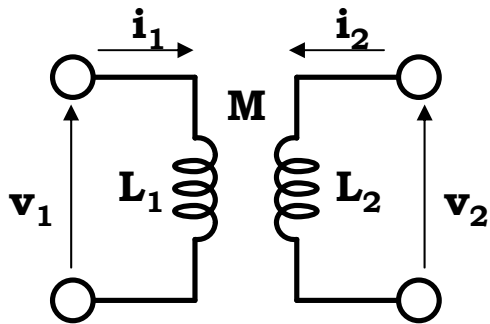
Courtesy Y. Kuramochi

3年間で FoMは 1/200に減少



インダクタ応用: 誘導結合によるチップ間データ伝送

インダクタ間の結合により積層チップのチップ間高速データ伝送が可能になった。

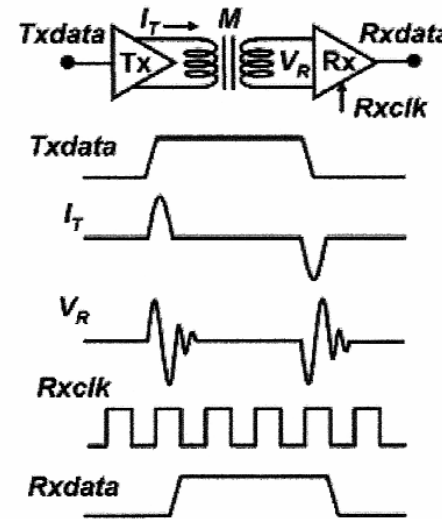
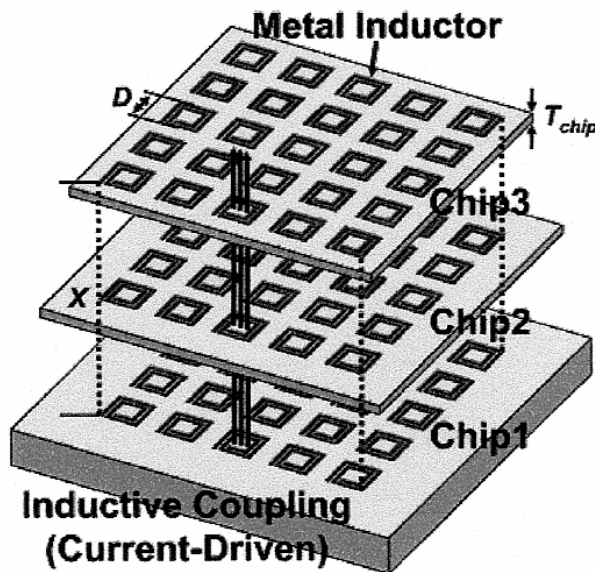


$$v_1 = L_1 \frac{di_1}{dt} + M \frac{di_2}{dt}$$

$$v_2 = M \frac{di_1}{dt}$$

$$v_2 = M \frac{di_1}{dt} + L_2 \frac{di_2}{dt}$$

$$M \propto \frac{\sqrt{L_1 L_2}}{x^3}$$



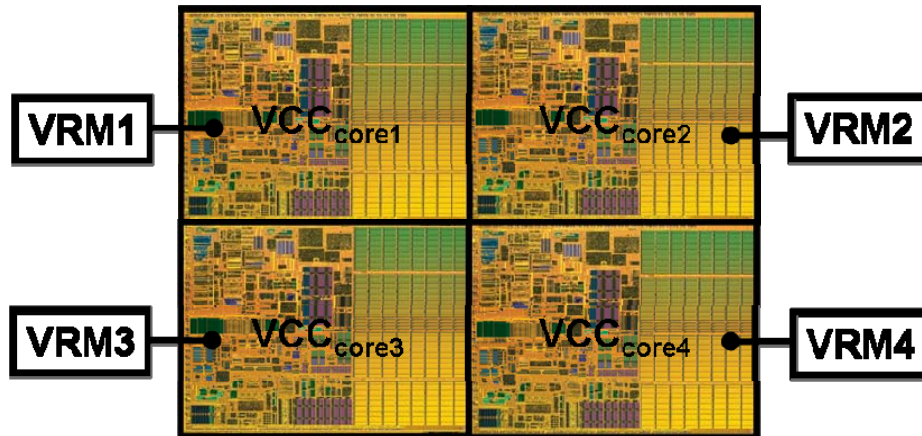
1.2Gb/s/ch, 45mW, 300 μ m-distance

N. Miura, et. al., IEEE, Journal of Solid-State Circuits,
Vol. 41, No. 1, pp. 23-34, Jan. 2006.

マルチコアに必要な電力制御

各コアの活性度に応じた電源電圧が必要である。

Courtesy
Dr. Vivek De, Intel



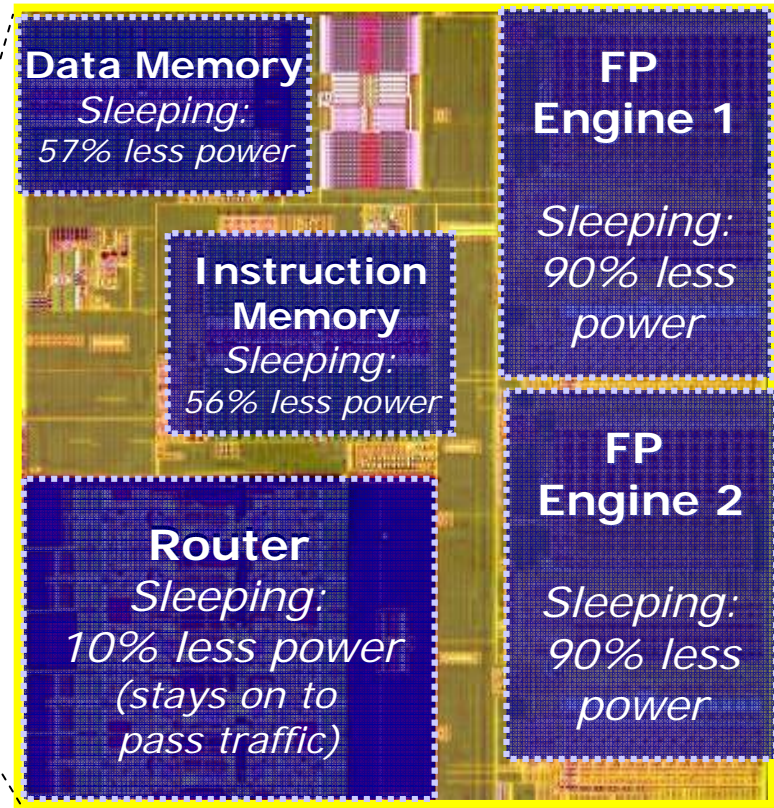
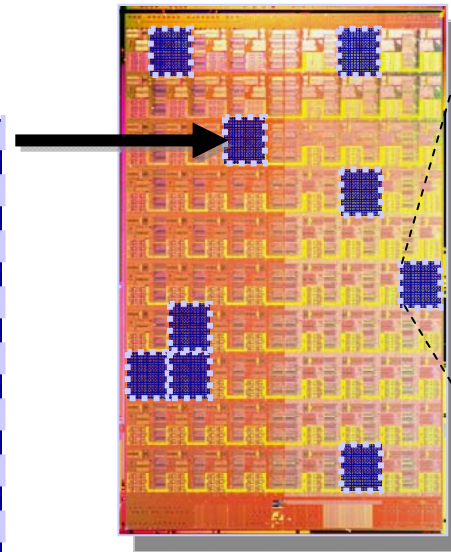
21 sleep regions per tile (not all shown)

Dynamic sleep
STANDBY:

- Memory retains data
- 50% less power/tile

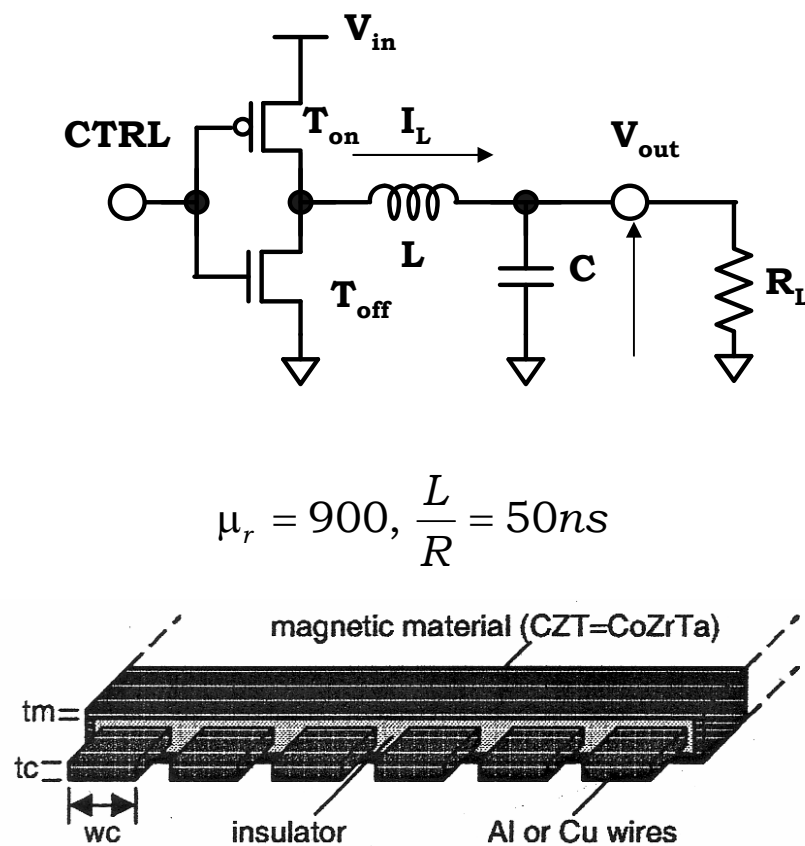
FULL SLEEP:

- Memories fully off
- 80% less power/tile



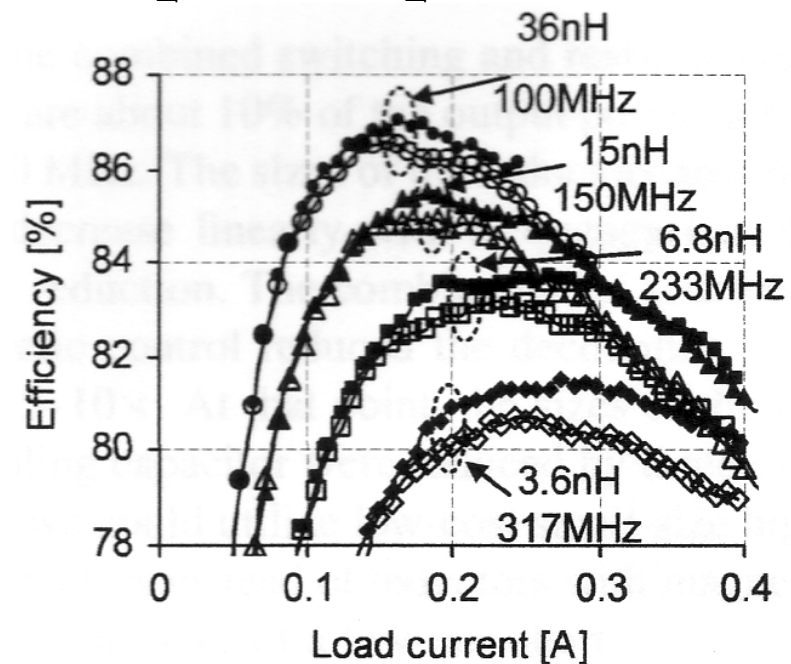
オンチップマイクロ電源回路

チップ上の各ブロックに電力を供給するマイクロ電源回路の研究がなされている。オンチップインダクタは小さいため、スイッチング周波数を数100MHzに高めている。インダクタンス増大のため磁性薄膜の導入が検討されている。



$$V_{out} = \frac{T_{on}}{T_{on} + T_{off}} V_{in} \quad \Delta I_L \propto \frac{1}{Lf} \quad Q = 2\pi \frac{fL}{R}$$

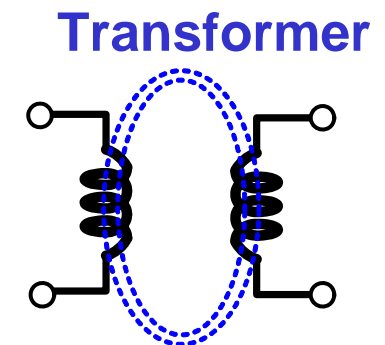
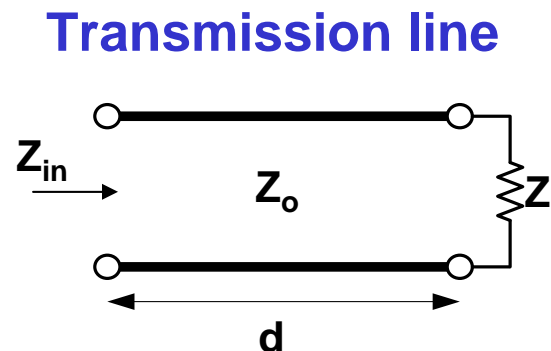
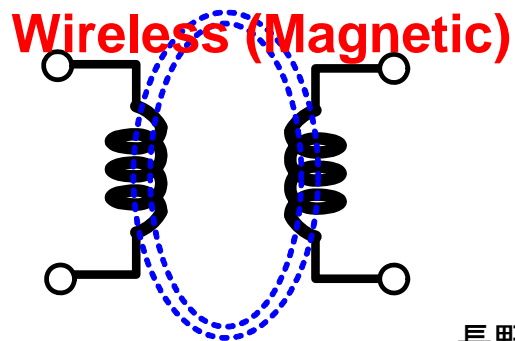
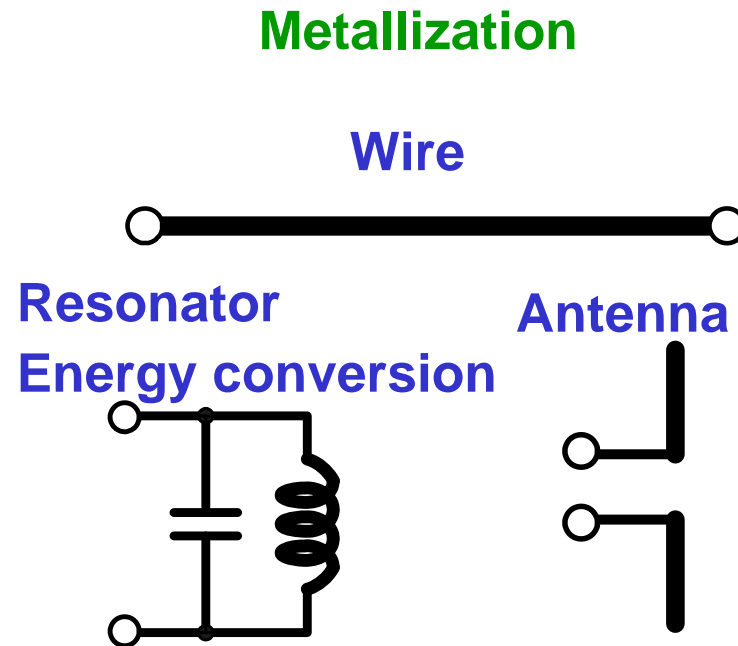
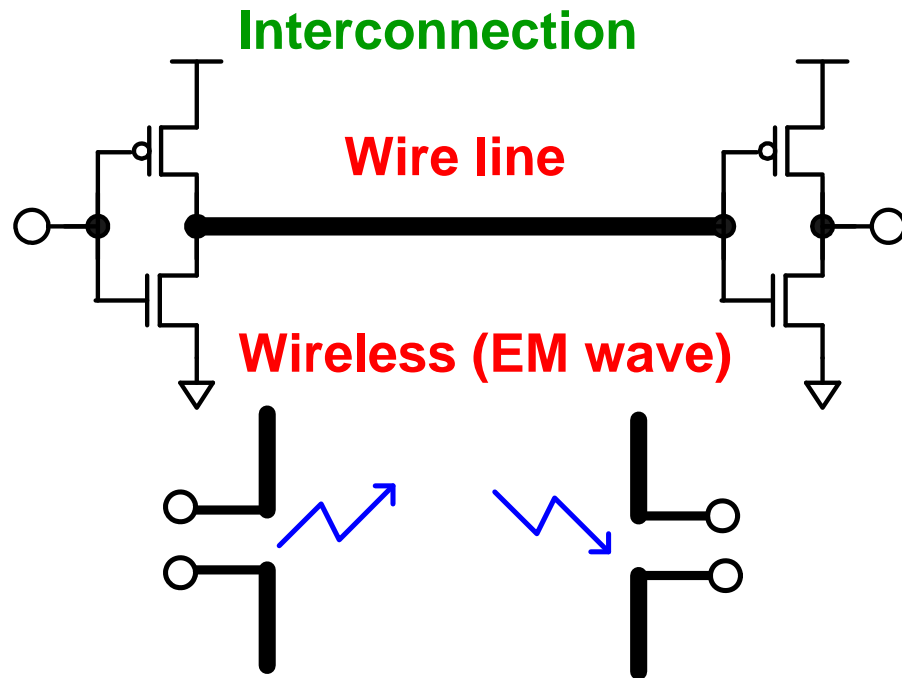
$$E_L = \frac{1}{2} LI^2, \quad P_L = \frac{f}{2} LI^2$$



G. Schrom, et. al., Proc. ISLPED'04, pp. 263-268, 2004.

配線技術の様々な応用

配線技術の活用により様々な応用が可能になる



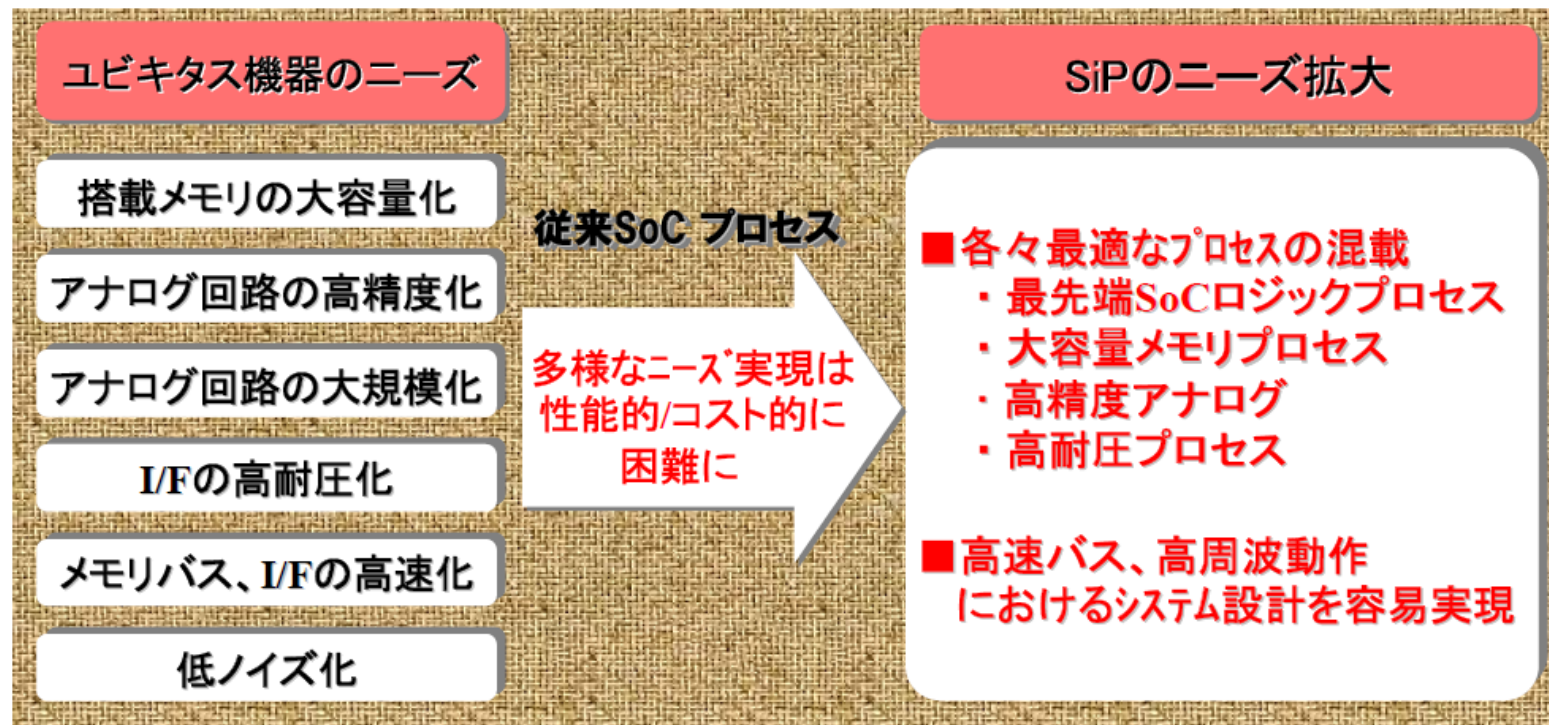
実装技術への期待

SiPへの期待

SoC 単独では実現困難な機器ニーズが拡大

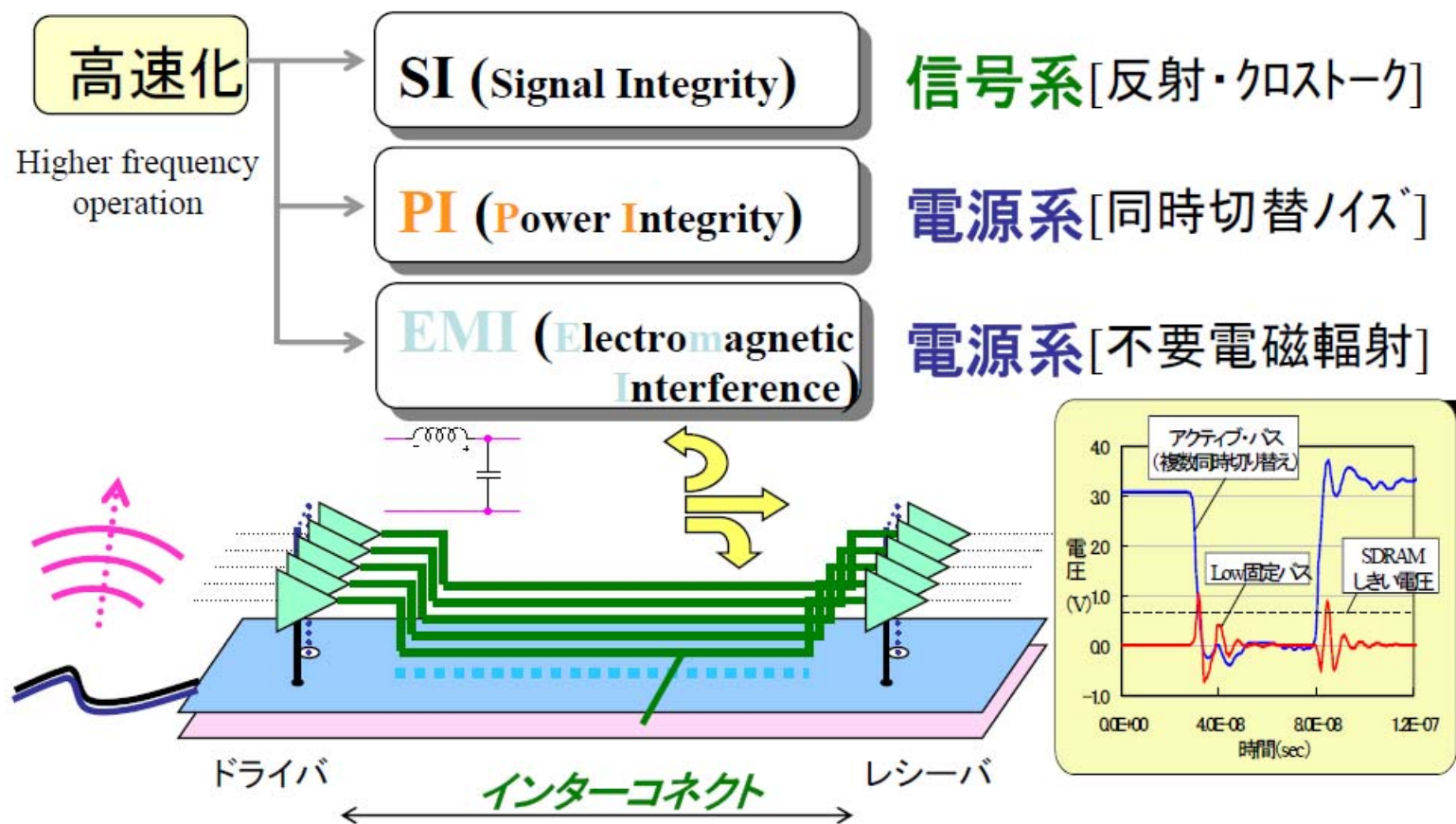
資料提供:ルネサス 赤沢氏

- ユビキタス機器の実現のため、メモリの大容量化、バス的高速化、アナログ回路の高機能化へのニーズが加速
- 高性能SoC、大容量メモリ、高精度アナログの組合せで最適なソリューションをSiP で実現



高速動作・高速伝送の課題

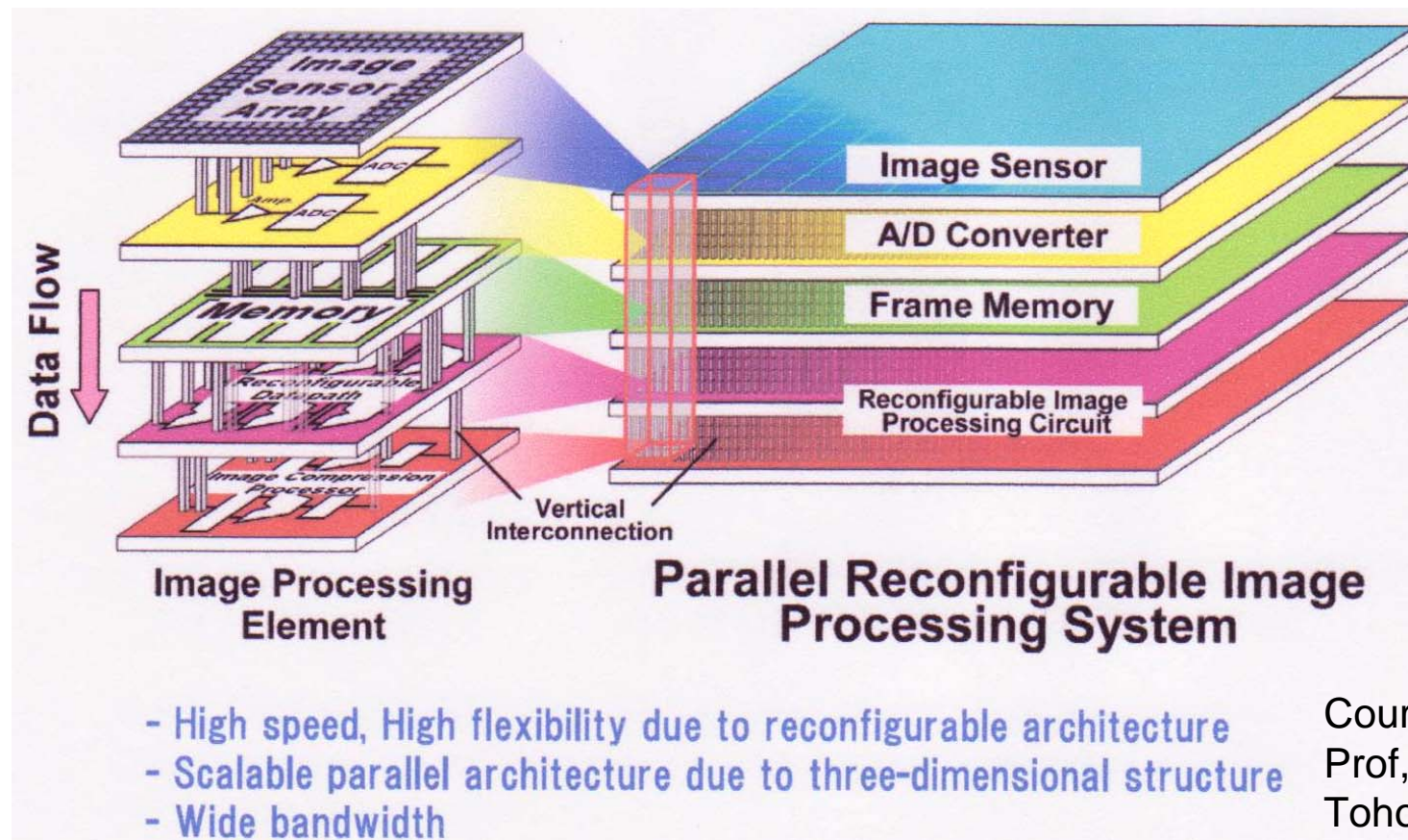
実装設計においては電気特性がますます重要に



資料提供:ルネサス 赤沢氏

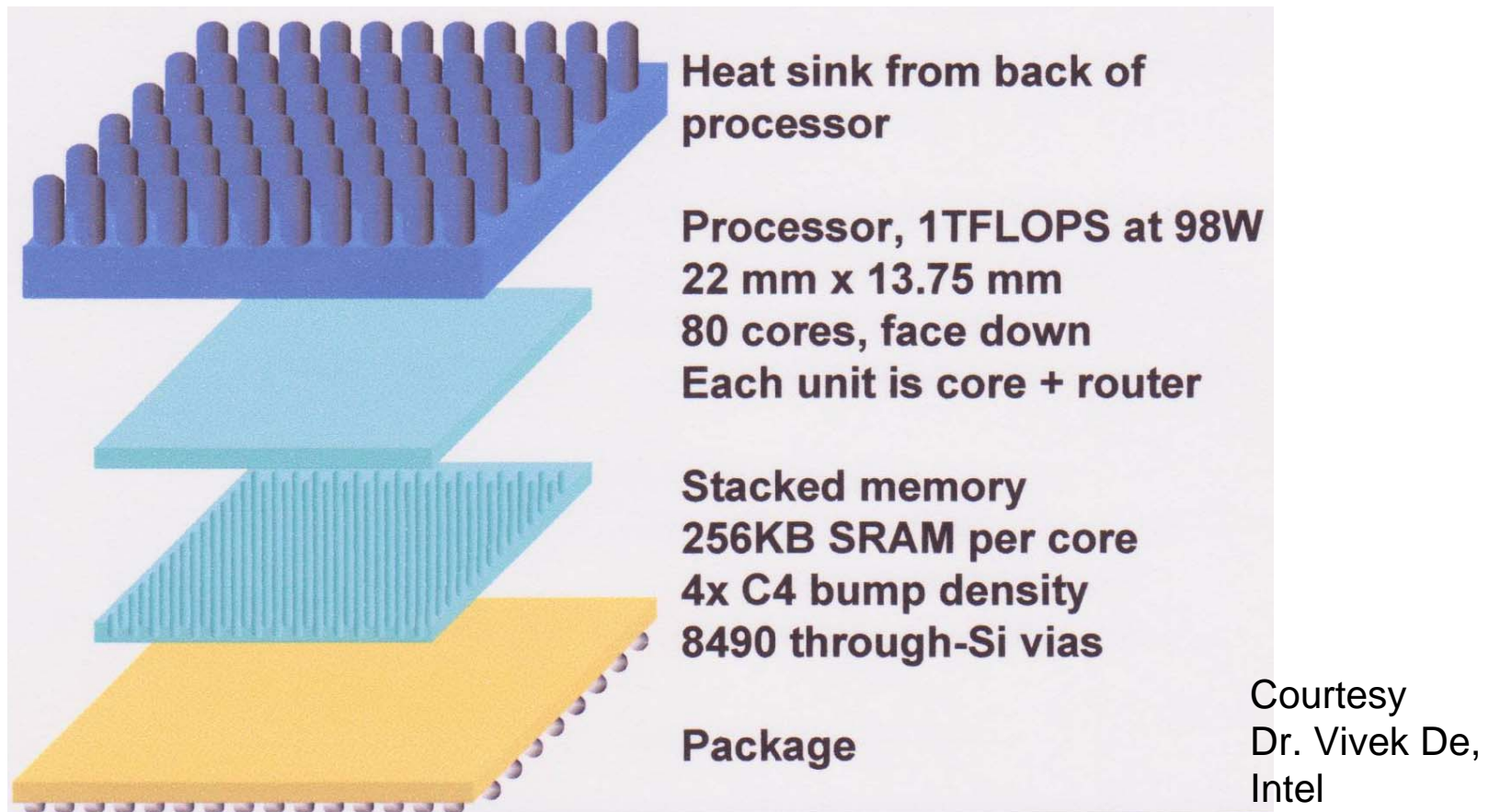
3次元LSIによる実空間LSIの実現

実空間LSIにおいては様々な機能の立体集積が重要に。



3次元LSIへの期待

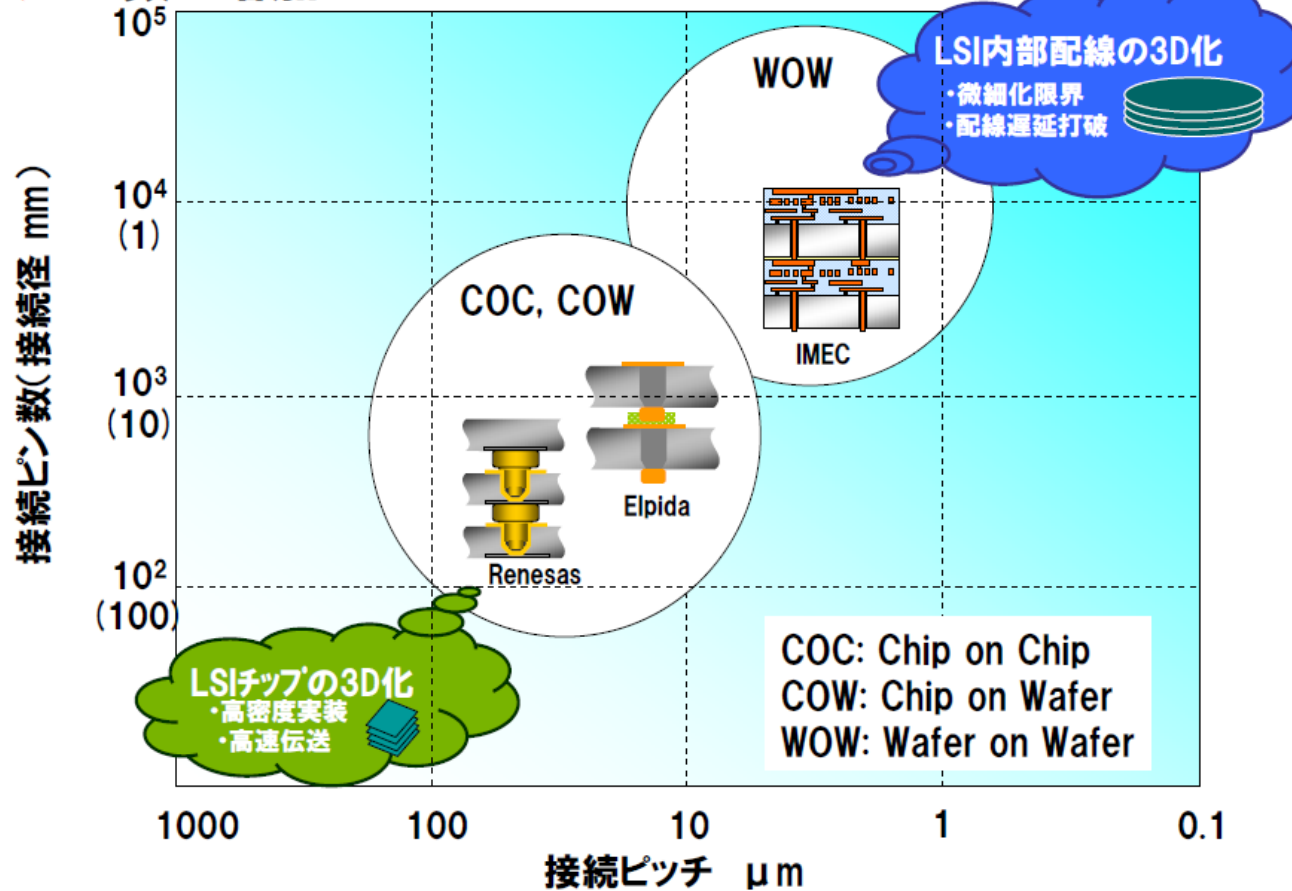
マルチコア、メニーコアにおいては
プロセッサとメモリをスタック接続することが不可欠である。



IO数の増加と接続ピッチ

I/O数の増加に伴い、ピッチ縮小が必要になり、3次元化が不可欠になる。

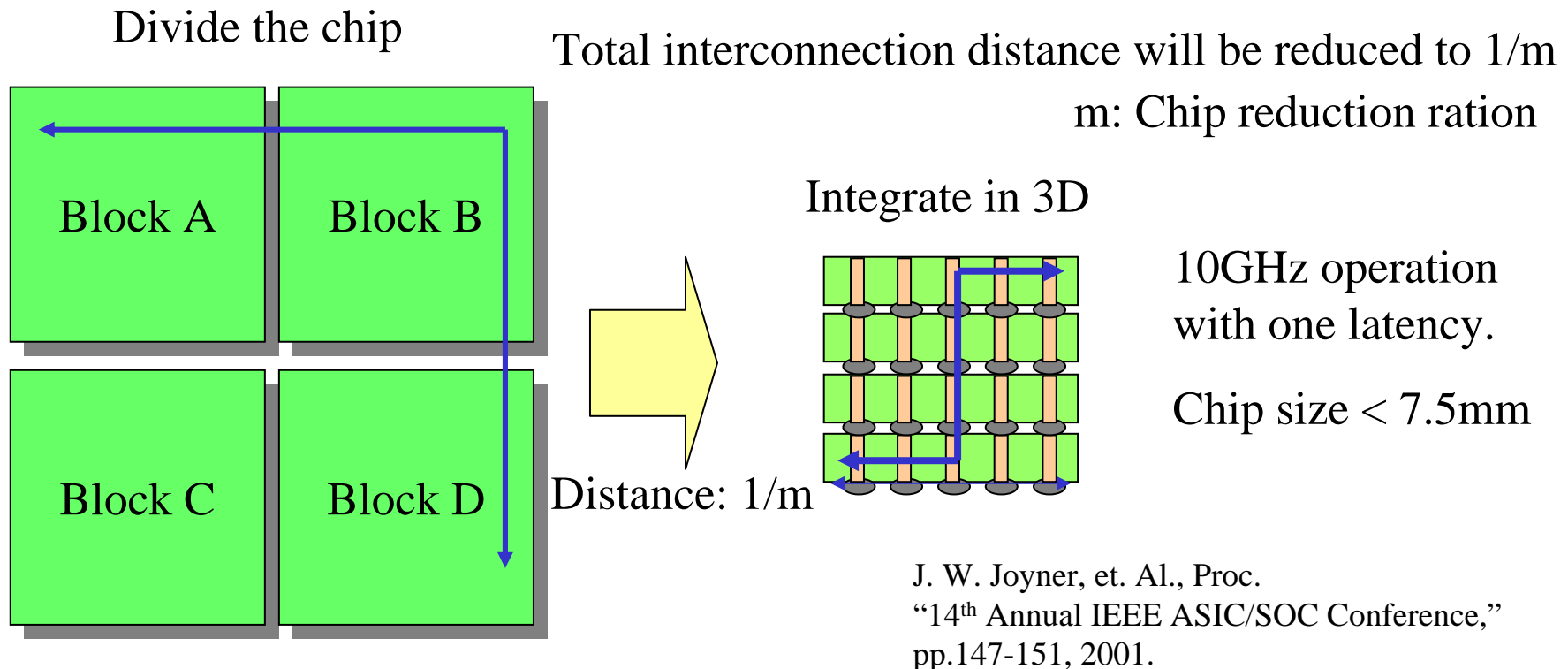
★ IO数の増加



資料提供: ルネサス 赤沢氏

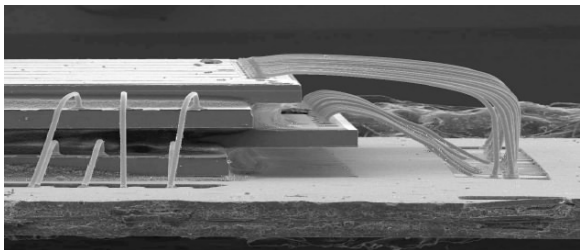
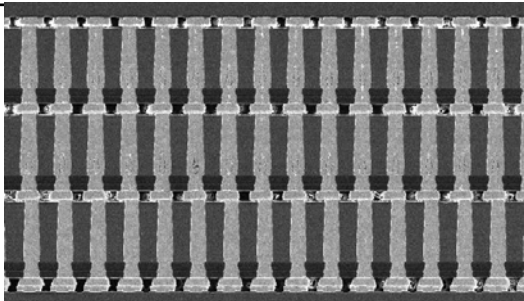
3次元LSIへの期待

配線長をもうこれ以上長くしないことが本質的に重要。
(本来はチップ長もスケールリングしなければならない。)
チップの大きさを固定して3次元化を図る方法が必要。



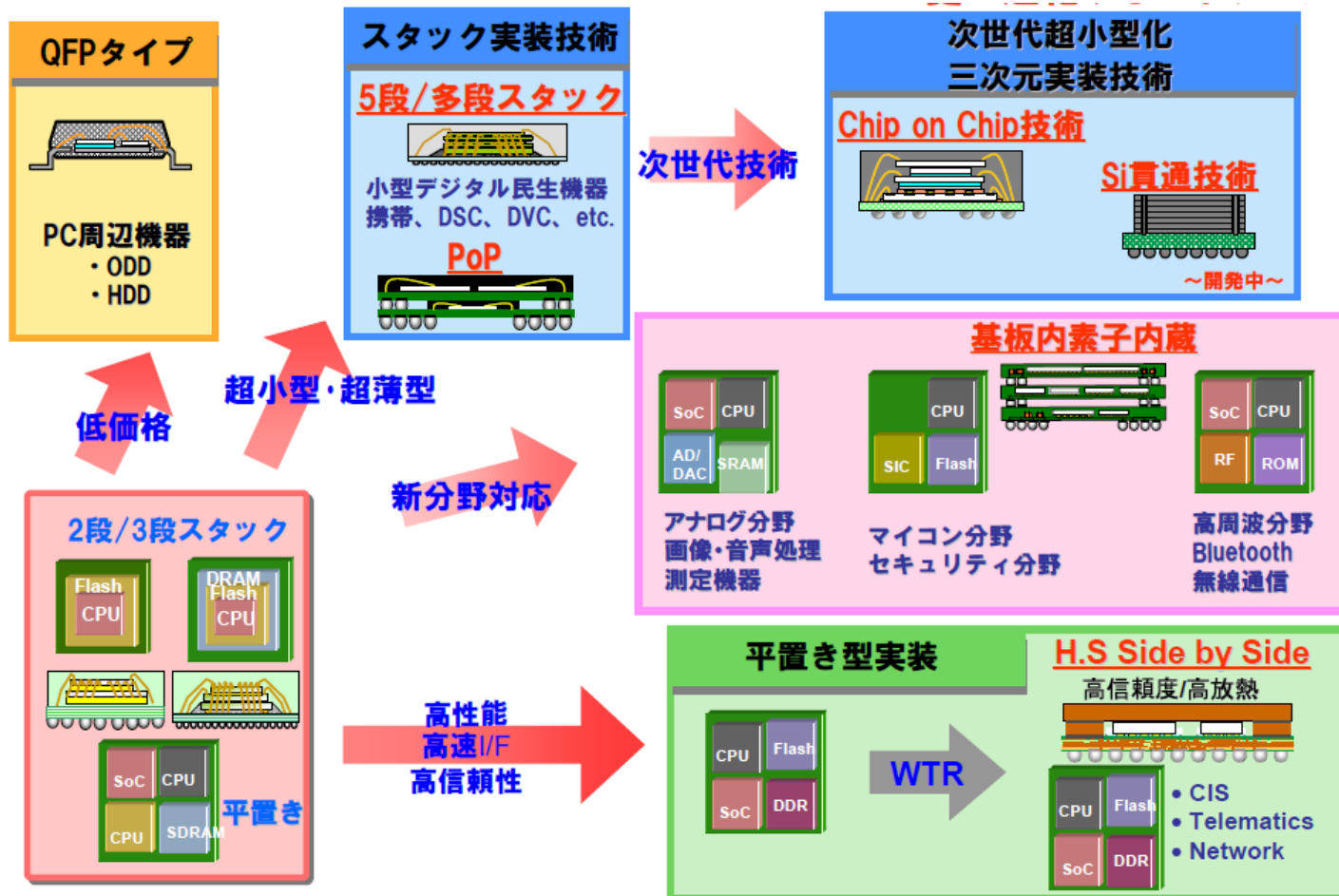
マイクロバンプと貫通ビアを用いたチップ積層

マイクロバンプと貫通ビアを用いたチップ積層ではオンチップ並みの電気特性が実現できる。

	Conv. SiP	TCV
外観		
接続方法	ワイヤボンディング＋基板上の配線	貫通電極＋バンプ
チップ間配線長さ	数mm～数10mm (写真では約10mm)	100 μm以下 (写真では60 μm)
配線のインダクタンス	10 nH	19 pH
配線のキャパシタンス	8 pF	0.1 pF
最小パッケージサイズ	チップサイズ＋5 mm以上	チップサイズ
厚さ(4チップ)	490 μm	240 μm

実装技術のまとめ

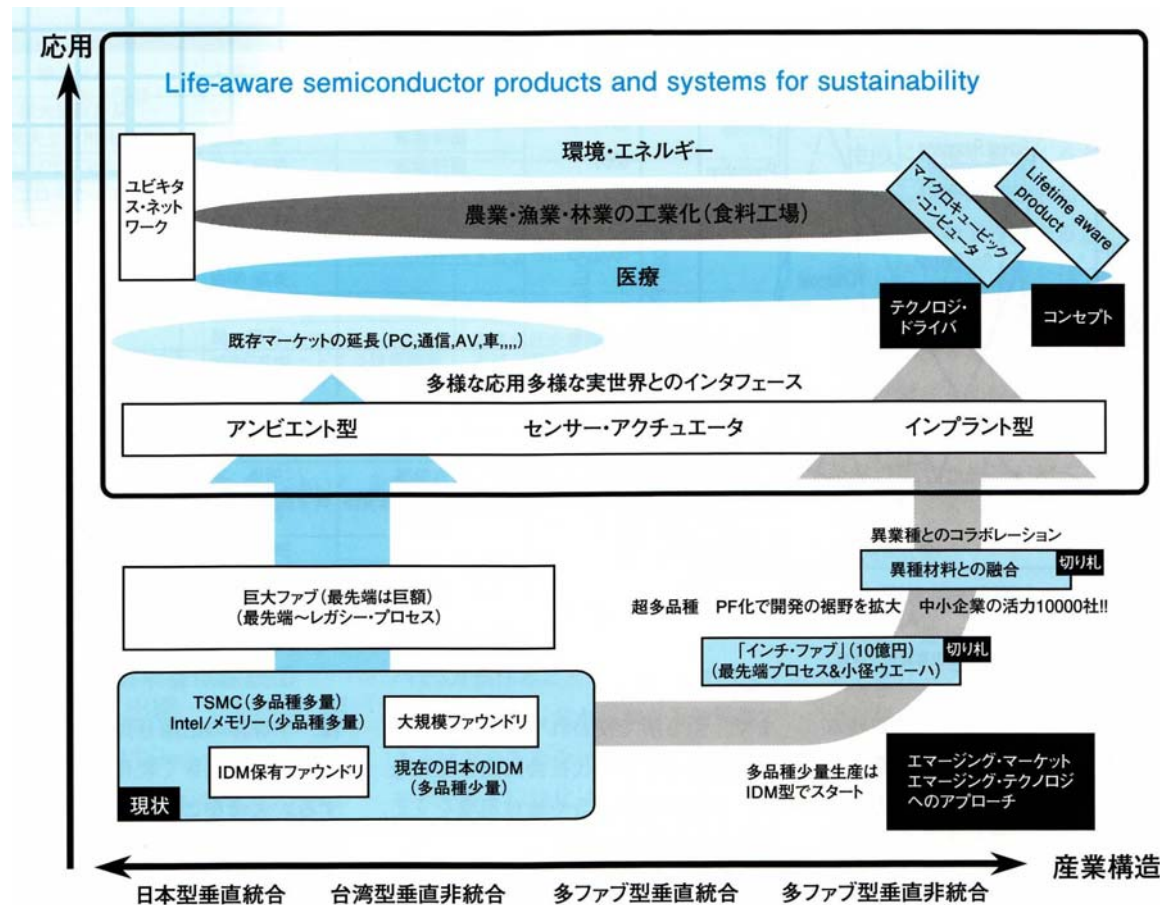
実装技術の方向性: 低コスト→省面積→異種デバイス混載→高周波・高速化



資料提供: ルネサス 赤沢氏

今後のLSI技術の方向性

実空間応用に向けた技術が加速



甲斐、藤島「2025年の半導体技術」
日経マイクロデバイス特別編集版

まとめ その1

- SoCは大量生産の大規模デジタル用途には今後も使用されるであろうが、用途は限定される
 - 設計開発金額の急騰
 - マスクコスト
 - ソフトウェア開発費
 - 性能/コスト比の減少
 - 消費電力低減や遅延時間縮小が困難
 - 並列化・マルチコア化は進歩だが、万能ではない
 - DFMなどへの対策費が急騰
 - 工場投資金額の急騰
 - 工場は集約方向へ
 - ファウンドリー化の促進

まとめ その2

- ・ 今後は実空間応用が重要に
 - 生活、環境、エネルギー、医療、食料、社会、交通などへの応用
 - デジタルだけでなく、アナログRF、センサー、アクチュエータ、電力制御・伝送などの多様な技術の集積が求められる。
- ・ 実空間応用に向けた実装技術が必要
 - SoCと微細化だけでは済まない
 - ・ 微細化が適さない用途の拡大
 - 異種デバイス混載
 - ・ センサー、パワー、無線、など
 - 3次元化は不可欠
 - ・ メモリー・プロセッサ間の配線長の短縮
 - ・ 信号伝送品質
 - ・ 異種デバイス混載