

# アナログ集積回路技術の歴史と将来展望

## A/D変換器の開発を中心として

松澤 昭

東京工業大学

2009.09.17

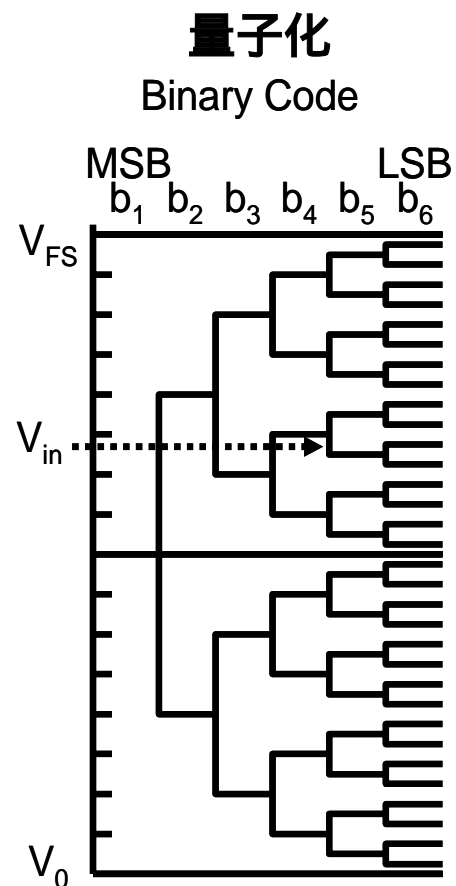
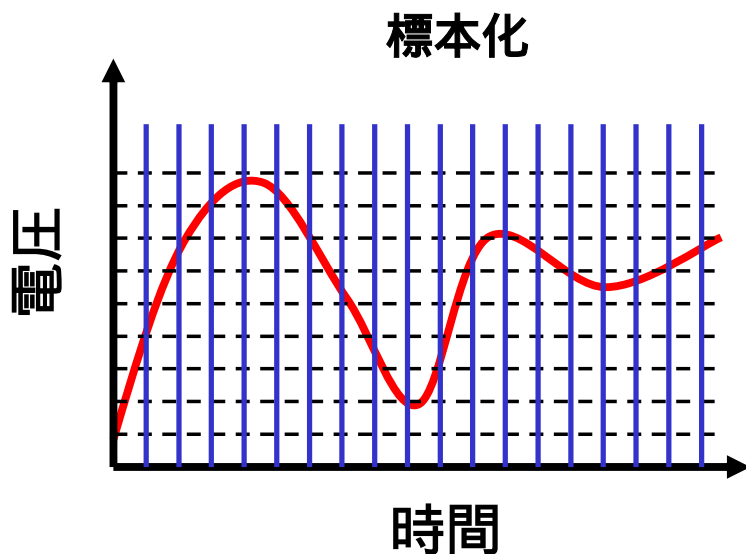
- はじめに
- 並列型、直並列型ADCの開発
- 現在主流のパイプライン型ADCとその課題
- 逐次比較型(SA型)ADCの革新
- 比較器の低電力化・高精度化
- SA型ADCとパイプライン型ADCの比較
- まとめ

# はじめに

# ADCの機能

標本化 一定タイミングで信号をサンプリングしてホールドする

量子化 標本化された信号を2進で重み付けされたバイナリーコードに変換する



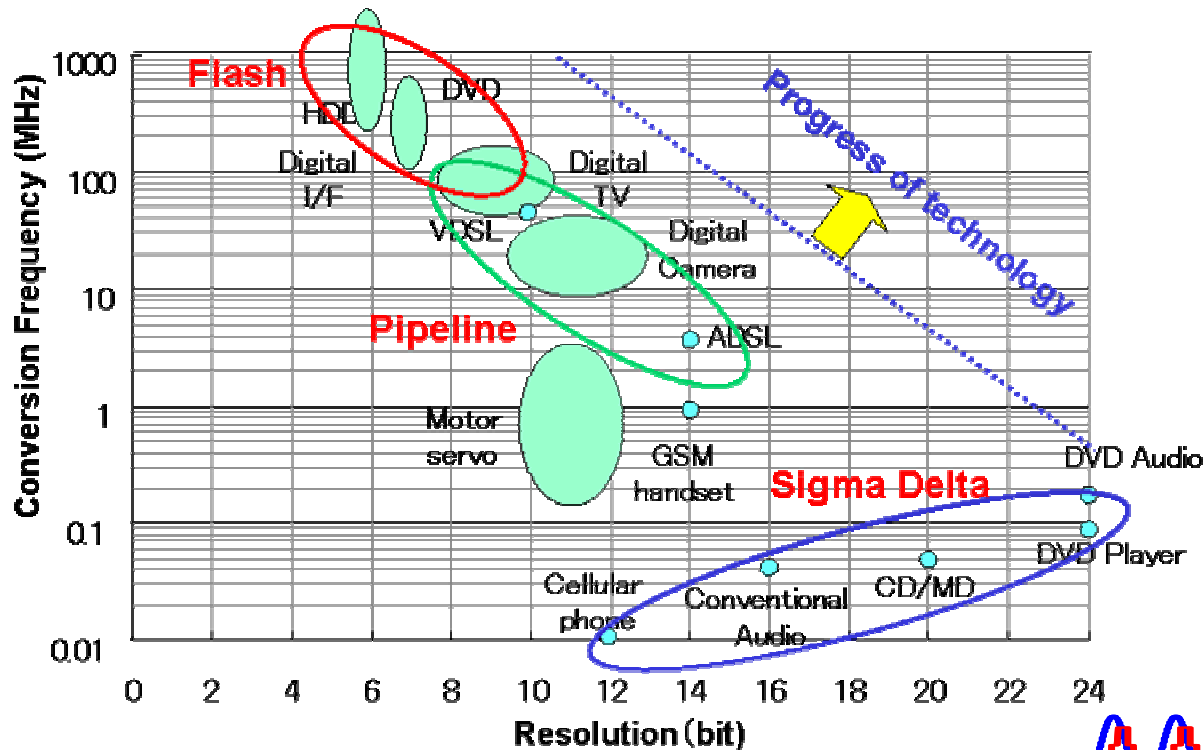
# 分解能・変換周波数・変換方式

対象信号の帯域、必要なSNRにより変換周波数と分解能が決まる。  
また、変換方式も異なる。

$$SNR(dB) = 6N + 1.8 \quad N=10 \quad 62dB \quad N: \text{分解能}$$

$$V_q(\text{量子化電圧}) = \frac{V_{FS}}{2^N} \quad N=10 \quad 1mV @ V_{FS}=1.0V$$

$$f_s(\text{標本化周波数}) > 2f(\text{信号帯域}) \quad V_{FS}: \text{フルスケール電圧}$$



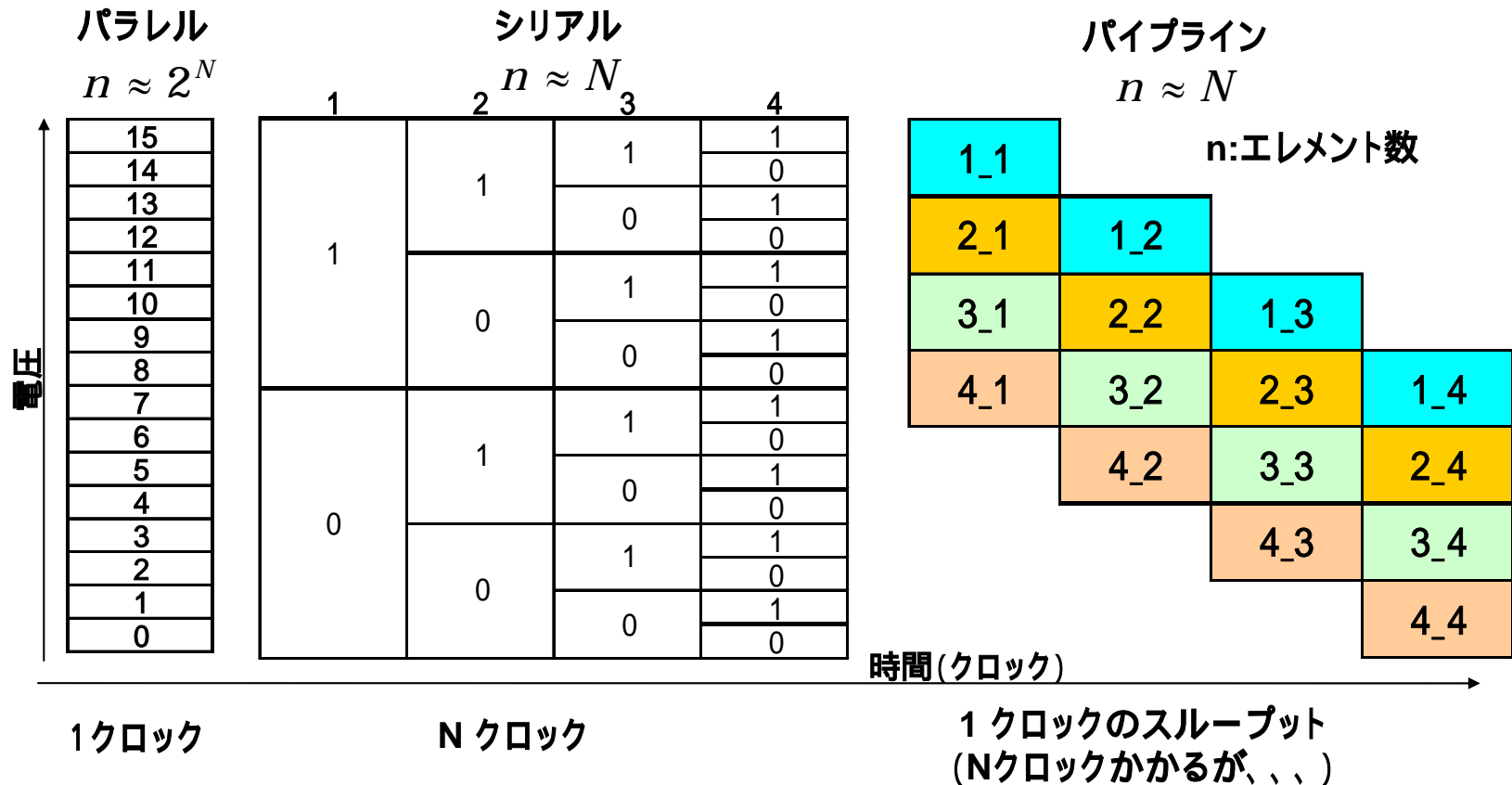
# 基本的な変換動作

エレメント数、クロック数により基本的に3つの変換手段がある。

回路規模大  
超高速

回路規模最小  
低速(Nクロック必要)  
S/H回路必要

回路規模小  
高速(見かけ上1クロック)  
S/H+OPアンプ必要



# デジタルビデオ技術の開発開始

78年に松下電器に入社し、79年に中央研究所に配属された。  
78年に松下電器は総力を結集し6時間録画のVHSビデオの開発に成功。  
以後ビデオ関連の売り上げは1兆円規模に達し、大黒柱に成長。

ビデオ機器はアナログ技術の粋と言うべきものであったが、  
次のデジタルビデオの開発に向けての研究が開始された。



1979, 中央研究所の配属同期と

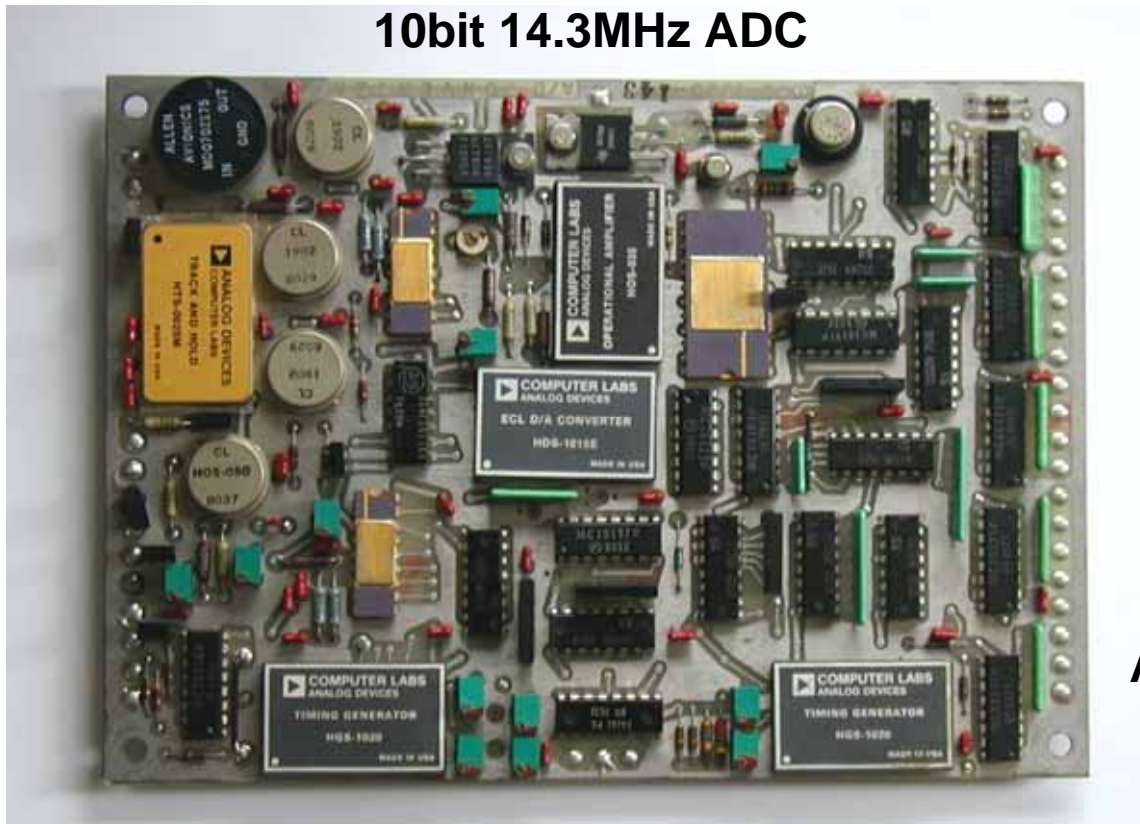


Panasonic VHS Video NV-6000, 1979

# 当時のビデオ用A/D変換器

ビデオのデジタル化の大きな課題はA/D変換器であった。  
当時のビデオ用10bit A/D変換器は非常に高価で消費電力が大きかった。  
民生品はおろか、業務用にも使用できないものであった。  
私の使命はADCを開発し、各種デジタルAV機器を実現することであった。

10bit 14.3MHz ADC



100万円 !!  
20W

Analog Devices Inc.



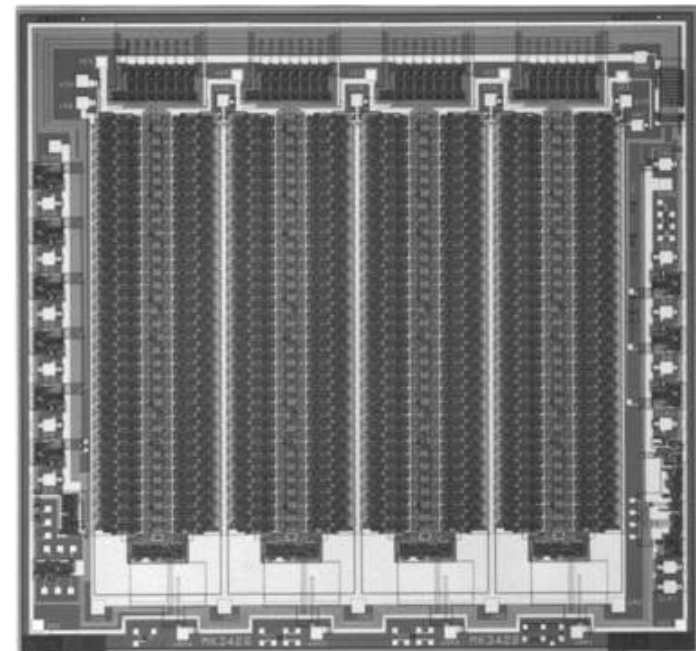
# 日本初のビデオ用 8b ADCの開発

初めての仕事で国産初のビデオ用8b ADCの開発に成功



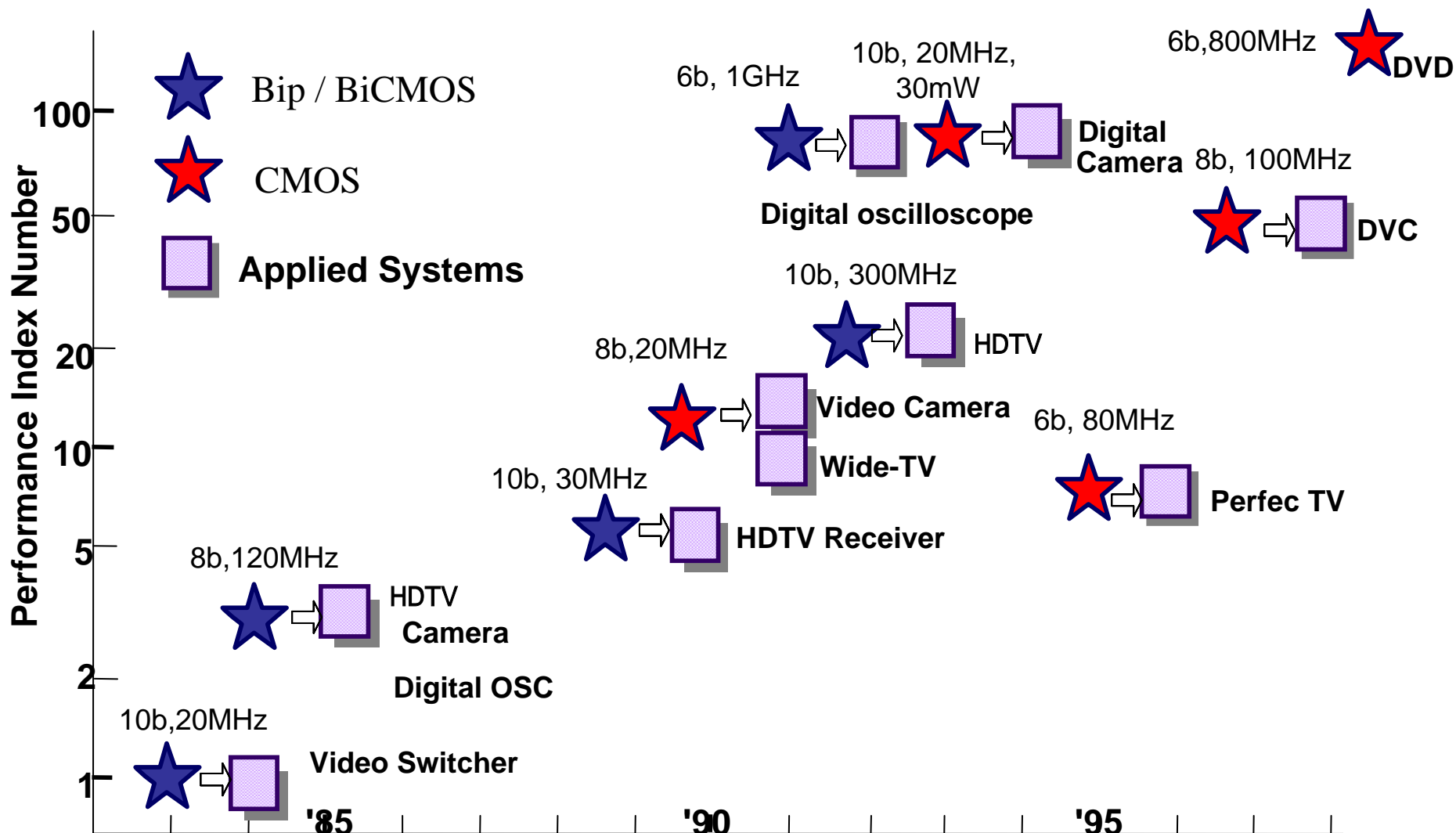
1981

Bipolar (3um)  
8b, 30MS/s, 0.7W



# ADC開発と機器開発の歴史

以後、各種のADCを開発し、各種デジタル機器を実現してきた。

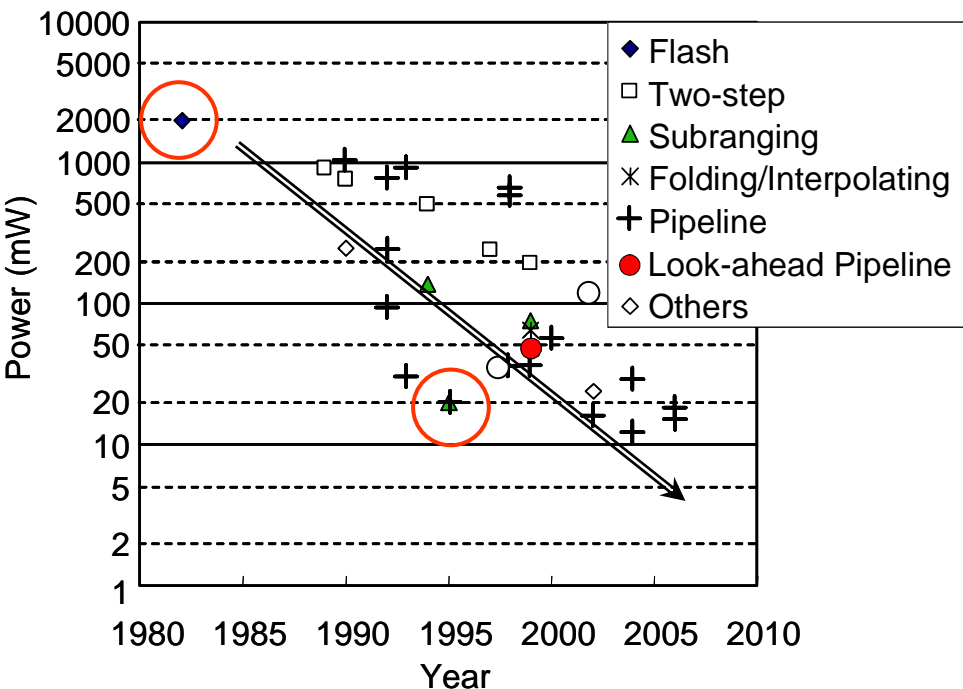


# ビデオ用 10b ADC の消費電力と占有面積の推移

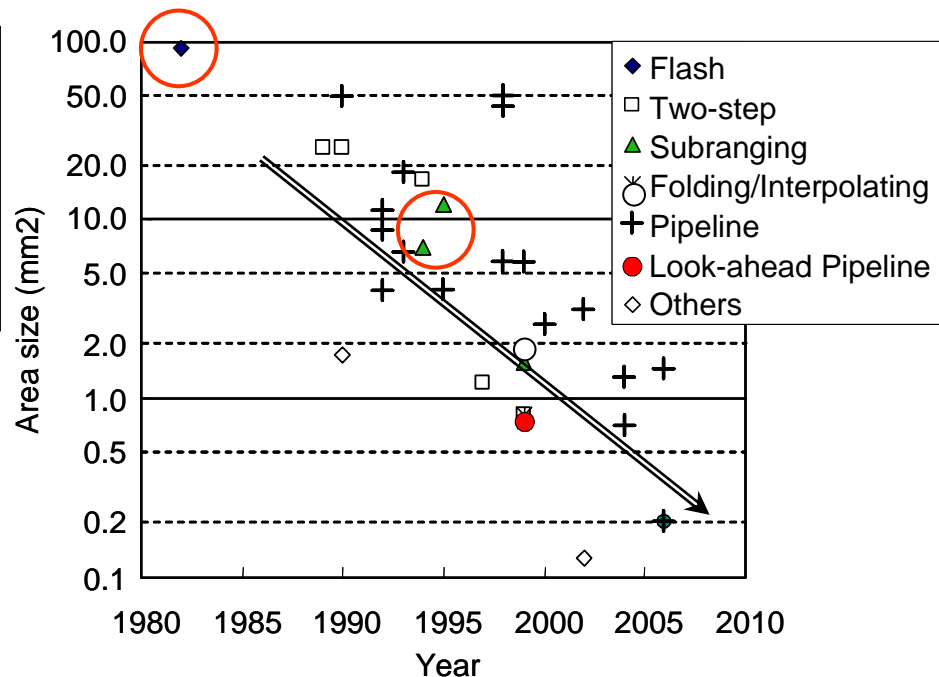
ここ、25年ほどで消費電力、専有面積は1000分の1程度まで低下した。  
微細化の貢献もあるが、回路やアーキテクチャの技術の開発がそれを可能にした。

○ 私の開発

消費電力



面積



武蔵工大 堀田先生より

# 並列型、直並列型ADCの開発

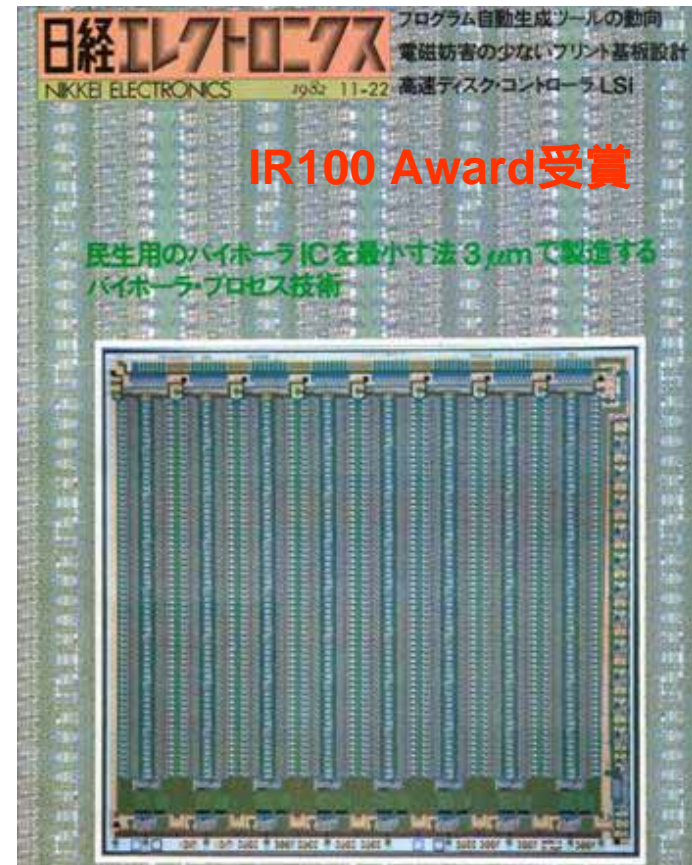
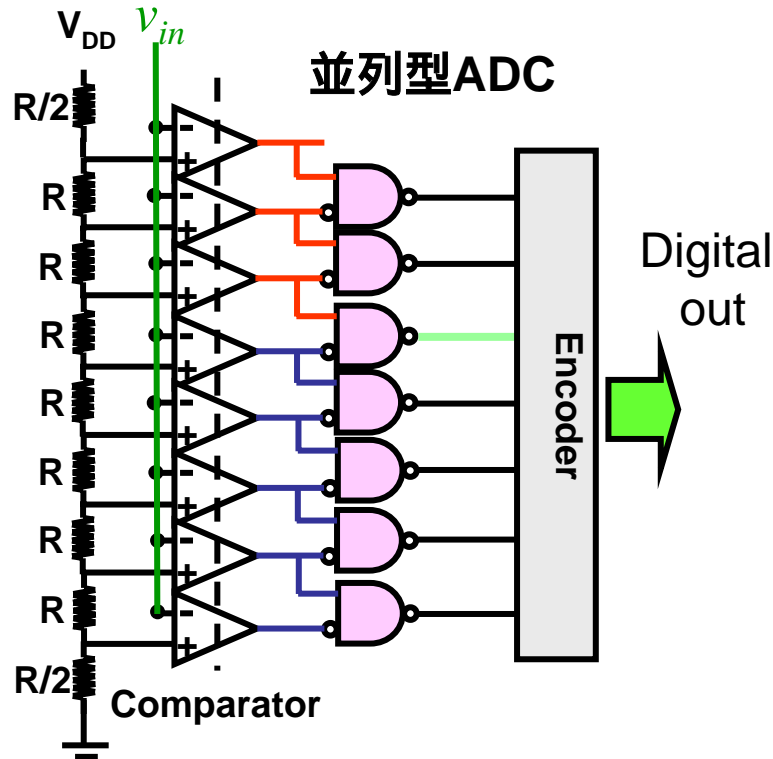
# 世界初の集積化されたビデオ用 10b ADC

バイポーラ技術を用いて高精度比較器を集積し、  
81年、世界初の集積化されたビデオ用10b ADCを実現した。

T. Takemoto and A. Matsuzawa,  
JSC, pp.1133-1138, 1982.

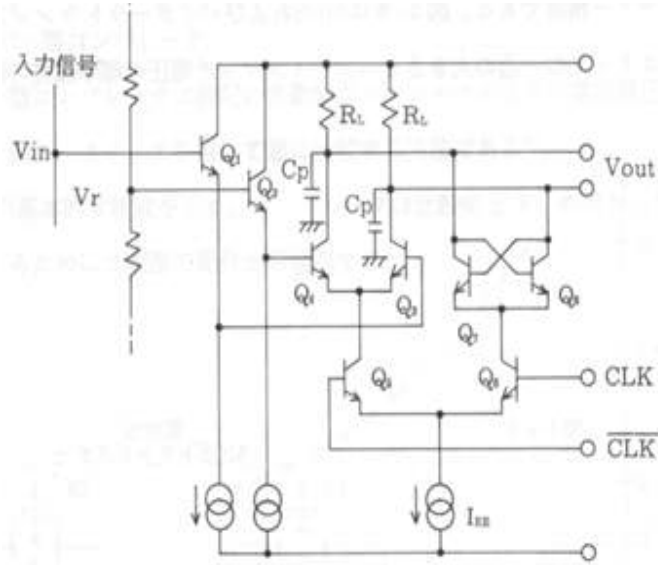
Bipolar (3um)  
10b, 20MS/s, 2W  
\$ 800

世界初のデジタルビデオスイッチャー  
256QAM無線伝送  
ソウル五輪のハイビジョン中継などに使用



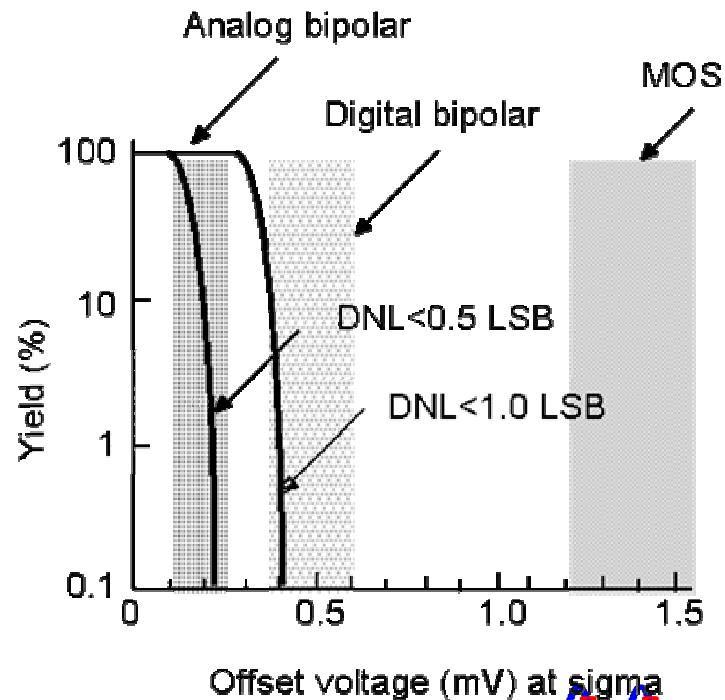
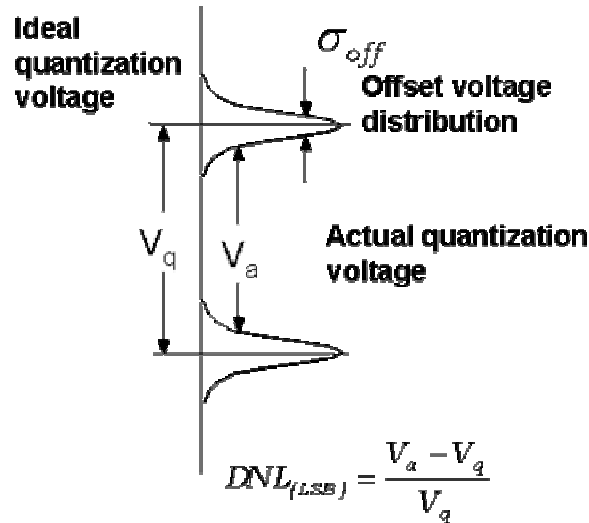
# 並列型ADCの精度

基本的に並列型ADCの精度を決めるのはトランジスタミスマッチ電圧である。



量子化電圧を2mVとすると、  
0.2mV以下のミスマッチ電圧

バイポーラTRでは可能だったが、MOSでは無理

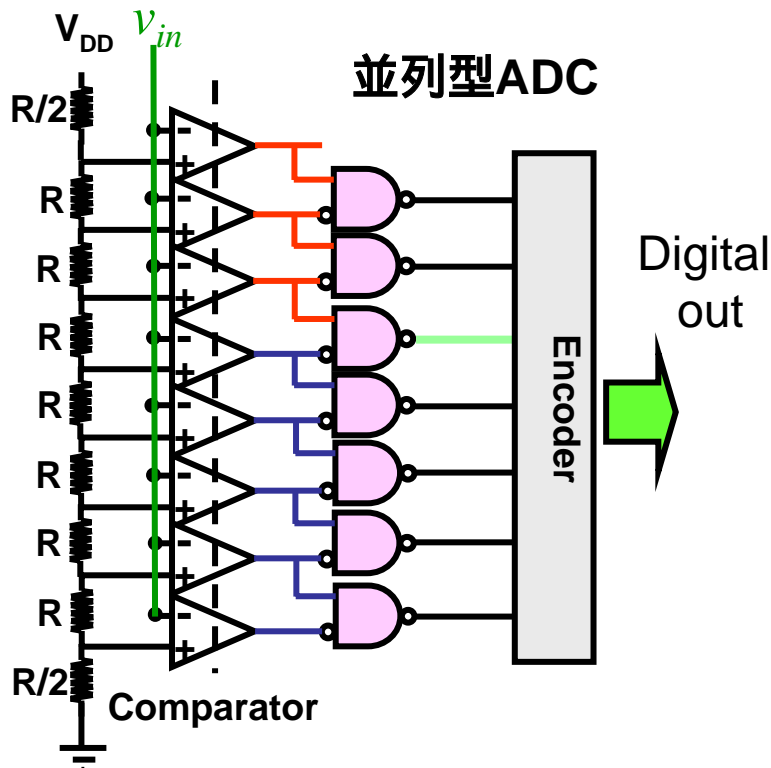


# 並列型ADCの課題

最高速であるが、高分解能になるほど実現困難になる。

また、回路規模が大きくなると負荷容量や配線遅延時間の増大により高速化も困難となる。

当時、この方式を採用したのは、CMOS微細化が不十分で増幅器の速度が遅すぎたのと、直並列型やパイプライン型ADCに必要なサンプルホールド回路がバイポーラでは難しかったため。



$n$ : 比較器の数、面積、消費電力

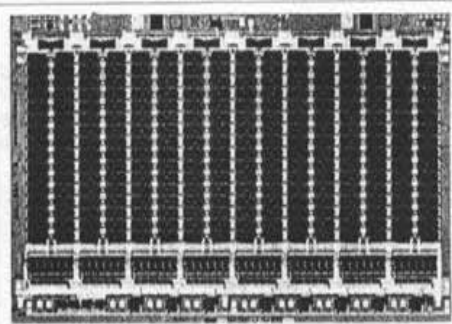
$$n \propto 2^N$$

ミスマッチ電圧

$$\Delta V_{mis} \propto \frac{1}{2^{(1+\alpha)N}}, 0 < \alpha < 1$$

# バイポーラ技術を用いた超高速 ADC

バイポーラ技術と並列型ADC技術を用いて各種超高速ADCを開発した。



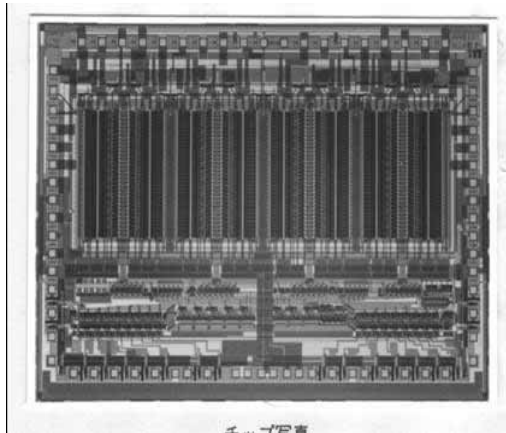
8b, 120MHz, (1984)

M. Inoue and A. Matsuzawa, ISSCC 1984

世界最速 8b ADC

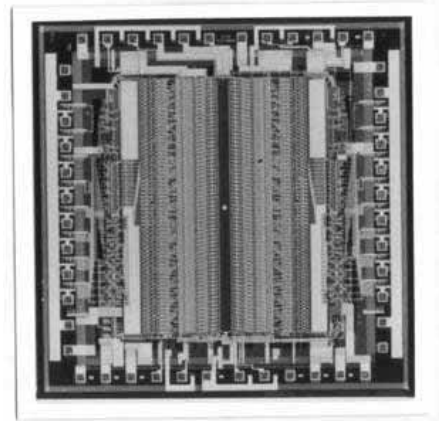
JSC. SC-19, 1984

HDTV カメラ とデジタルオシロスコープの実現に寄与



8b, 600MHz ADC (1991) A. Matsuzawa, VLSI symposia 1991

世界最速 8b ADC



A. Matsuzawa, ISSCC 1991

6b, 1GHz ADC (1991)

量産レベルで世界最速

デジタルオシロスコープの実現



# Digital Oscilloscope

デジタルオシロスコープは超高速ADC開発があってこそ誕生できた。

Yokogawa Electric 8b 1GHz (1994)

**Panasonic: 10b 100MHz OSC (1986年)**

ADコンバータ  
マルチコープター  
逐次取得機能  
トリガ位置調整器  
トリガ遅延調整器  
トリガレベル調整

VP-5760A ¥1,490,000 (税別)

INTEN, FOCUS, SCALE 調整  
帯域制限 (10 MHz)  
垂直拡大機能 (X2, X5, X10)  
ピーク検出  
X-Y 表示  
CH2 駆動同期  
DC オフセット / バイパス / スケルアップ  
トリガ遅延調整  
TV フォームトランシエクション

**YOKOGAWA**

▶ 1GS/s — 8CH同時 / 4CH同時  
▶ 周波数帯域 DC ~ 500MHz  
▶ 640 × 480 ドット 高分解能カラー表示  
▶ データを呼び戻せるヒストリメモリ

DL5140 (4チャンネル) / DL5180 (8チャンネル) は、各チャンネルに1GS/sのA/D変換器を搭載し、周波数帯域もDC~500MHzの広帯域を実現しています。すべての電子回路の動作確認および部動作チェックを確実に行うために、各種機能で対応しています。特別な設定をしなくても常に120アインクション分の波形データを保持しているヒストリメモリは、真実現象を捕捉したと思ったから次のアインクションでは消えていたという状況を防ぎます。

■ 専用FETプローブ (300MHz, 買別)  
■ 3.5インチFDD標準装備  
■ 豊富なトリガ機能  
■ 内蔵プリンタ (オプション)

高速カラーデジタルオシロスコープ  
**DL5140**  
価格: 4CH ¥2,980,000 (税別)  
**DL5180**  
価格: 8CH ¥4,980,000 (税別)

誕生  
超高速カラーデジタル  
オシロスコープ

**DL5140 / DL5180**  
(4チャンネル) (8チャンネル)

10GHz / 4CH  
サンプリングオシロスコープ  
**DL8100**  
価格: ¥2,800,000 (税別)

横河電機

0120-137046

70

並列型ではコスト、量産性などに多くの課題があり、民生用は無理であった。直並列型が回路規模の低減に有効であるがサンプルホールド回路を必要とし、バイポーラ回路では良好な特性を得ることが困難であった。そこで、当時使用可能になっていたBi-CMOSを用いて解決し、直並列型ADCを開発した。

## ハイビジョン受像器用ボード

### Bi-CMOS サンプルホールド回路

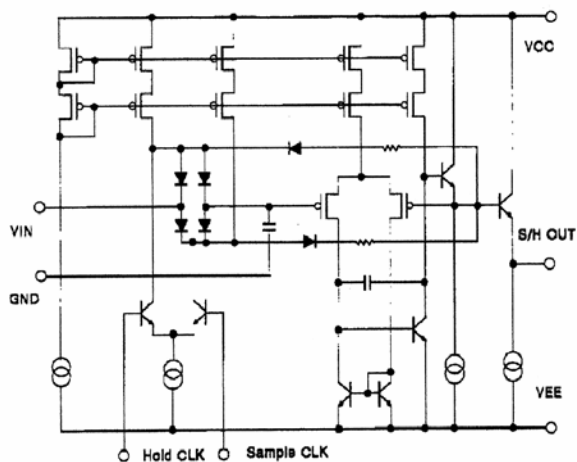
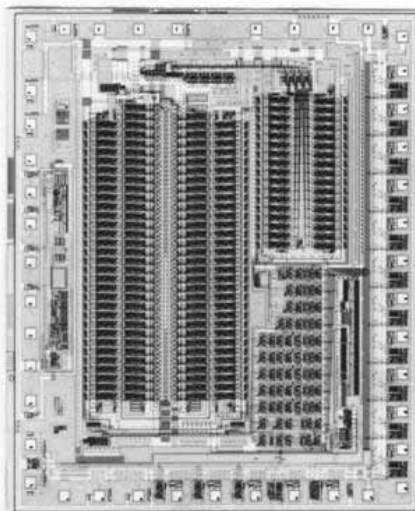


FIGURE 4—BiCMOS S/H circuit.

### A. Matsuzawa ISSCC 1990.



チップ写真



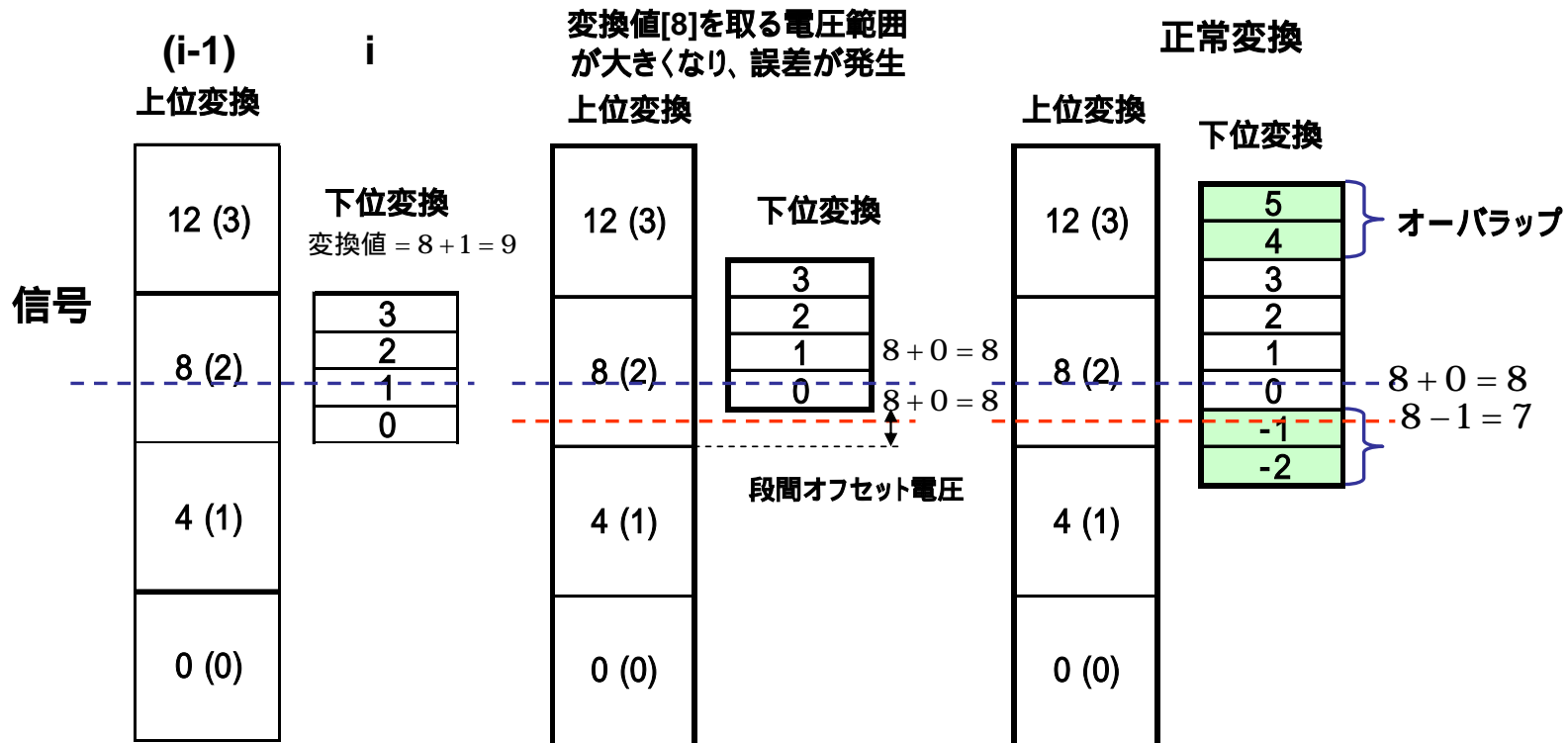
# 直並列型ADC

直並列型ADCでは回路規模は削減されるが、サンプルホールド回路を必要とする。  
段間オフセット電圧により変換誤差が発生するが、これはオーバーラップ構造で解決できる。

$$n = 2^M + 2^{N-M} \rightarrow 2^{\left(1 + \frac{N}{2}\right)} @ M = \frac{N}{2}$$

段間にオフセット電圧がある場合

オーバーラップ構造を使用



# 補間型A/D変換方式の発明

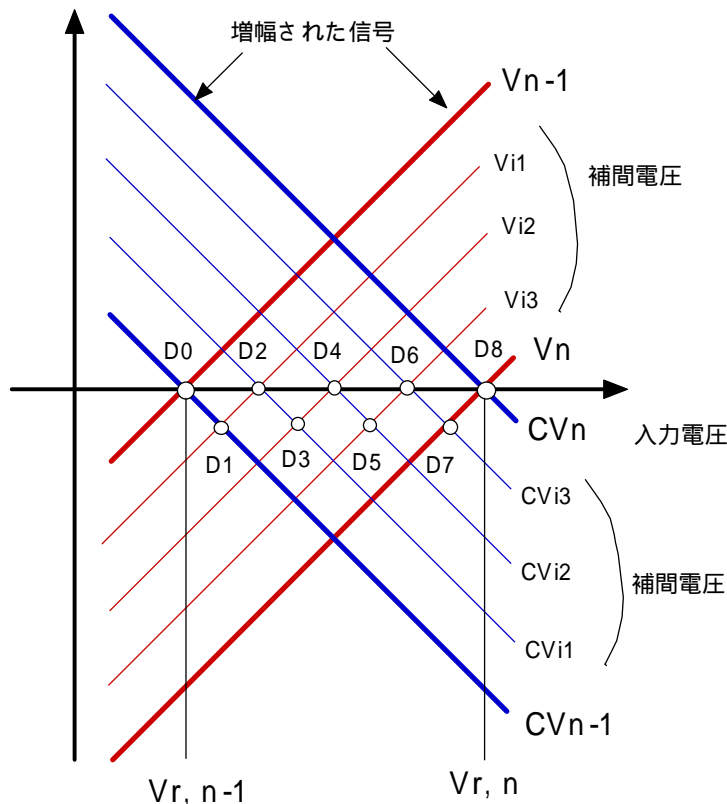
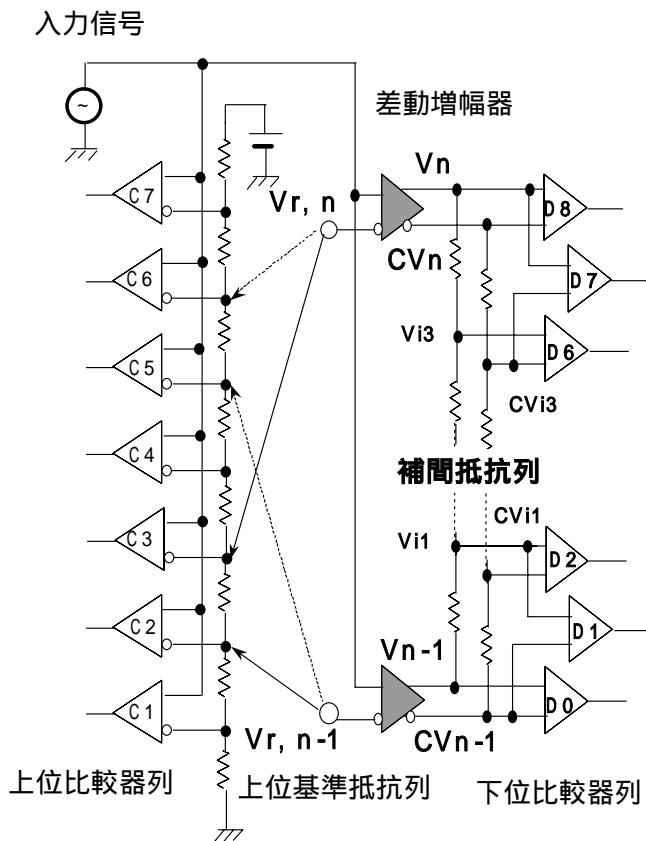
段間オフセット電圧が一定でないに変換誤差を発生するが、補間により、オフセット電圧が変化しても必要な変換区間を均等分割してなめらかに変換する。

1994 注目発明賞受賞

フィリップスグループが補間技術の先駆者である。  
R. van der Griff, JSC, SC-22, 1987.

## 補間により変換区間が均等分割される

差動増幅器の出力電圧  
・ 補間電圧

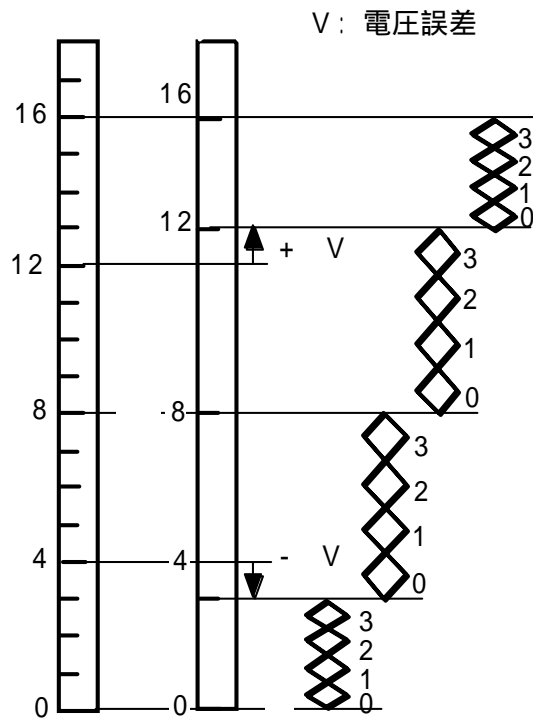


# 補間を用いたA/D変換の効果

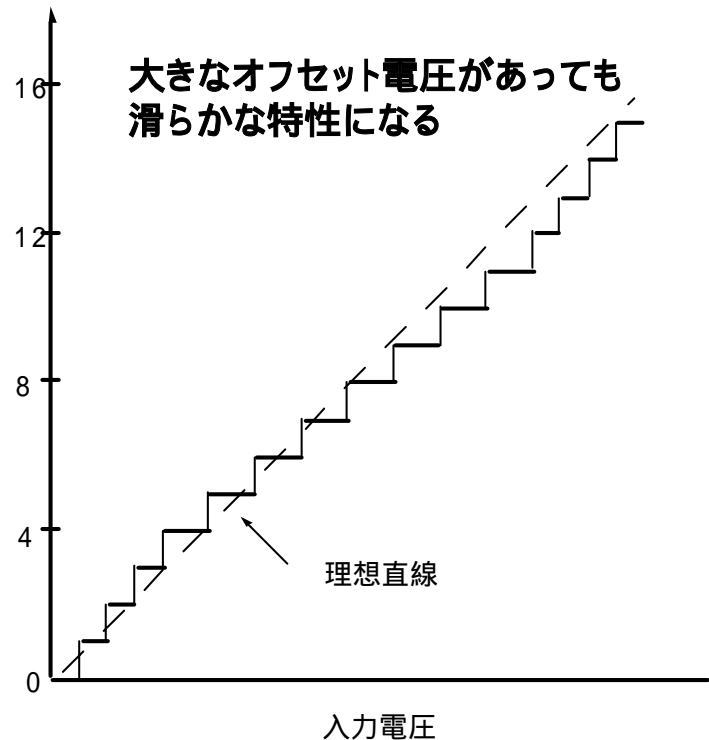
初段に増幅器を用いているので比較器のオフセット電圧が下がったように見える

増幅器や参照電圧にオフセットばらつきがあってもDNLの少ない滑らかな変換が可能

$$\sigma_{off}^2 = \left( \frac{\sigma_{diff}}{m} \right)^2 + \left( \frac{\sigma_{comp}}{G} \right)^2$$



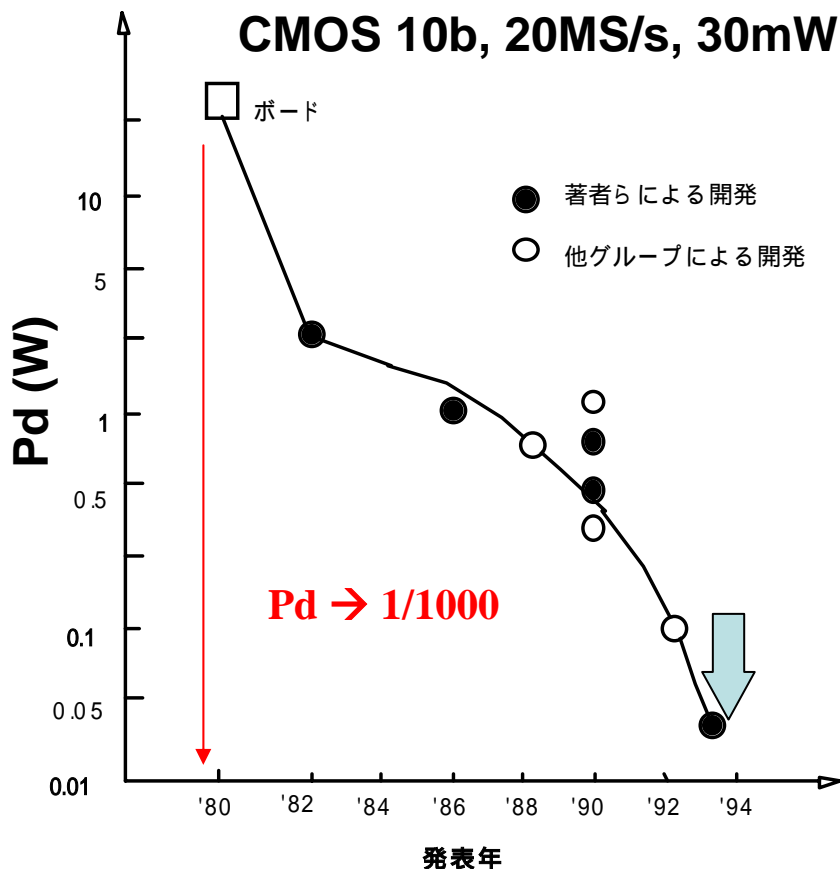
(a) A/D変換動作



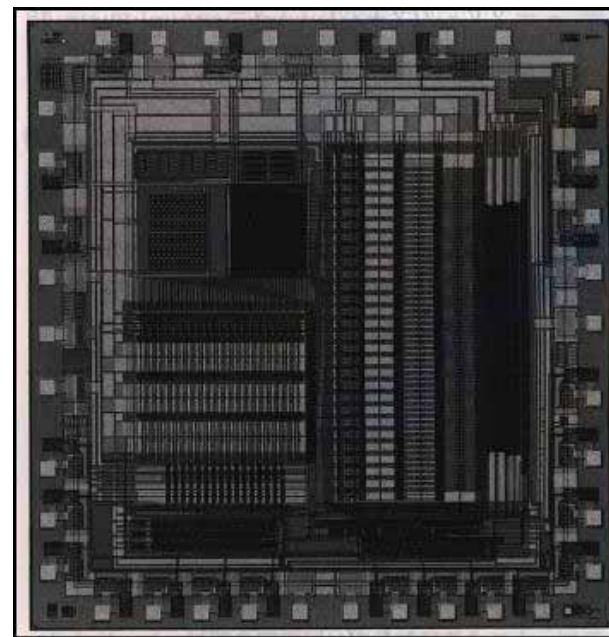
(b) A/D変換特性

# 超低電力 CMOS 10b ADCの開発

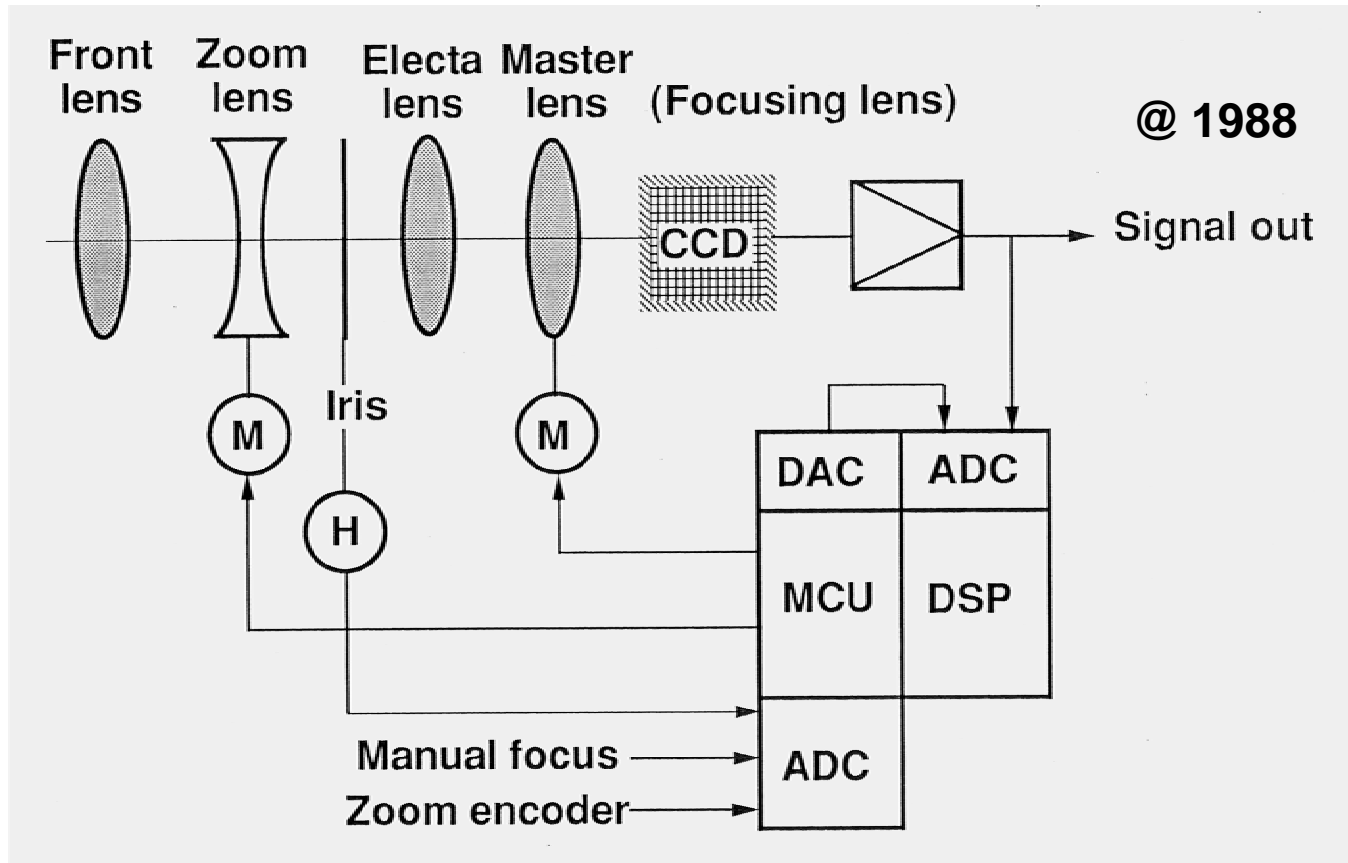
デジタル信号処理技術は特にビデオカメラに必要とされた。  
オートフォーカス、自動色補正、手ぶれ補正などを実現するためである。  
しかしながら、当時携帯用ビデオ機器に使用できるくらいの低電力、低コストADCがなかった。  
そこで、CMOSを用いて世界最小の消費電力の10bit ADCを開発した。



K. Kusumoto, A. Matsuzawa  
ISSCC '93, JSC 1993.  
@0.8 $\mu$ m CMOS ADC



デジタル信号処理技術は特にビデオカメラに必要とされた。  
オートフォーカス、自動色補正、手ぶれ補正などを実現するためである。



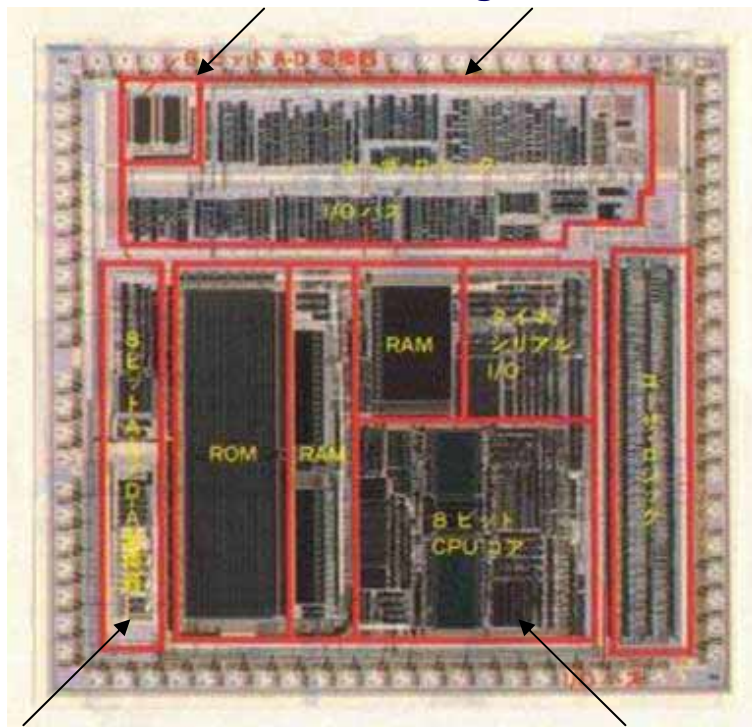
# 初期のアナログ・デジタル混載LSI

低電力 CMOS ADCの開発に成功したことで、デジタルフィルターや、マイコンなどのデジタル回路との混載が可能となり、ポータブルAV機器の小型化低コスト化に大きく貢献した。

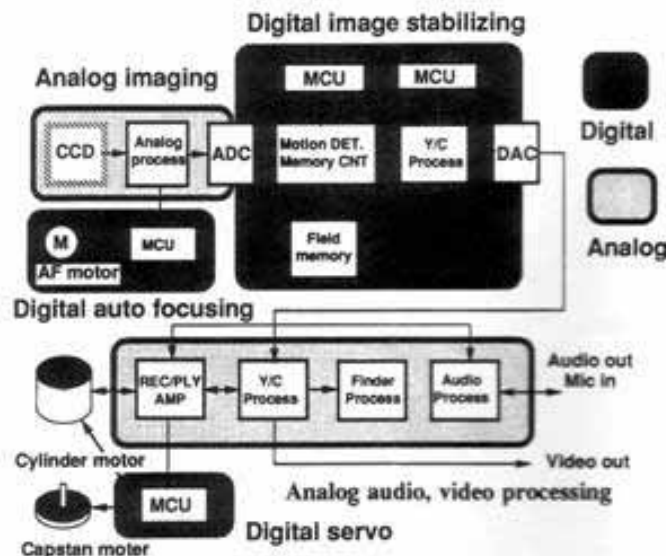
A. Matsuzawa, "Low-Voltage and Low-Power Circuit Design for mixed Analog/Digital Systems in Portable Equipment," IEEE Journal of Solid-State Circuits, Vol.29, No.4, pp.470-480, 1994.



6b Video ADC    Digital Video filter



System block diagram



8b low speed ADC;DAC

8b CPU



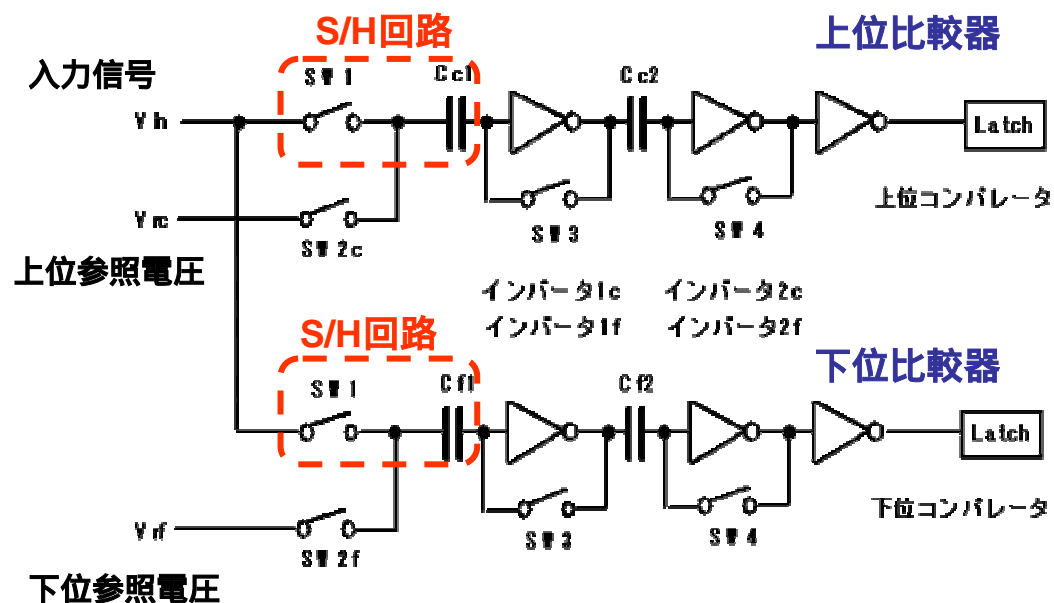
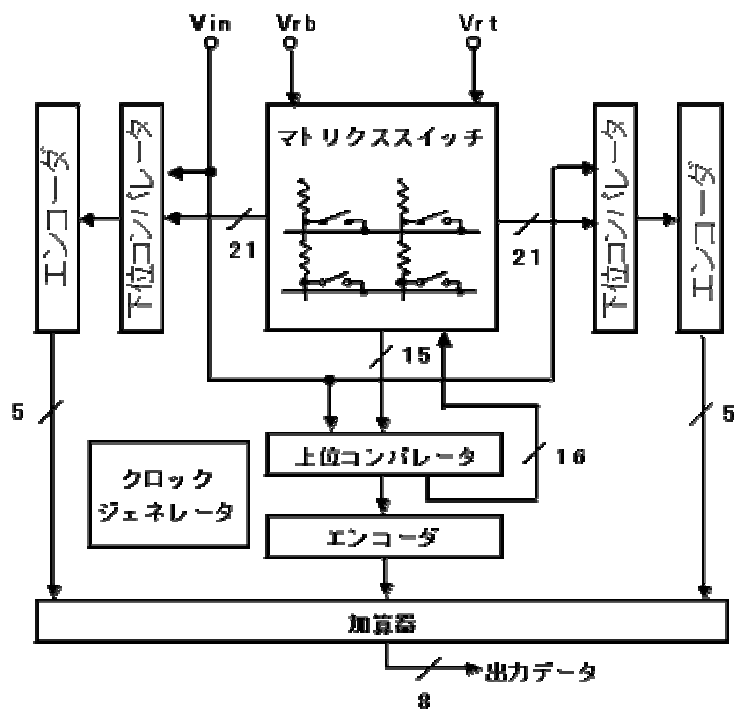
CMOSによる直並列型ADCを実現するには

1. 高精度比較器  $V_{off} < 1\text{mV}$  (通常MOS  $V_T$ ミスマッチは20mV程度)
2. S/H機能の実現
3. 低電力化

## CMOSチョッパ型比較器

S/H機能とオフセット補償を同時に実現

N. Fukushima, ISSCC 1989



最初のCMOS比較器はただ単にバイポーラ回路をCMOSに焼きなおしたものであった。MOSはバイポーラに比べ約20倍精度が悪く(2mV vs. 0.1mV)、このため7bitくらいが限界であった。

MOSトランジスタのミスマッチを低減するためにはゲート面積を大きくする必要があり精度を上げようとする、コスト、消費電力が増大し、変換周波数が低下した。

MOSトランジスタのゲート面積とミスマッチ

Yukawa, et al., JSC, 1986.

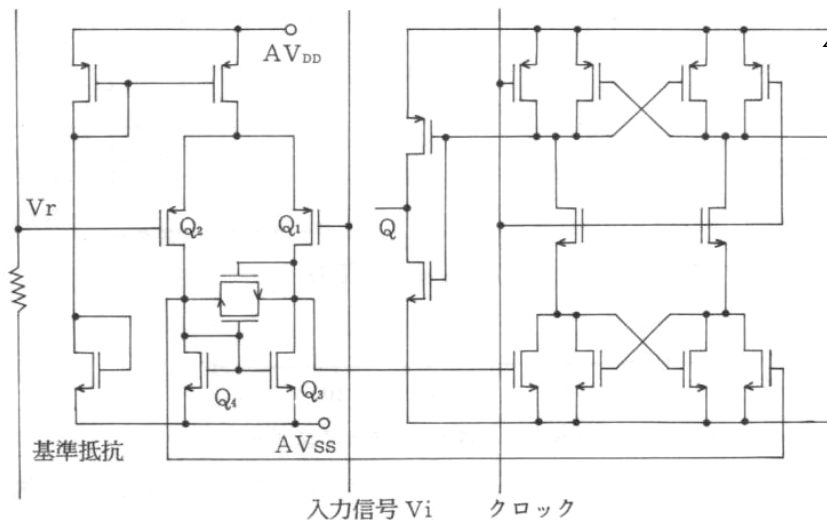
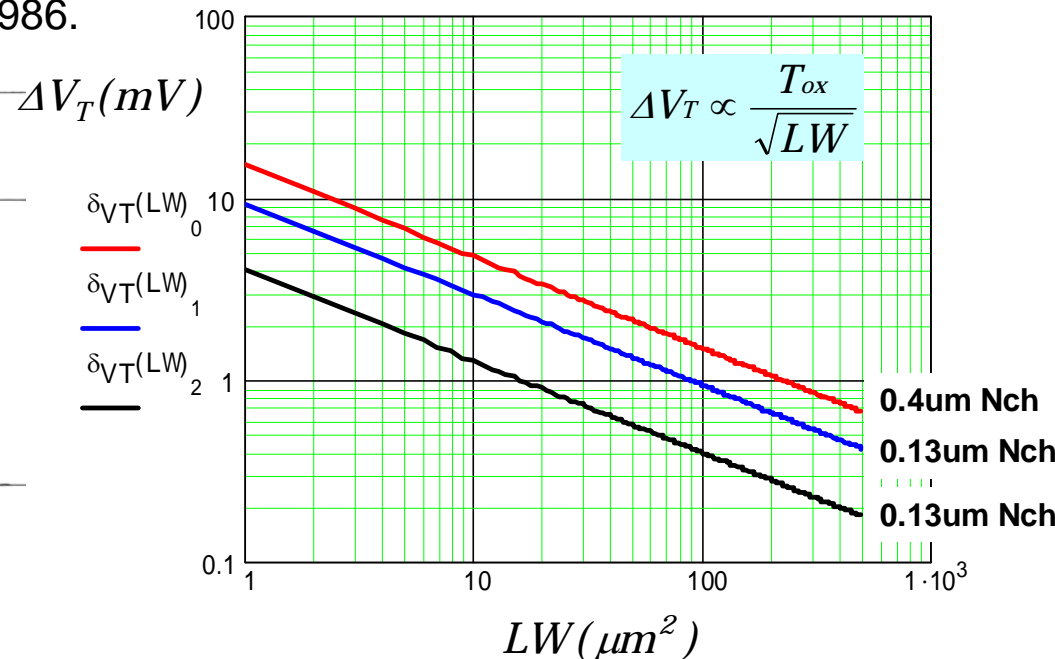


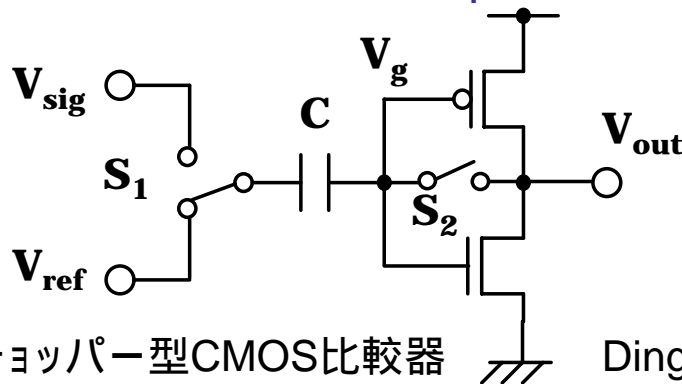
図 5-5 (b) MOS差動型コンパレータ



# チョッパ型CMOS比較器

CMOS ADCが高精度かつローパワーになったのはこのチョッパ型比較器が開発による。インバータ、容量、スイッチという最も単純な回路を組み合わせることで、比較・増幅・オフセット電圧補償、ラッチ動作を実現した。

ダイオード電圧は $V_T$ 変動などにより変動するが、容量Cによりキャンセル可能

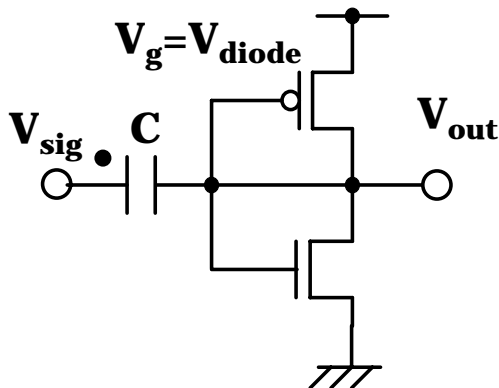


従って、微細なトランジスタを用いても高精度、低電力変換が可能になった。また、S/H機能が簡単に実現できるようになった。

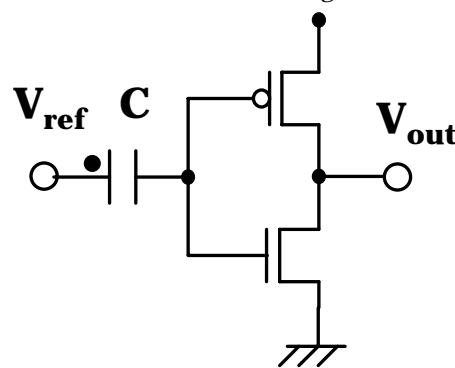
チョッパ型CMOS比較器

Dingwall, RCA, 1979

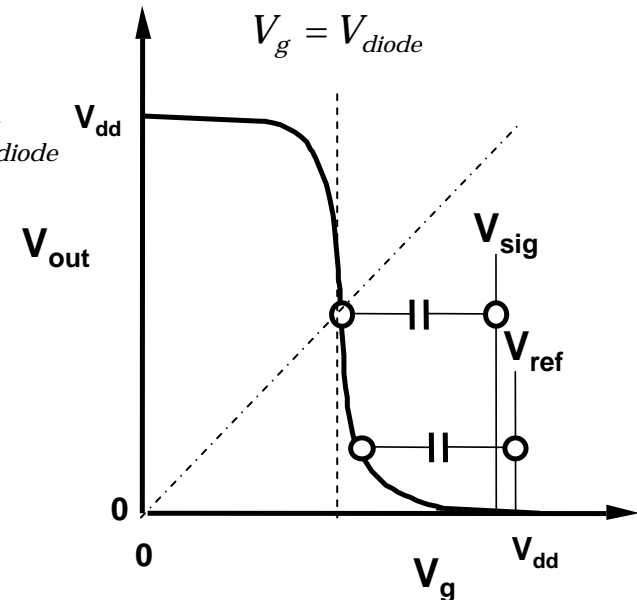
$$V_{out} = G(V_{sig} - V_{ref}) + V_{diode}$$



信号トラッキング



サンプル+比較増幅

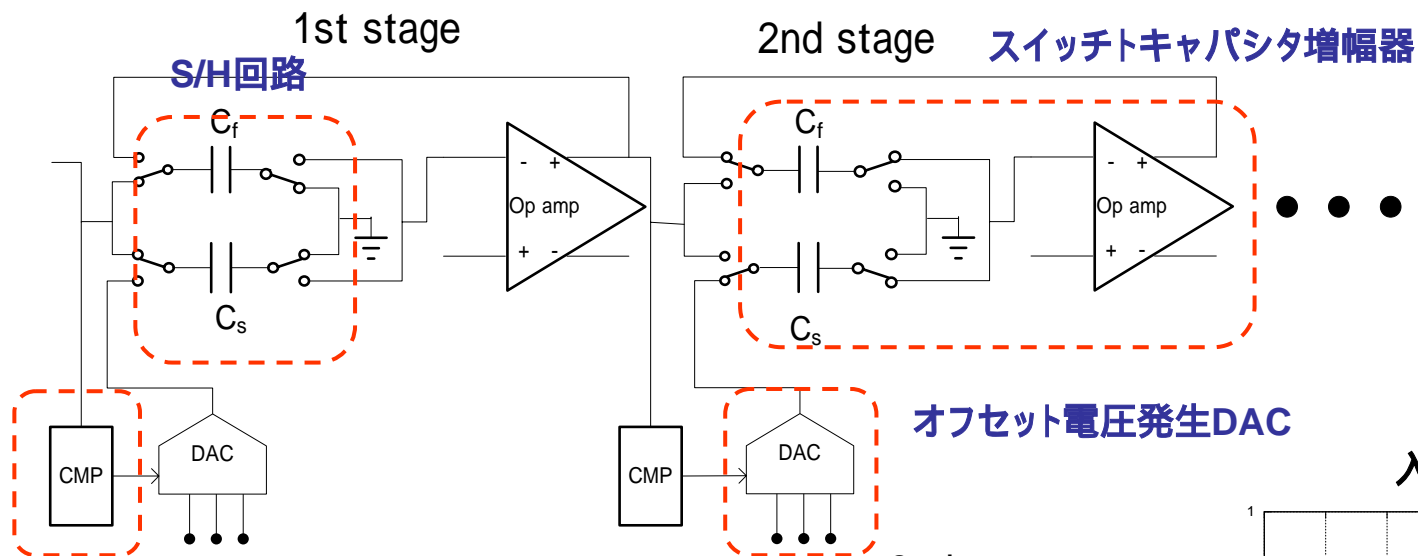




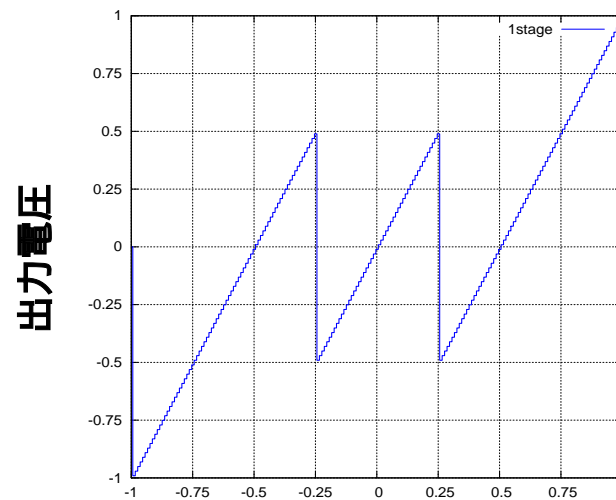
# 現在の主流のパイプライン型ADCとその課題

# パイプライン型ADC

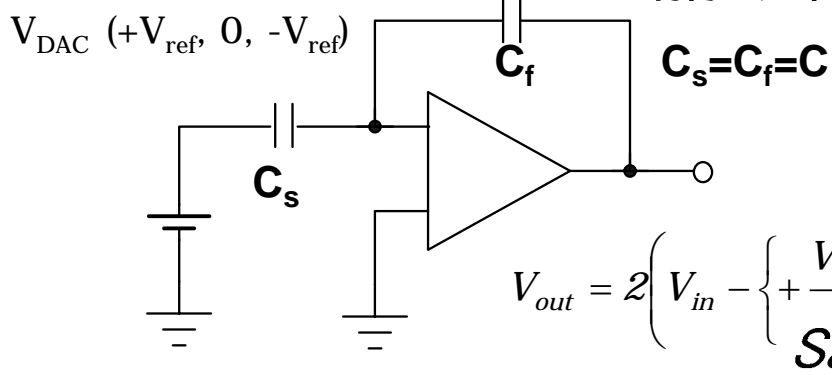
パイプライン型ADCは折り返した入出力特性を有しパイプライン動作によりA/D変換を行う。



入出力特性



利得は通常、正確に2倍



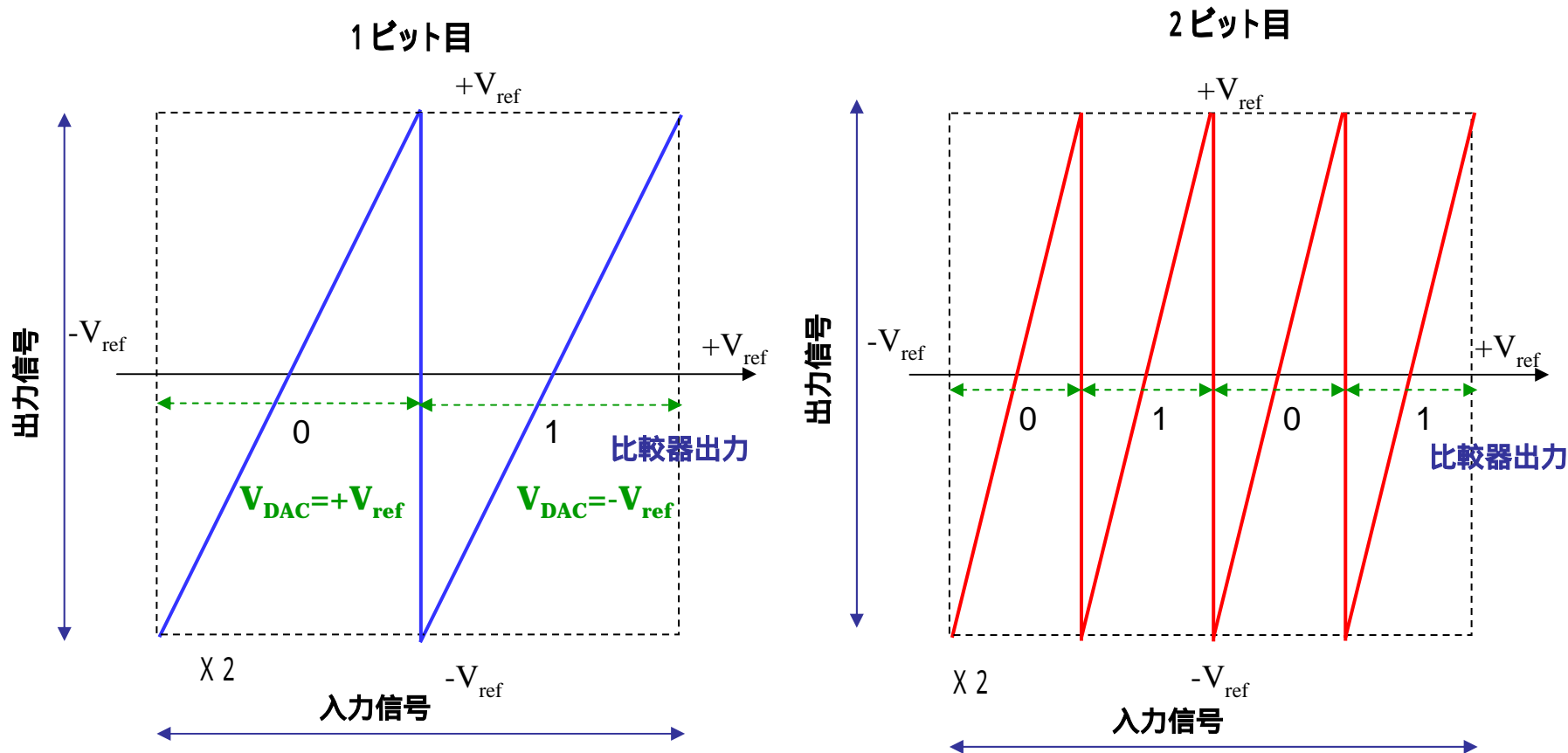
$$V_{out} = 2 \left( V_{in} - \left\{ +\frac{V_{ref}}{2}, 0, -\frac{V_{ref}}{2} \right\} \right)$$

Sample

入力電圧

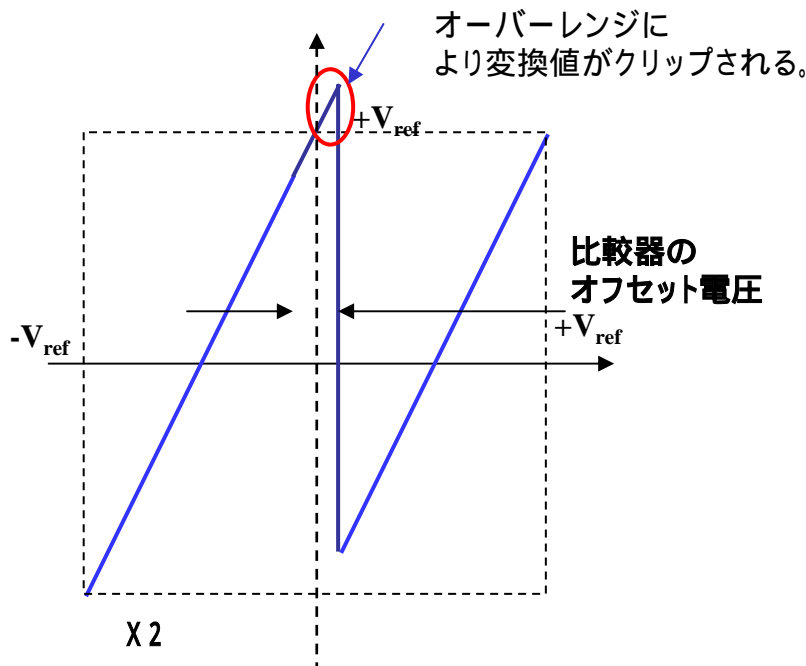
# 1bit パイプラインADCの動作

信号を折れ返して転送することにより1ビットずつ変換を行う

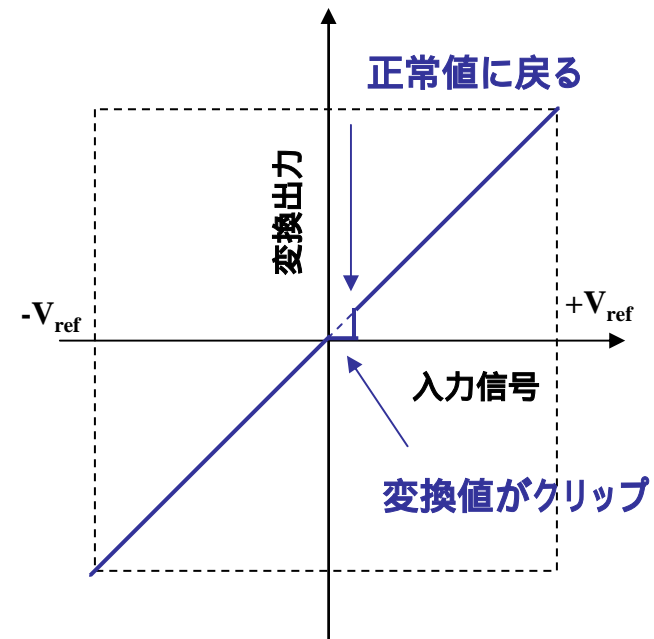


パイプライン型ADCは当初1bit構成であった。  
この場合、比較器やOPアンプのオフセット電圧により変換誤差を生じるため、  
精度の確保が困難で、あまり用いられなかった。

## 1ビット目の入出力特性



## A/D変換特性



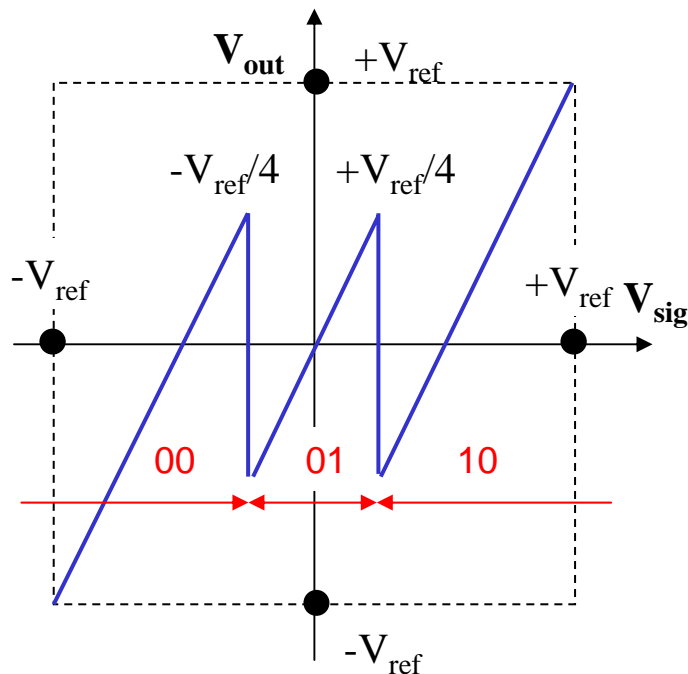


# 1.5ビット冗長構成の発明

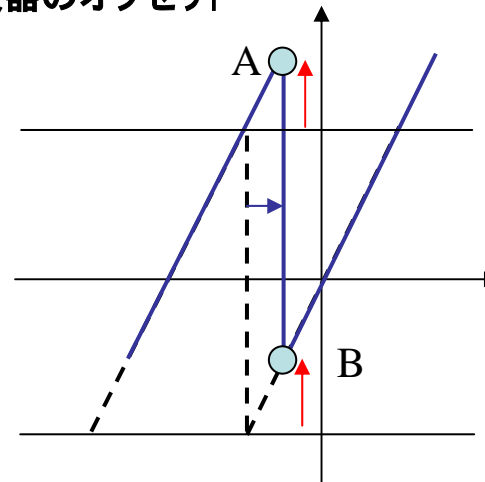
冗長構成にすることで比較器と増幅器のオフセット電圧は変換特性に影響を与えない。  
以後、この構成が主流となり、高速ADCはパイプライン型が主流となる。

## 1.5ビット冗長構成の変換特性

### 変換範囲の充分内側で折れ返す特性



## 比較器のオフセット



Lewis et al., JSSC '92  
Ginetti et al., JSSC '92

比較器のオフセットで  
切り替わり点はずれる  
利得が正確な場合  
A点とB点は値として  
つながる

比較器のオフセットは  
補正可能  
OPアンプも同様

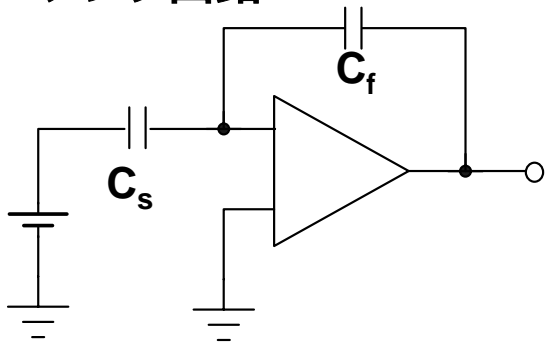
A点: MSB変換値は0 だが、大きなアナログ出力  
B点: アナログ出力は小さいが、MSB変換値は1である。

A点でのA/D変換値とB点でのA/D変換値は同じ

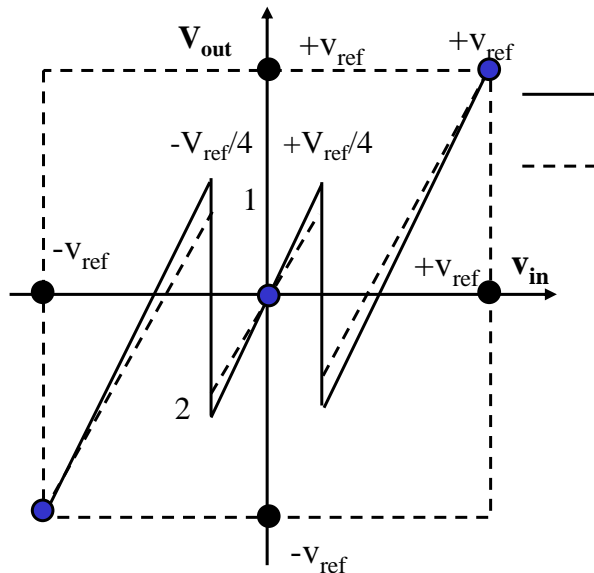
# パイプライン型ADCの精度と速度

パイプライン型ADCの性能はOPアンプ周りの性能で決定される。

## OPアンプ回路



## 容量ミスマッチがあるときの入出力特性



## 1. 精度

1) OPアンプ利得  $G(\text{dB}) > 6N + 10$

70dB: 10b

94dB: 14b

2) 容量ミスマッチ  $\frac{\Delta C}{C} < \frac{1}{2^N}$   $\frac{\Delta C}{C} \propto \frac{1}{\sqrt{C}}$

0.1%: 10b

0.006%: 14b

3) 熱雑音

$$V_{nt}^2 = 2 \frac{kT}{C_o} + \frac{2}{3} \frac{\gamma nkT}{\beta C_L} \approx 6 \frac{kT}{C_o} < \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

$$C_o > \frac{18 \cdot 2^{2N} \cdot kT}{V_{ref}^2}$$

## 2. 速度

$$GBW_{close} > \frac{Nf_c}{3}$$

GBW<sub>open</sub>

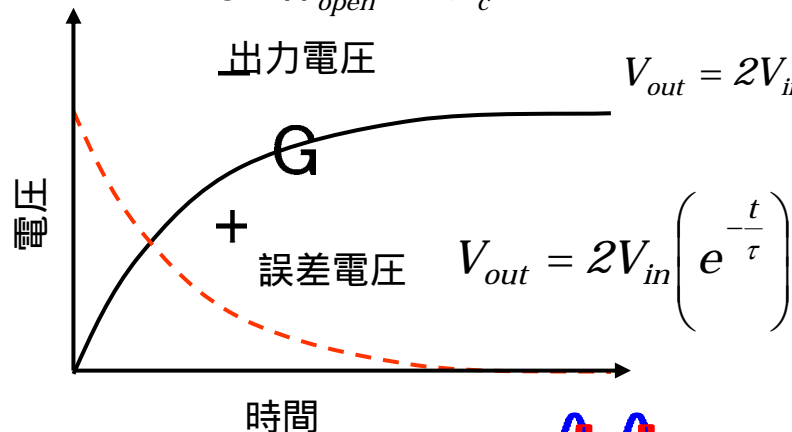
1GHz: 10b, 100MS/s

10GHz: 10b: 1GS/s

$$GBW_{open} > Nf_c$$

出力電圧

$$V_{out} = 2V_{in} \left( 1 - e^{-\frac{t}{\tau}} \right)$$



$$V_{out} = 2V_{in} \left( e^{-\frac{t}{\tau}} \right)$$

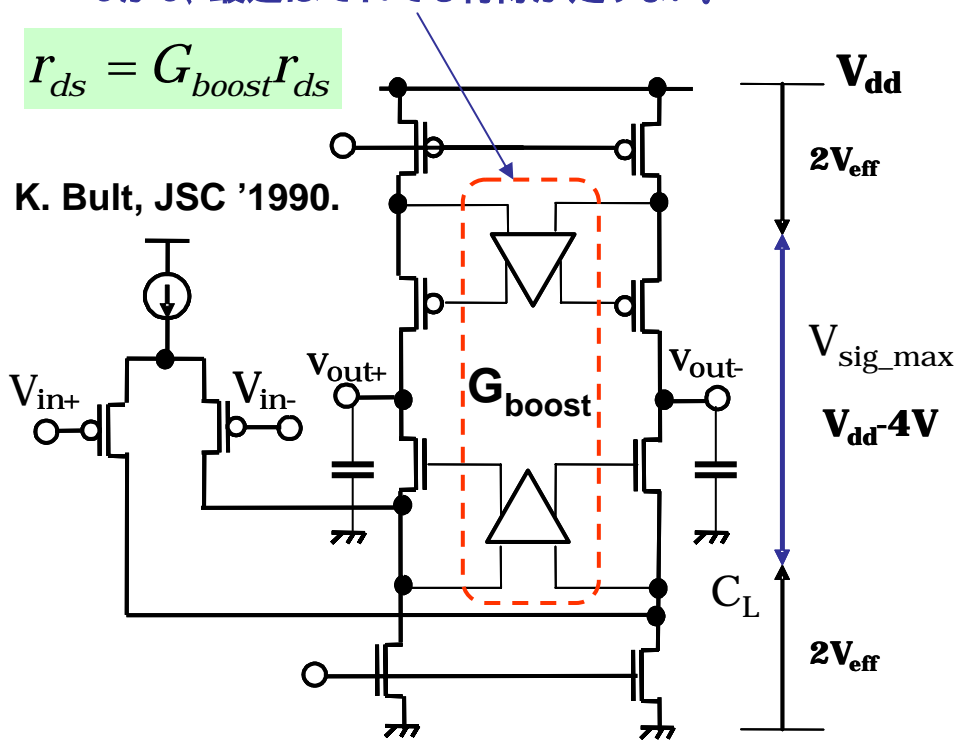
# パイプライン型 ADC の課題

パイプライン型ADCの性能はOPアンプに依存しているが、微細化が進むと必要な利得が取れないなど、多くの課題がある。

このゲインブースト回路の発明おかげで高速応答を維持しながらも高利得増幅が可能になった。しかし、最近ではそれでも利得が足りない。

$$r_{ds} = G_{boost} r_{ds}$$

K. Bult, JSC '1990.



CMOS OPアンプの一例

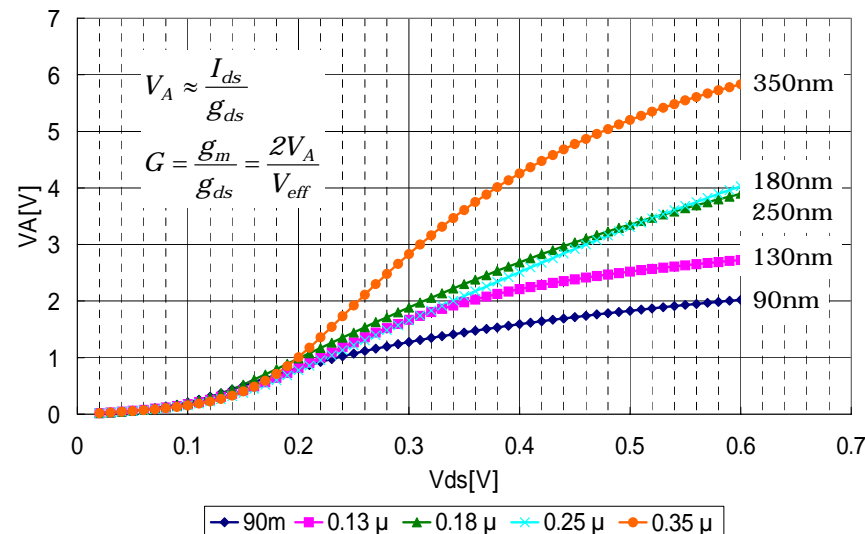
Sub-100nm CMOS

$$G_{DC} \approx (g_m r_{ds})^n = \left( \frac{V_A}{V_{eff}} \right)^n \approx \left( \frac{1}{0.15} \right)^n \approx 16dB \times n$$

$$n < 5$$

$$G_{DC} < 80dB$$

微細化と  $V_A$



# パイプライン型ADCの電流と変換速度

パイプライン型ADCの電流と変換速度は以下のように定式化できる。  
電流増とともに寄生容量が増加し、ある電流以上では電流を増しても速度が上がらない。

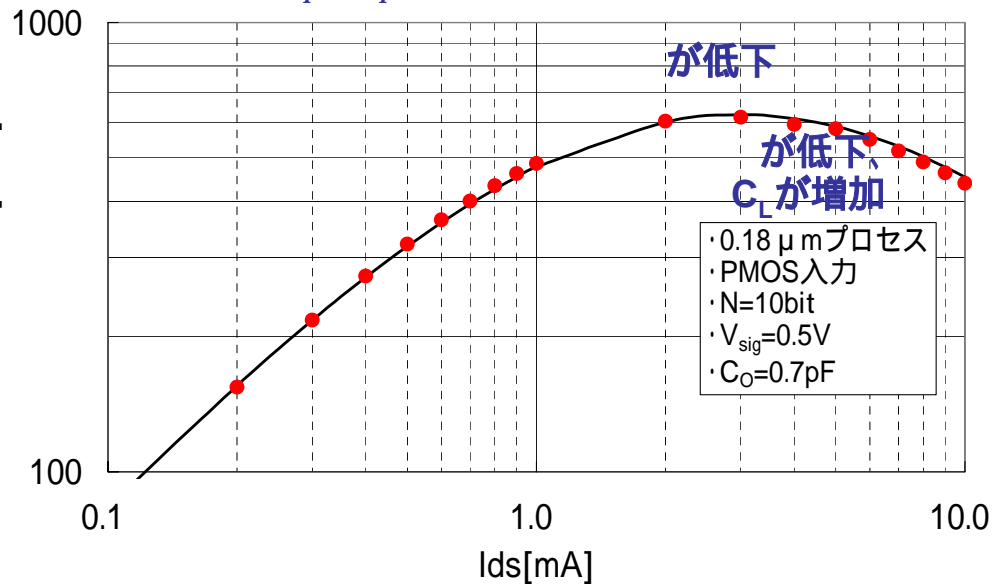
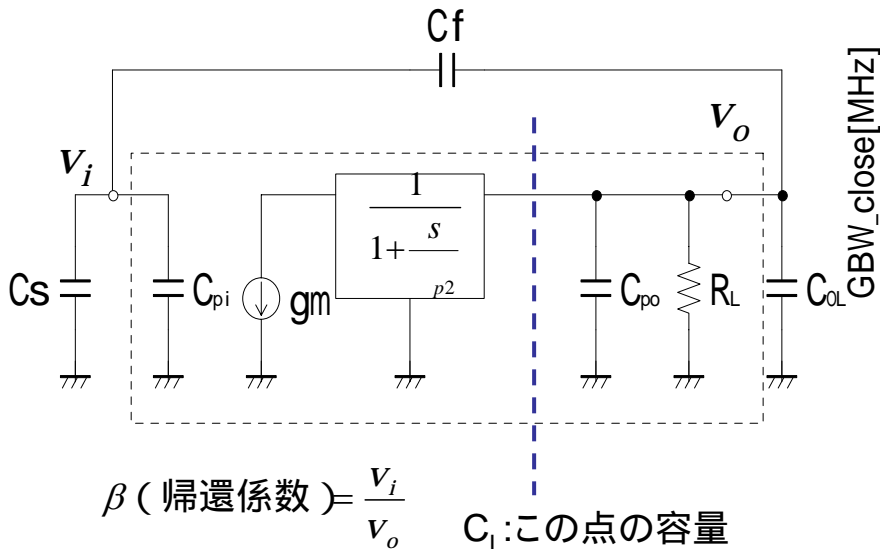
$$\begin{aligned}
 GBW_{-close} &= \frac{g_m \cdot \beta}{2 C_L} = \frac{g_m}{2 C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)} \\
 &= \frac{I_{ds}}{C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}
 \end{aligned}$$

A. Matsuzawa, "Analog IC Technologies for Future Wireless Systems," IEICE, Tan on Electronics, Vol. E89-C, No.4, pp. 446-454, April, 2006.

$$\begin{aligned}
 g_m &= \frac{2I_{ds}}{V_{eff}} \\
 C_{pi} &= \alpha_{pi} I_{ds}, \quad C_{po} = \alpha_{po} I_{ds}
 \end{aligned}$$

$\alpha_{pi}$   $\alpha_{po}$  はデザインルールに依存

## 性能推定モデル



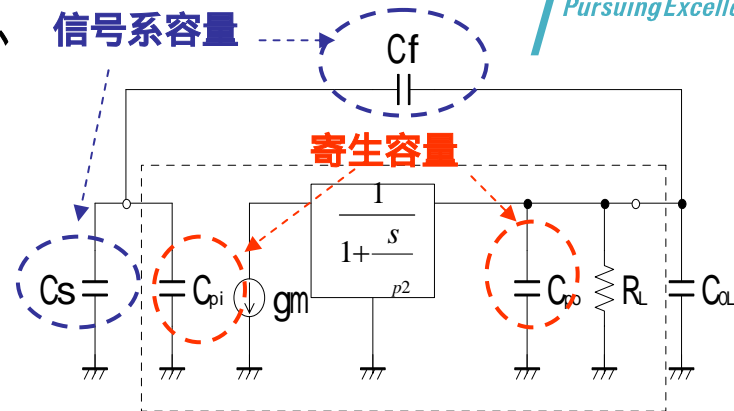
— Calculation    • Simulation

微細化・低電圧化とともに寄生容量は減少するが、信号系容量は増大する。

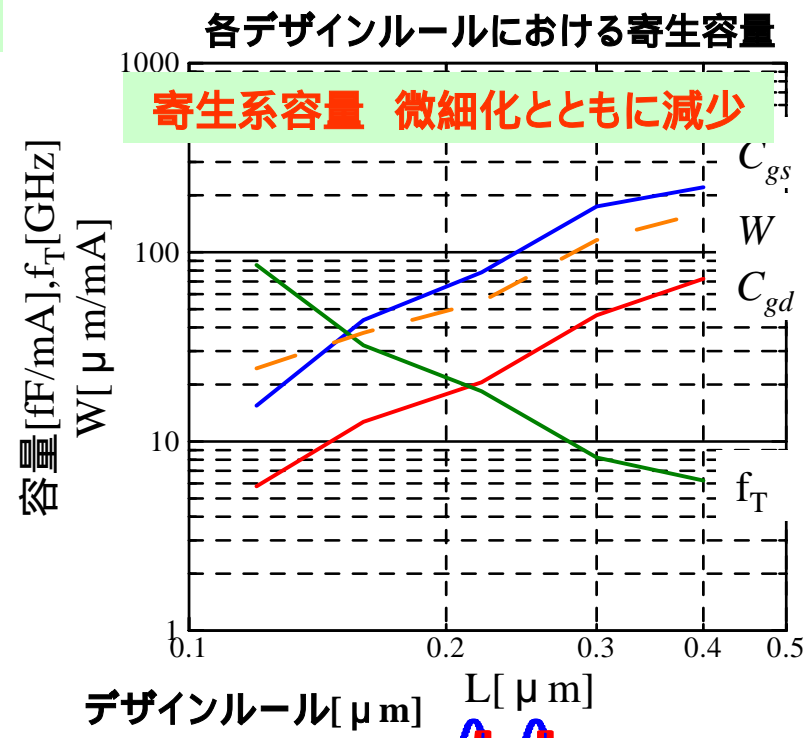
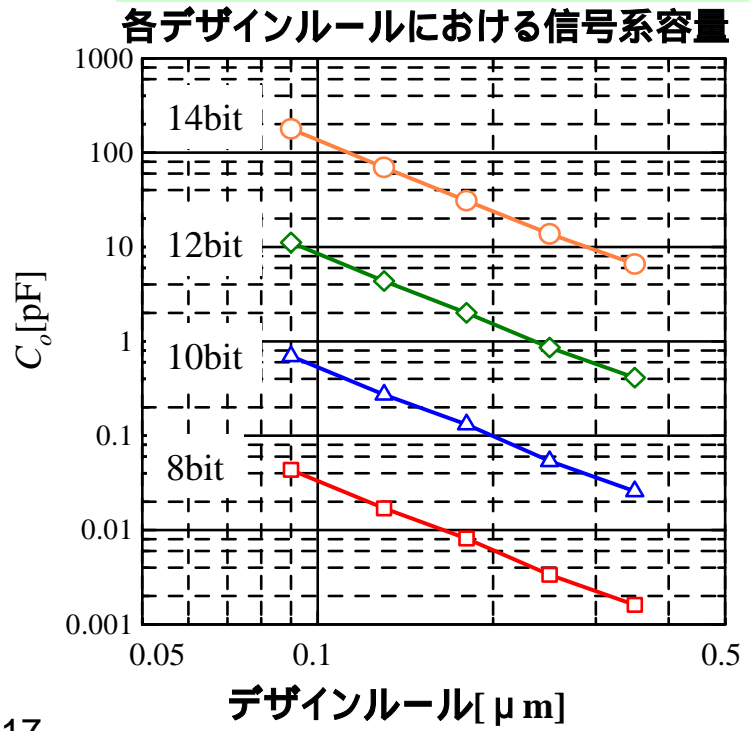
$$SNR = \frac{CV_{sig}^2}{mkT}$$

$$C_o \geq 1.66 \times 10^{-19} \left( \frac{2^N}{V_{sig}} \right)^2 \quad V_{sig} = 2(V_{dd} - 4V_{eff})$$

$$V_{eff} = 0.15V$$

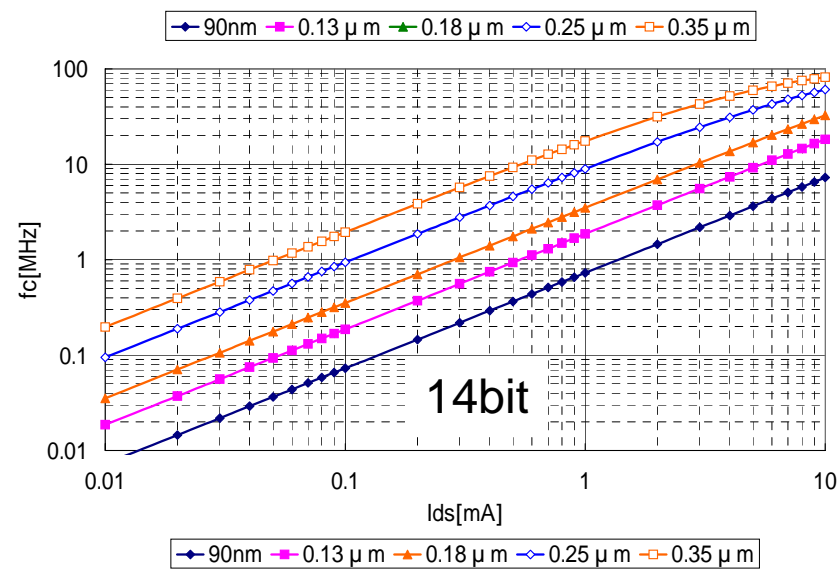
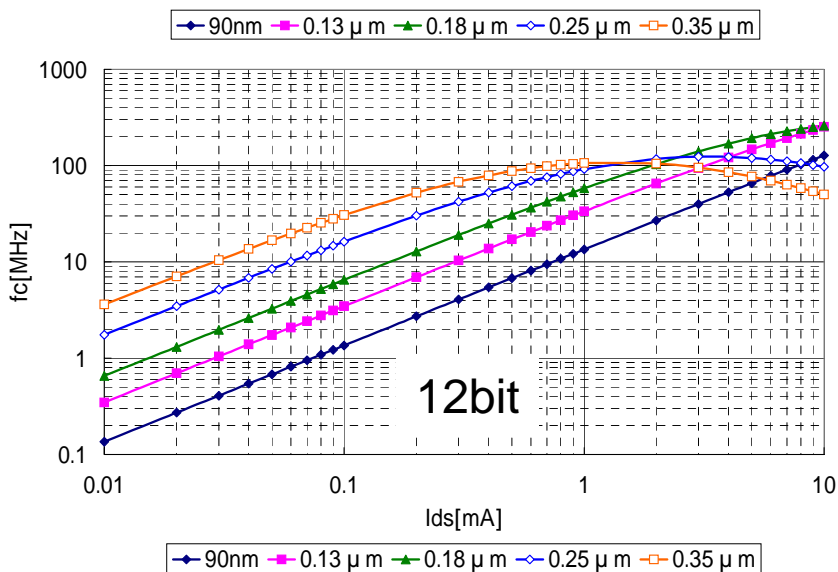
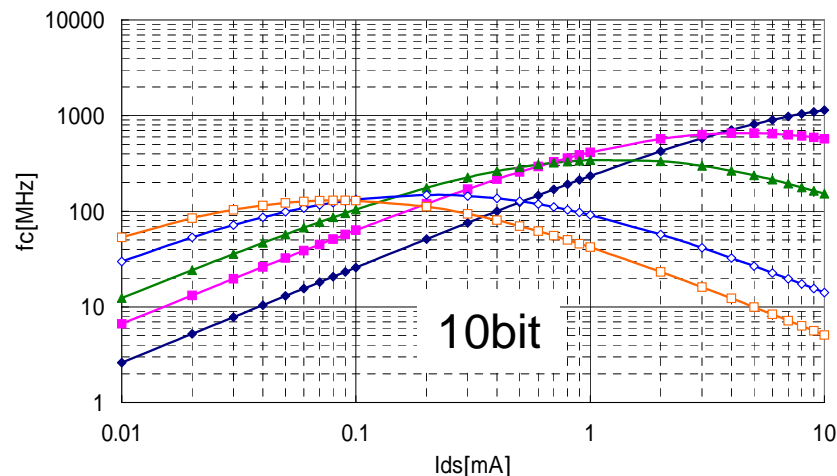
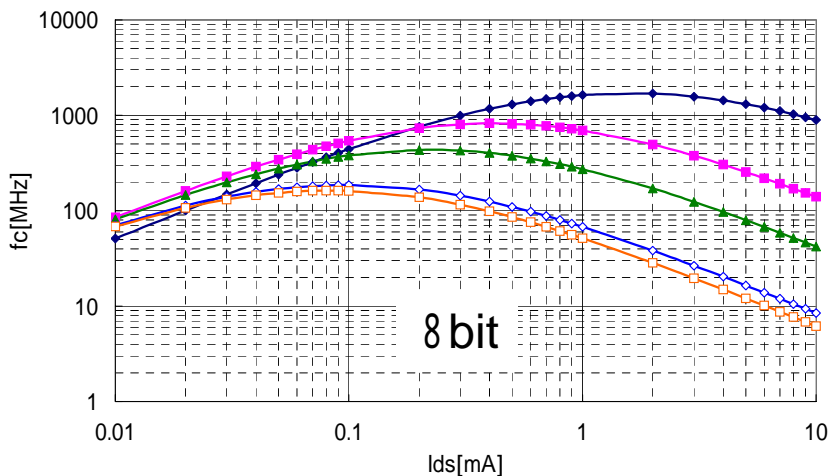


信号系容量 低電圧化とともに増大



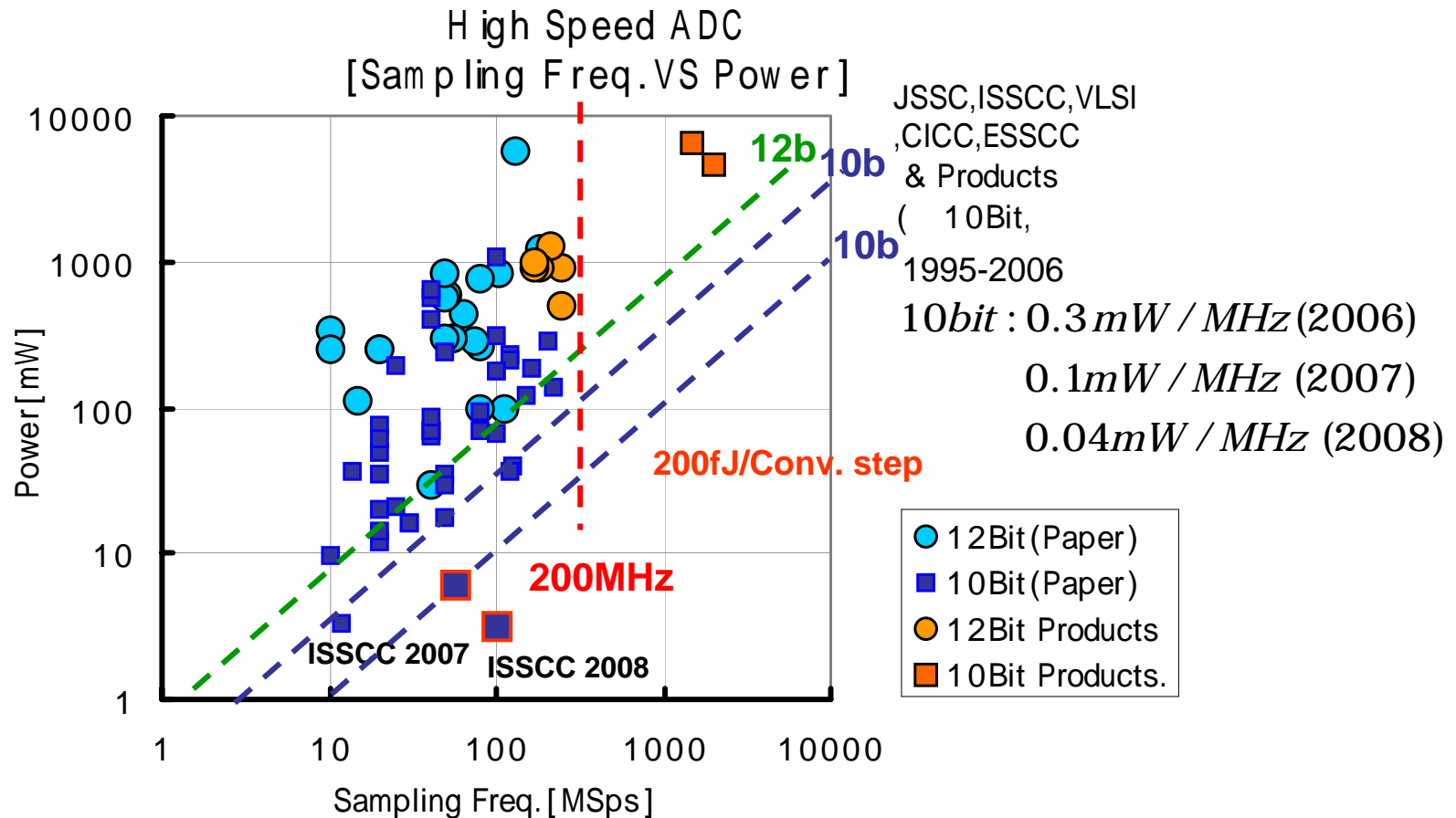
# パイプライン型ADCの性能推定

低分解能では微細化が有効だが、高分解能では必ずしも有効ではない



# 速度と消費電力の動向

消費電力は減少しているが、変換周波数は 200 MHz 程度で飽和している。



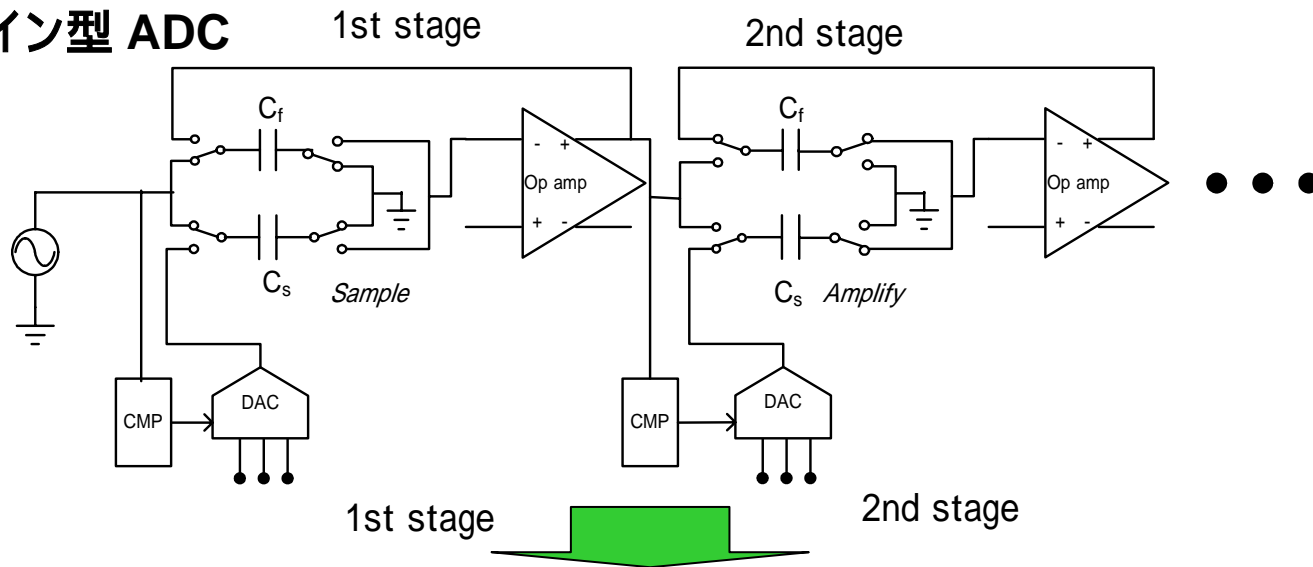
# 逐次比較型(SA型)ADCの革新 (低 FoM ADC アーキテクチャ)



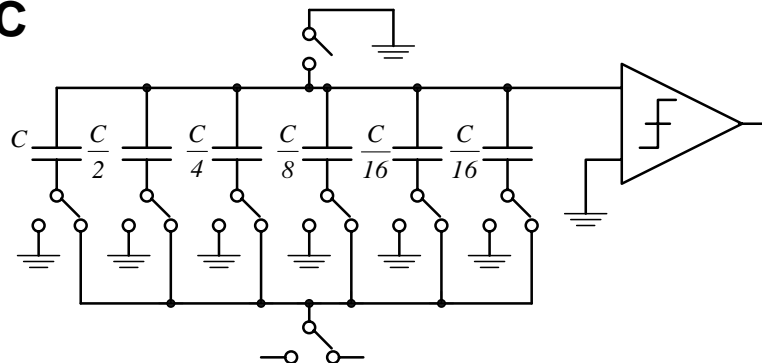
# ADC技術の大きな潮流

AD変換方式の主流がパイプライン型から逐次比較型に転換しつつある

## パイプライン型 ADC



## SA (逐次比較型) ADC



SA ADCはOPアンプを用いず、スイッチ、容量、比較器のみで演算する。

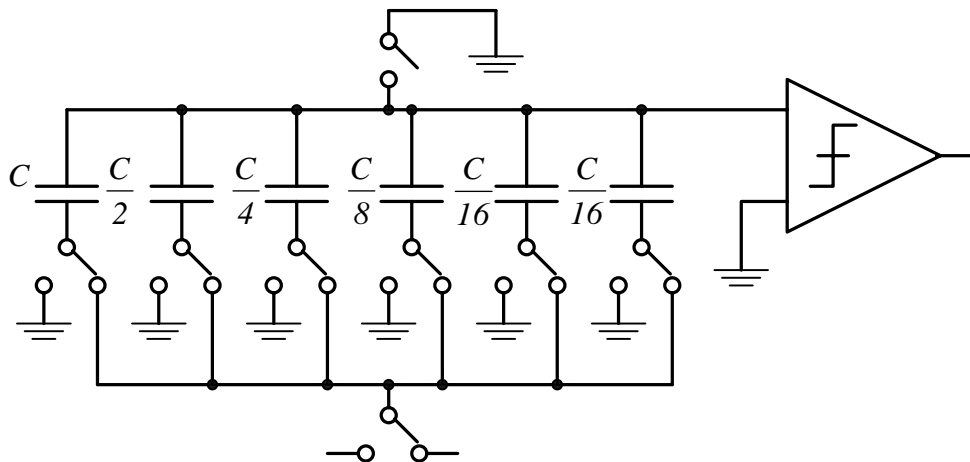
利点: 微細化に伴うOPアンプ課題の影響を受けない。

微細化に適している

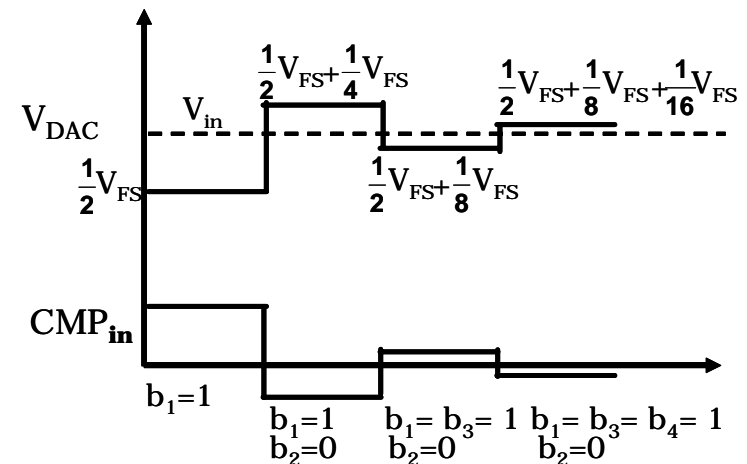
定常電流が流れないので低電力である

欠点: Nビット変換に約(N+2)クロック必要のため変換速度が遅くなる

微細化により高速化・低電力化を図る



## Binary search algorithm

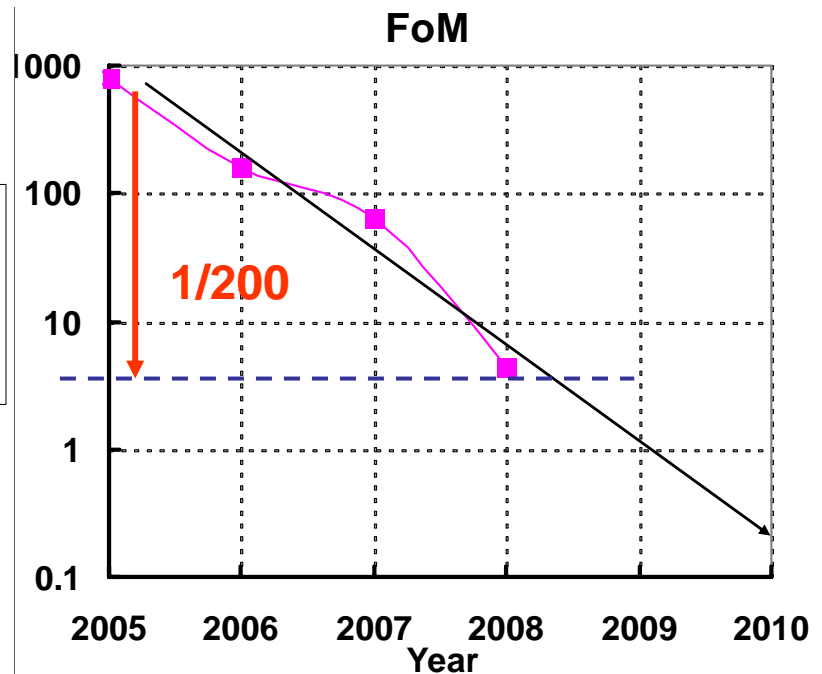
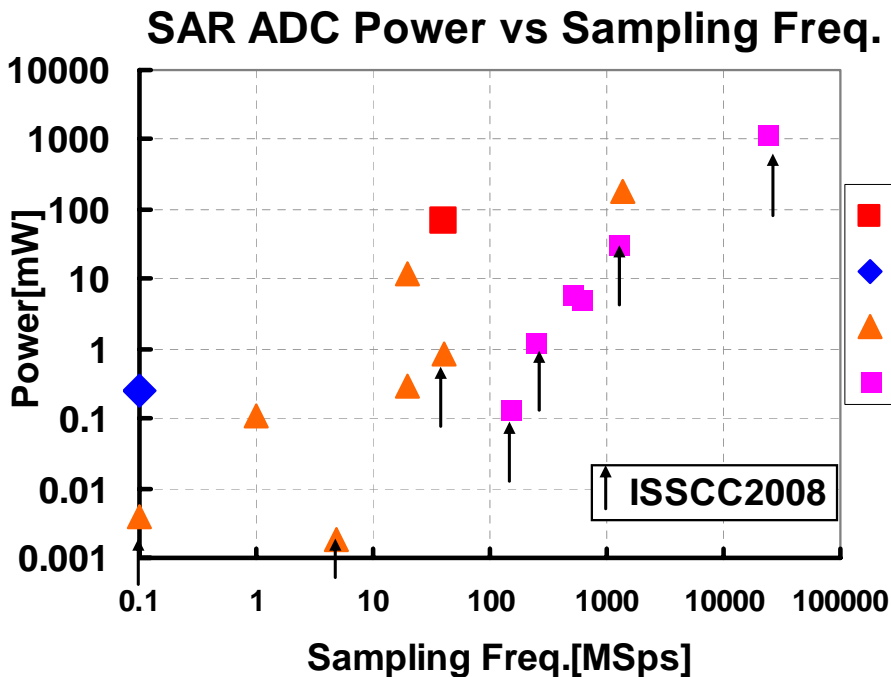


SA ADCは高分解能から高速まですべての領域で開発が進められている。  
FoMは3年間で1/200まで低下した。

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

Courtesy Y. Kuramochi

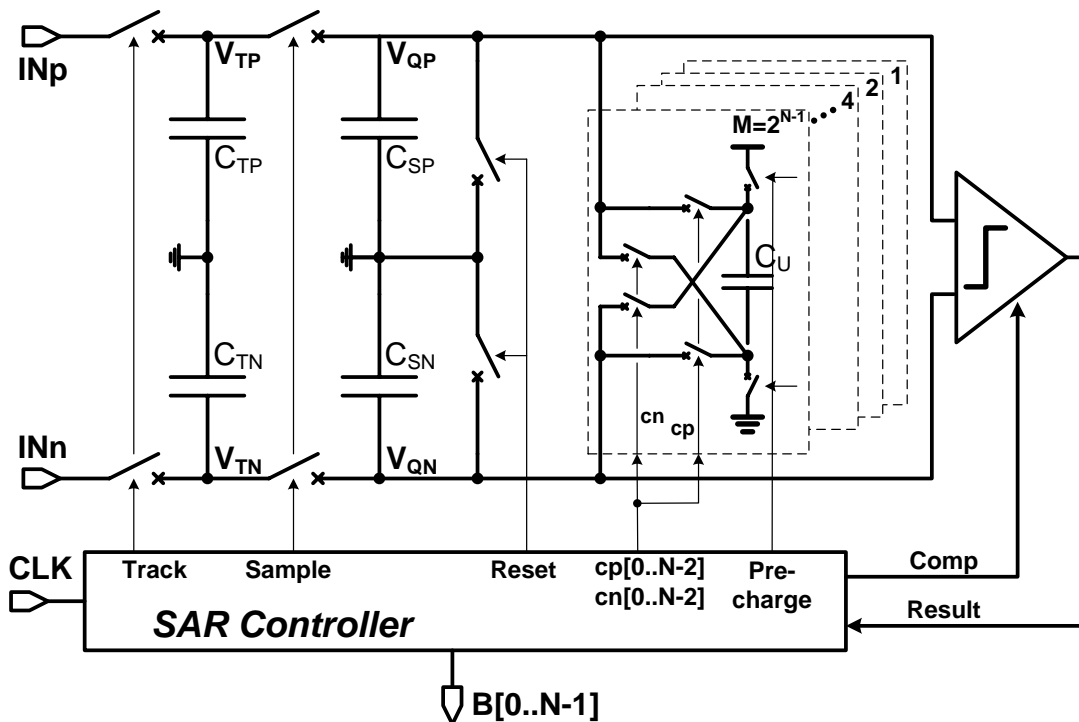
3年間で FoMは 1/200に減少



# SA ADCの開発事例

FoM=65fJ/Conv. stepを達成したSA ADC

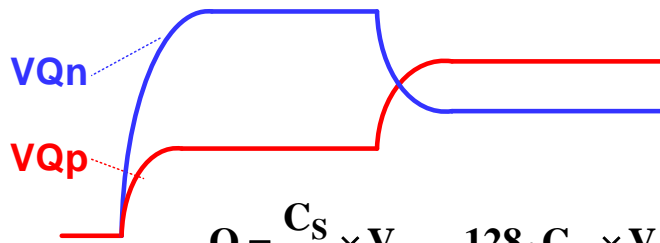
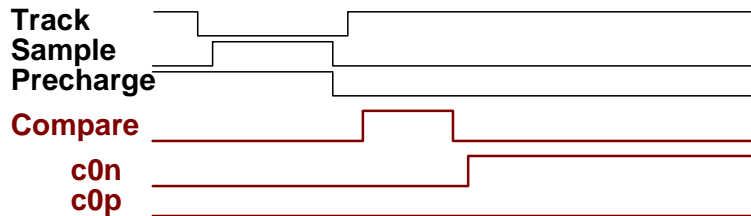
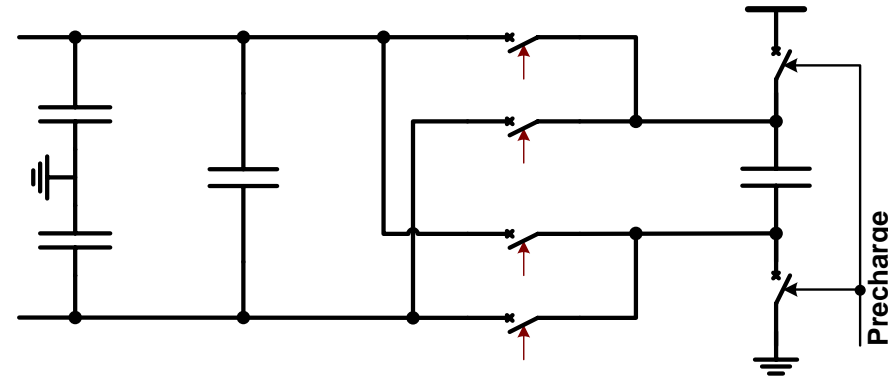
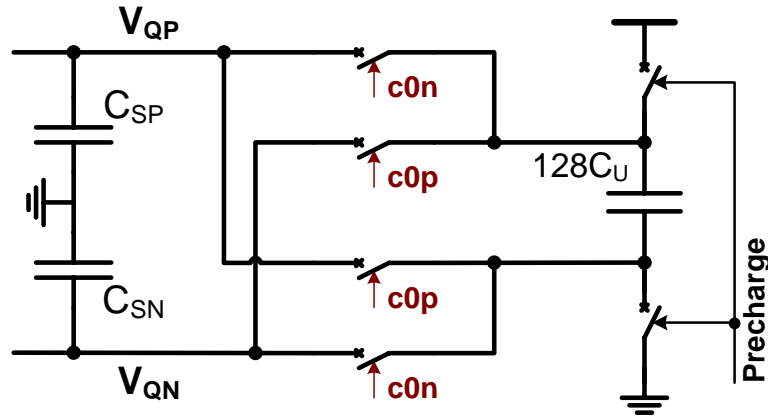
No static power consumption.  
Higher signal swing and small capacitance



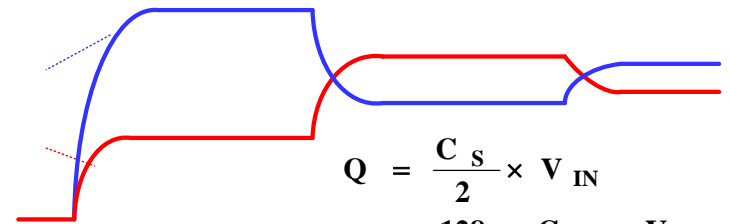
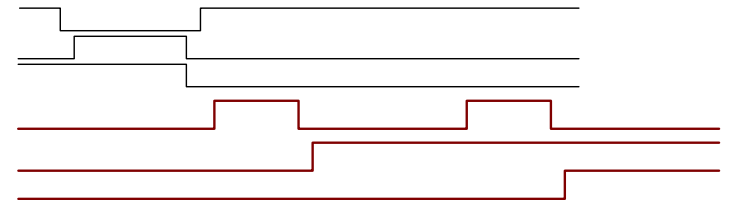
J. Craninckx and G. Van der Plas,  
“A 65fJ/Conversion-Step 0-to-0.7mW 9b  
Charge-Sharing SAR ADC in 90nm Digital  
CMOS,” IEEE ISSCC 2007, Dig. of Tech.  
Papers, pp.246-247, Feb. 2007.

# 容量を用いたアナログ演算

差動入力端子の極性に応じて2進に重み付けされた容量を接続することにより  
振幅差が小さくなっていき、分解能が高くなる。

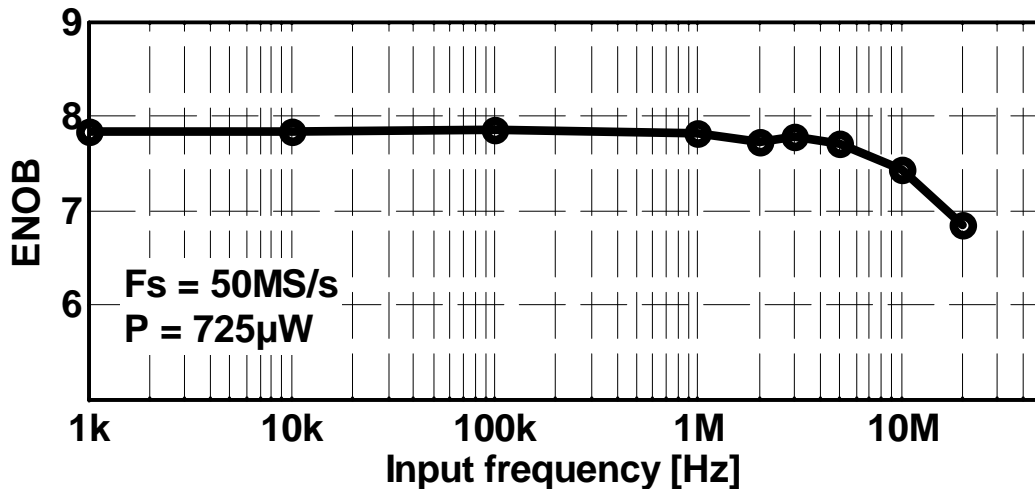


$$Q = \frac{C_S}{2} \times V_{IN} - 128 \cdot C_U \times V_{DD}$$



$$Q = \frac{C_S}{2} \times V_{IN} - 128 \cdot C_U \times V_{DD} + 64 \cdot C_U \times V_{DD} \pm \dots$$

驚異的なFoM=65fJ/step を達成.



8bit, 0.3mW at 20MHz

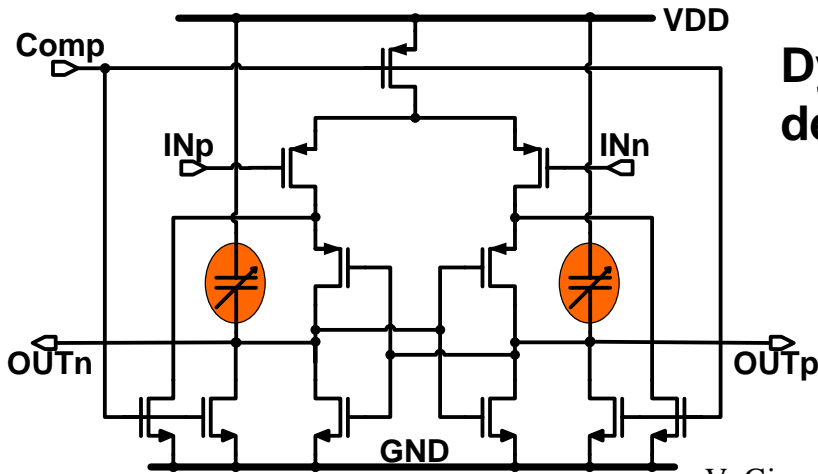
J. Craninckx and G. Van der Plas,  
"A 65fJ/Conversion-Step 0-to-0.7mW 9b  
Charge-Sharing SAR ADC in 90nm Digital  
CMOS," IEEE ISSCC 2007, Dig. of Tech.  
Papers, pp.246-247, Feb. 2007.

ISSCC06 Paper #	Arch.	Fs [MS/s]	ENOB	P [mW]	FoM [fJ]	FoM includes		
						Ref.	Clock	Dec.
3.1	CTΔΣ	40	12	50	300	-	Yes	Yes
3.4	ΔΣ	4.4	12.6	13.8	500	-	No	No
12.1	PL	100	9.4	39	570	-	-	-
12.3	Subr.	50	10.4	30	440	-	-	-
12.4	PL-CBSC	7.9	8.7	2.5	760	-	-	-
12.5	SAR	0.1	10.5	0.025	170	No	No	-
12.7	PL	50	9.2	15	510	-	-	-
31.1	Flash	1250	3.7	2.5	160	-	-	-
31.5	SAR	300	5.3	2.65	220	No	Yes	-
<b>This work</b>	<b>CS-SAR</b>	<b>20</b>	<b>7.8</b>	<b>0.29</b>	<b>65</b>	<b>Yes</b>	<b>Yes</b>	<b>-</b>

# 比較器の低電力化・高精度化

# 比較器回路

比較器はダイナミック回路で構成され、定常電流が流れないようにすることができる。

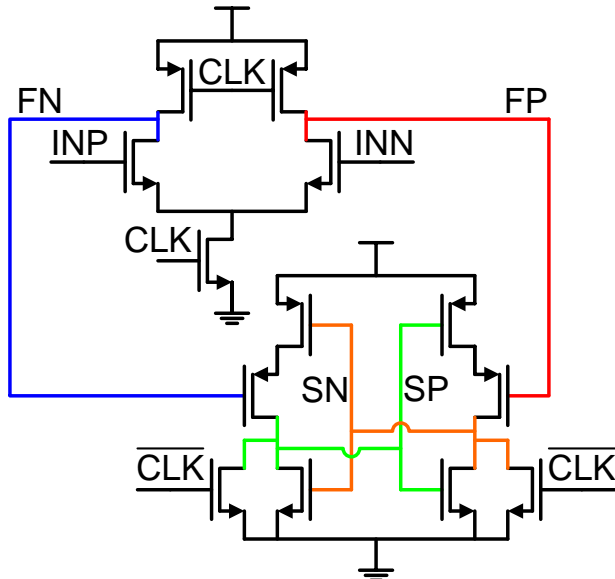
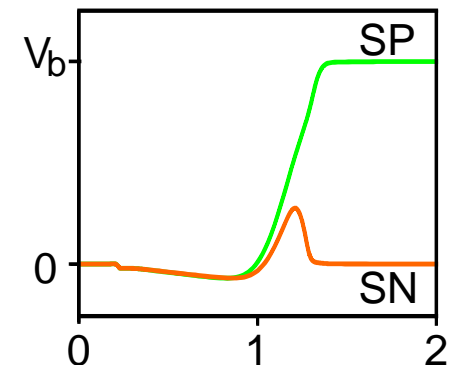
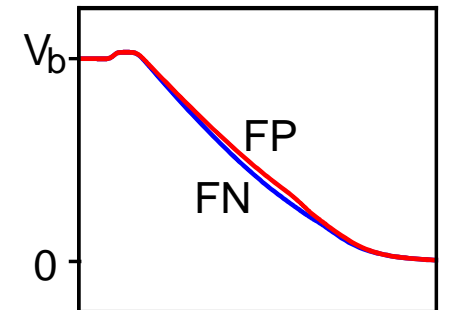


Dynamic comparators use the fast voltage fall depended on input voltage difference

V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

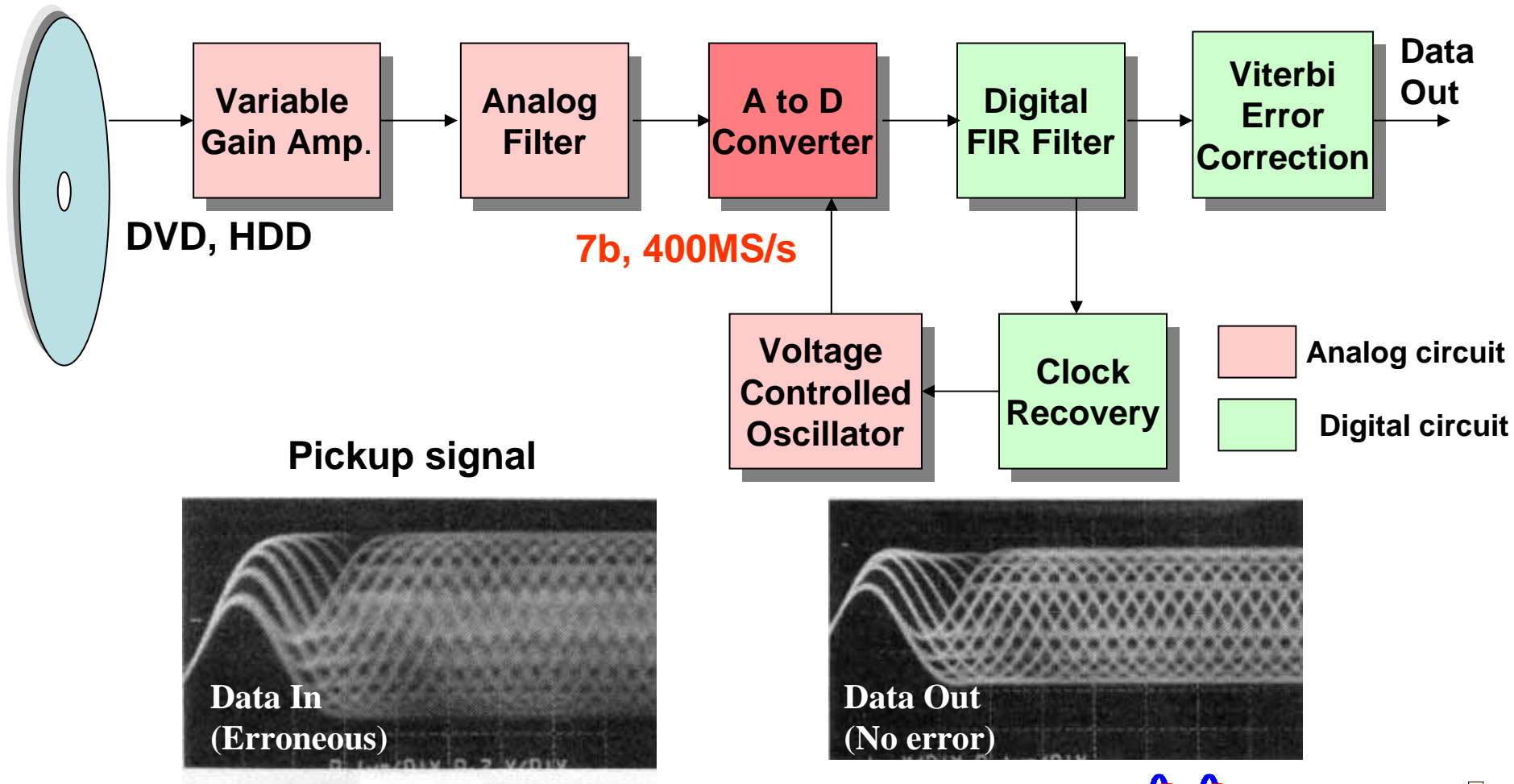
Fast voltage fall





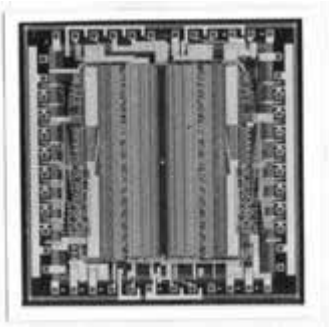
# DVD再生用デジタル信号処理技術

DVDレコーダーはSNRが低く、誤り率が高い、そこで波形等価やエラー訂正などのデジタル信号処理が必要となった。  
しかしそれは7b, 400MHzという計測器なみのADCを必要とすることであった。



# 超高速ADCの開発

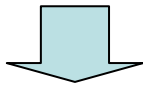
超高速ADCの民生機器応用にはCMOS化と低電力・低コスト化が不可欠であった



## 91年当時、世界最高速の6b ADC

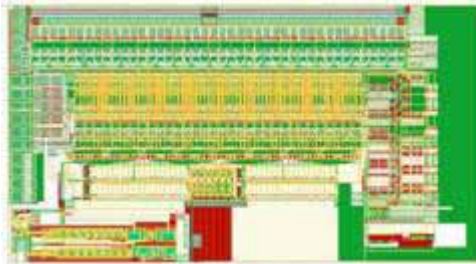
6b, 1GHz ADC  
2W,  
1.5um Bipolar

A. Matsuzawa, SSCC 1991

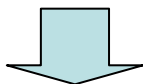


## 当時、世界最高速のCMOS ADC

K. Sushihara and A. Matsuzawa, ISSCC 2000.



6b, 800MHz ADC  
400mW, 2mm<sup>2</sup>  
0.25um CMOS



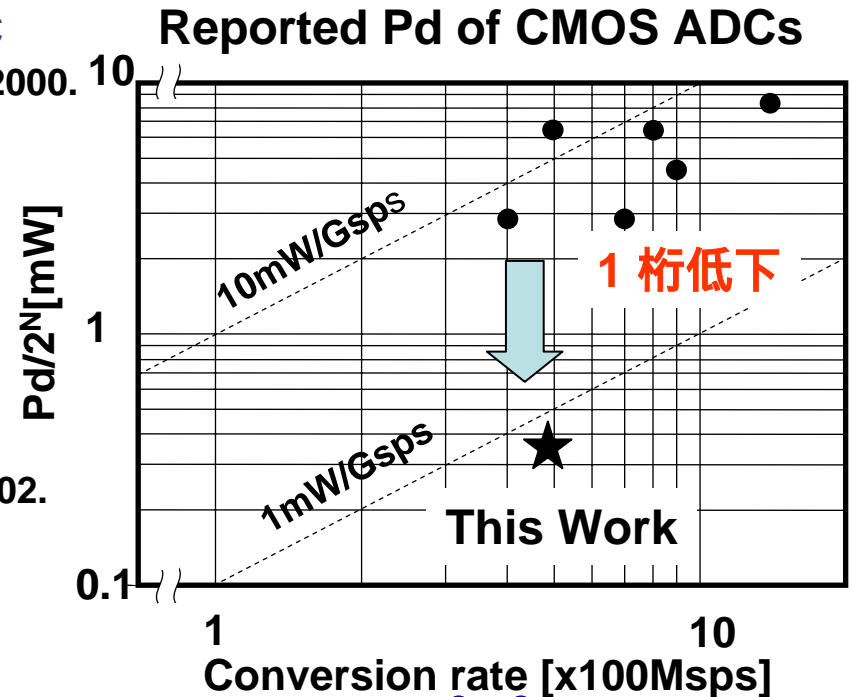
## 高速性を維持し、電力を1/8に下げた

K. Sushihara and A. Matsuzawa, ISSCC 2002.



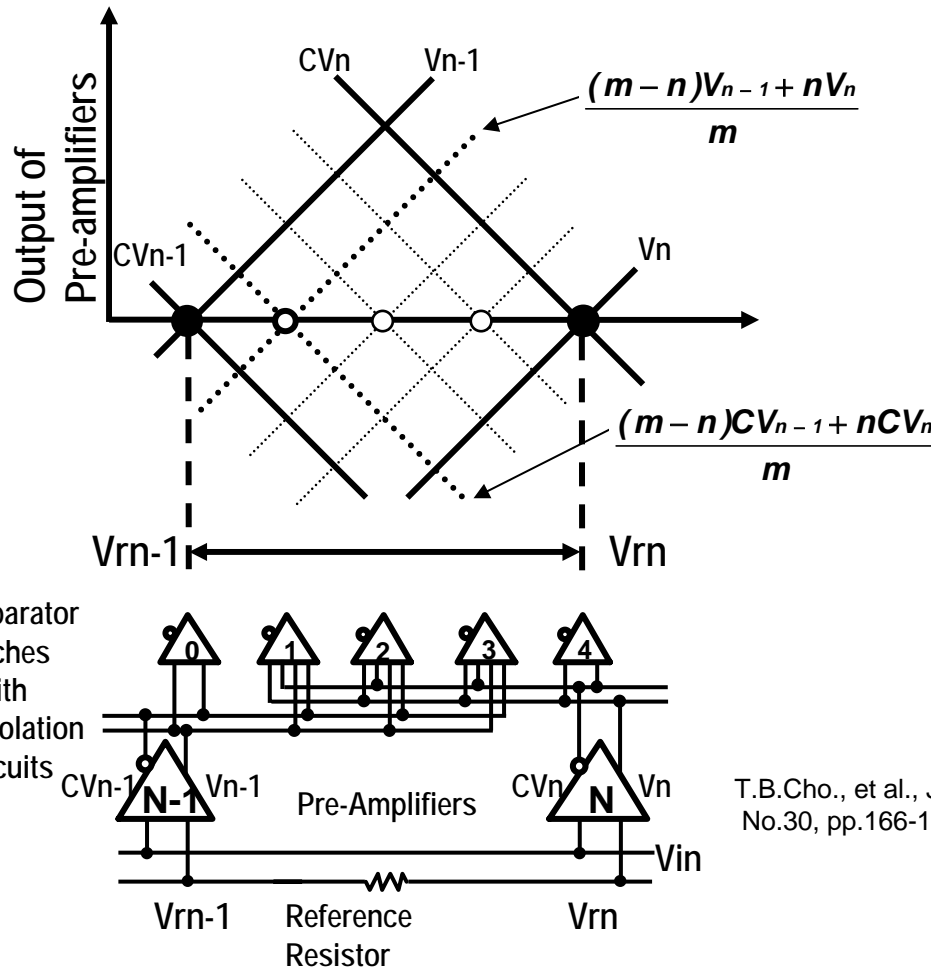
Technology : 0.18um CMOS(3AL1P5)  
Area : 0.88mm X 0.34mm

7b, 400MHz ADC  
**50mW, 0.3mm<sup>2</sup>**  
0.18um CMOS



# ダイナミック比較器と補間動作の併用

MOSリニア領域でのコンダクタンスの加算性を用いて補間動作を実現  
ダイナミック動作のため、低電力。 精度限界は分散プリアンプで補償

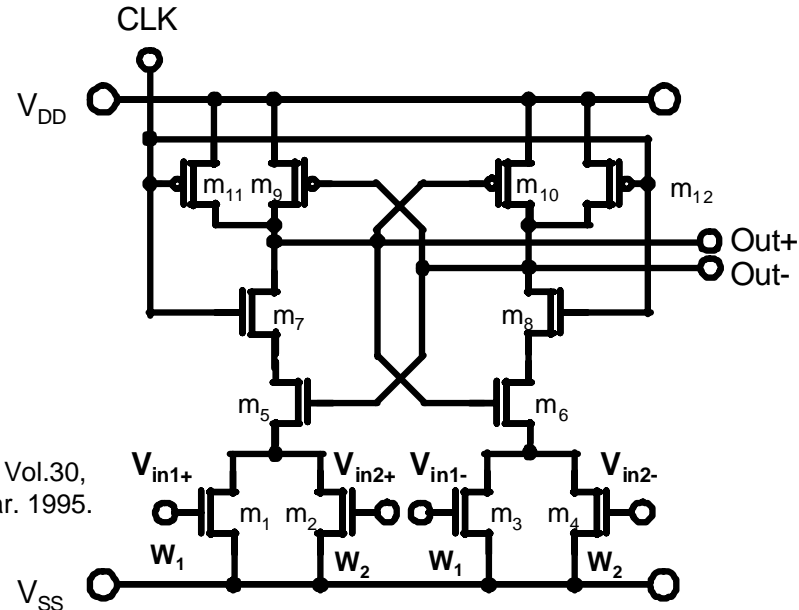


$$G_1 = K_p \left[ \frac{W_1}{L} (V_{in1+} - V_{th}) + \frac{W_2}{L} (V_{in2+} - V_{th}) \right]$$

$$G_2 = K_p \left[ \frac{W_1}{L} (V_{in1-} - V_{th}) + \frac{W_2}{L} (V_{in2-} - V_{th}) \right]$$

if  $W_1 : W_2 = \frac{m-n}{m} : \frac{n}{m}$

then,  $(m-n)V_{in1+} + nV_{in2+} = (m-n)V_{in1-} + nV_{in2-}$

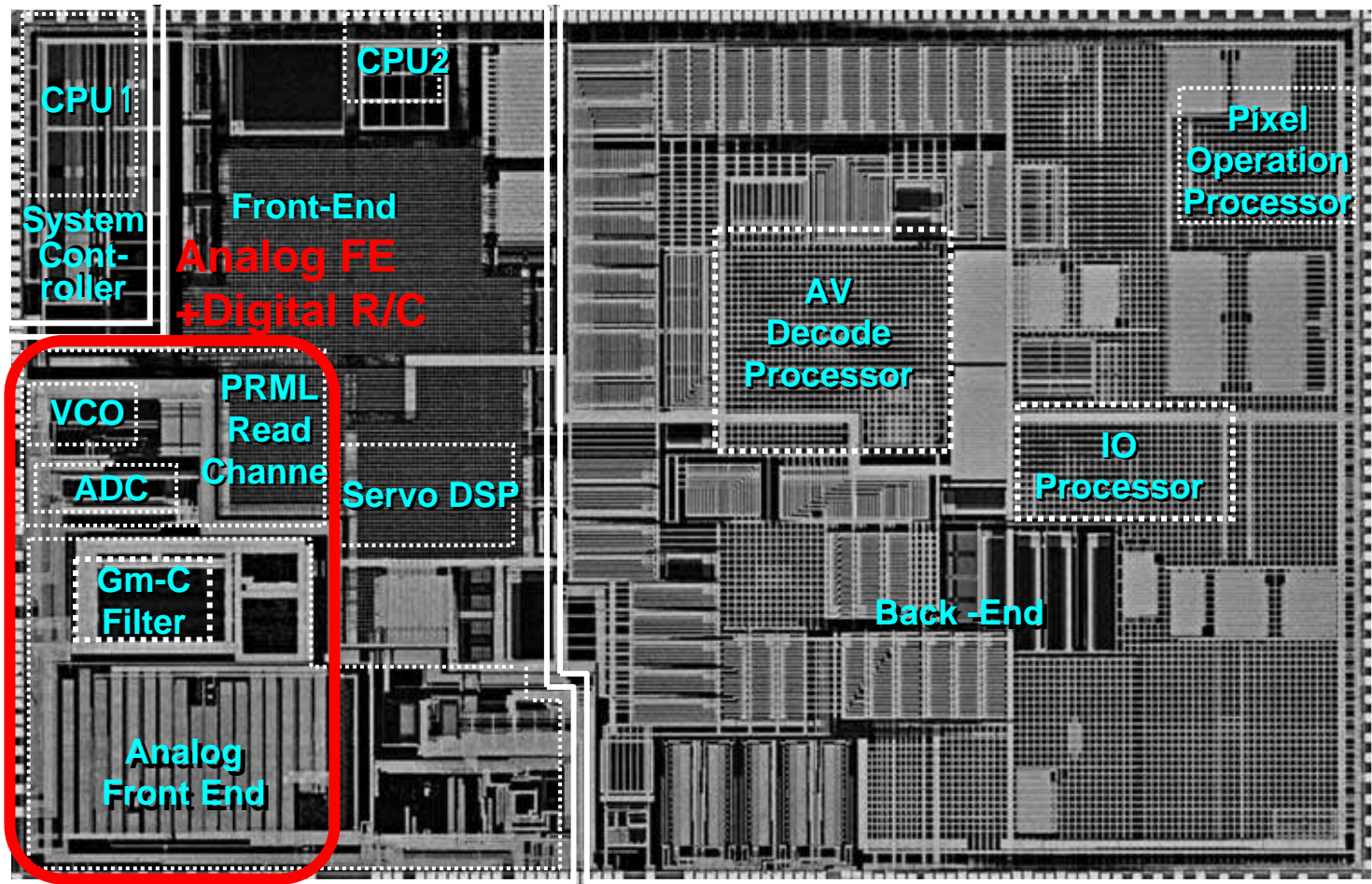


T.B.Cho., et al., J.S.C., Vol.30, No.30, pp.166-172, Mar. 1995.

## DVDシステムを完全にワンチップ化したアナ・デジ混載SoCが実現

Okamoto, ..., A. Matsuzawa., ISSCC 2003, JSC 2003.

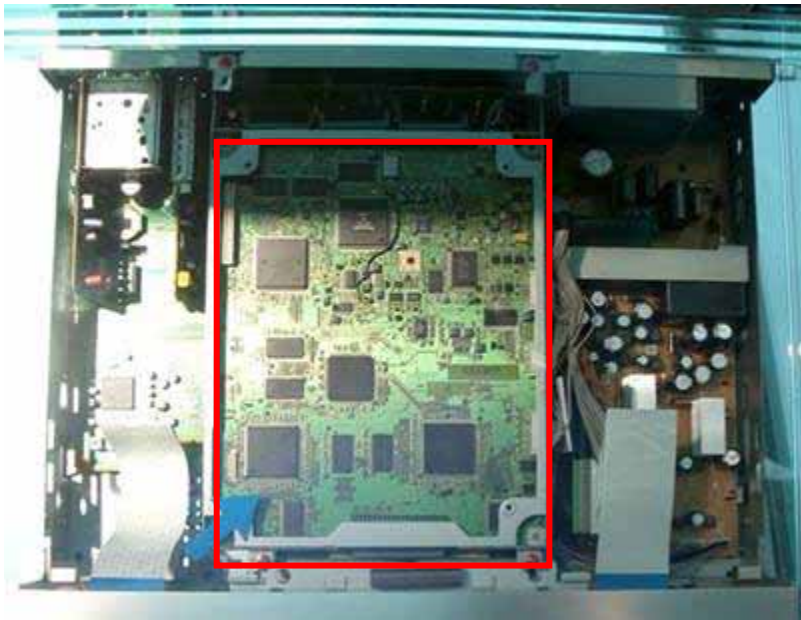
0.13um, Cu 6Layer, 24MTr



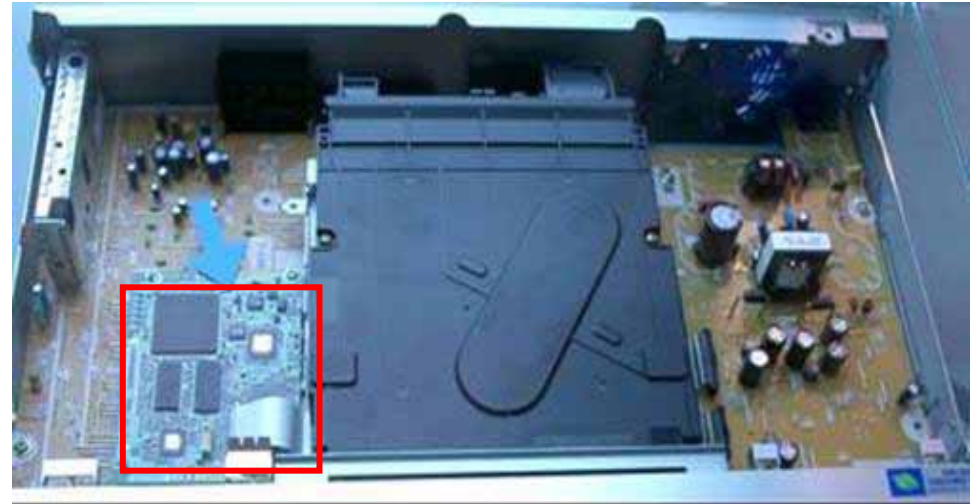
システム集積が可能なアナ・デジ混載SoCは機器の高性能化、簡素化、低コスト化に大いに寄与した。

## DVD Recorderの例

'2000 Model



'2003 Model



# 比較器の課題と対策

ミスマッチ電圧を抑えるにはトランジスタ面積が大きくなり、速度、消費電力ともに劣化する。

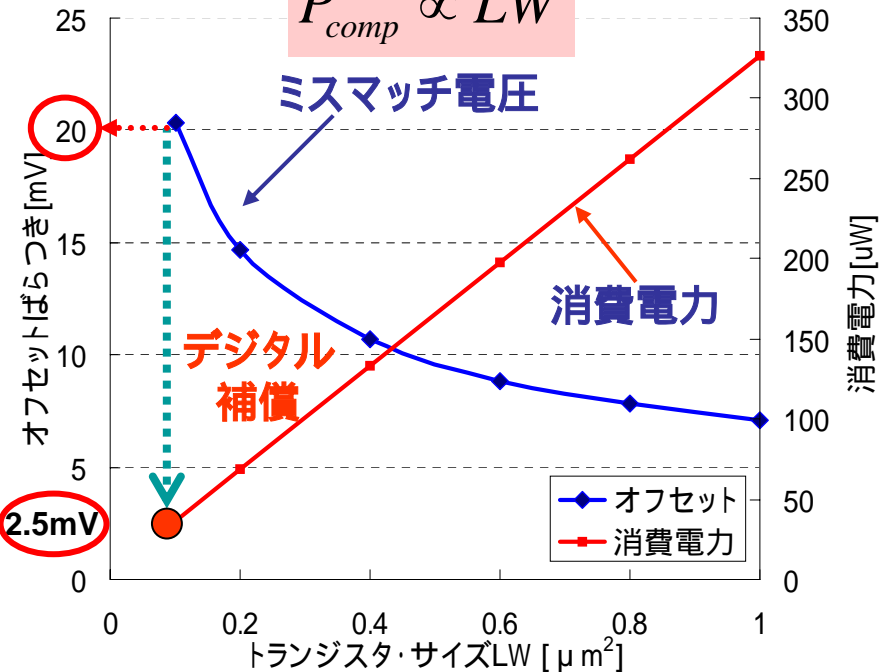
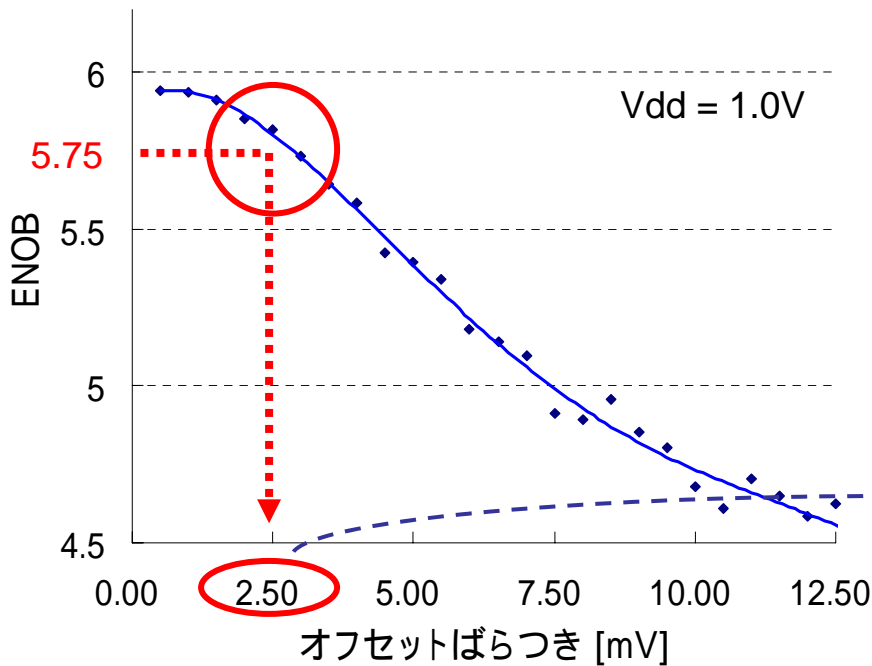
低消費電力・小面積  
コンパレータの精度

最小サイズの素子で構成  
オフセット補償技術

$$V_{\text{offset}}(\sigma) \propto \frac{1}{\sqrt{LW}}$$

90nm CMOS  
Fs = 1GS/s

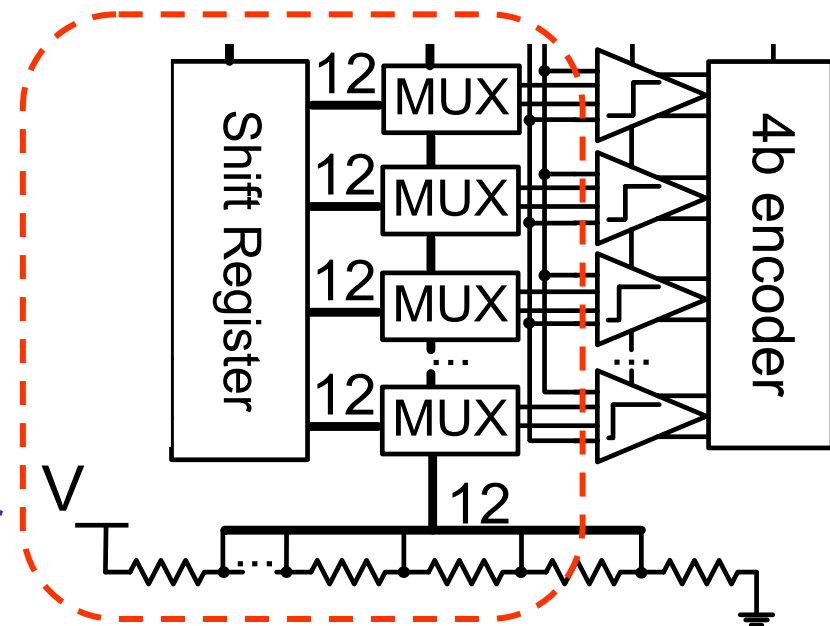
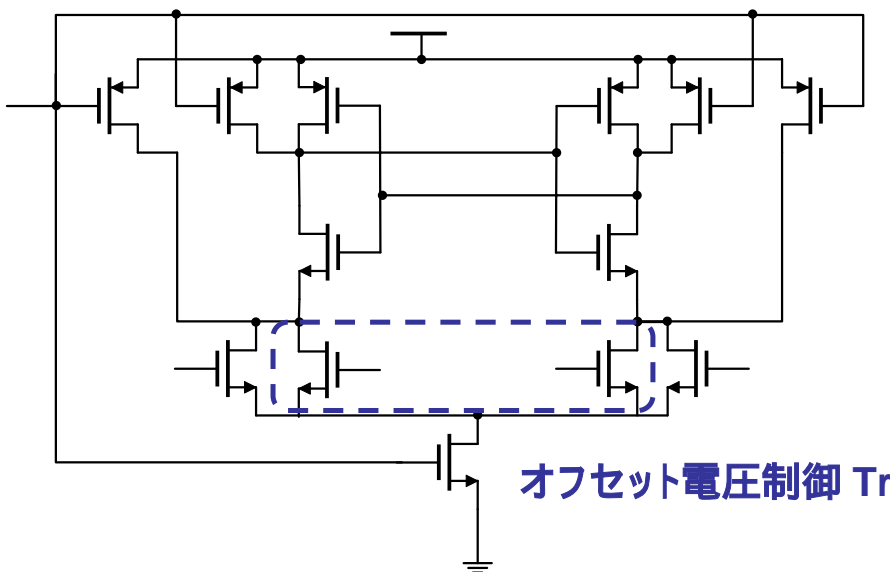
$$P_{\text{comp}} \propto LW$$



ダイナミック回路では通常の容量を用いたチョッパ型回路は構成しにくい。そこで、最近ではデジタル的補正技術が用いられるようになった。

微細化により、従来に比べ補償回路の回路規模は小さくなったが、未だ課題がある。

オフセット電圧制御DACを用いている



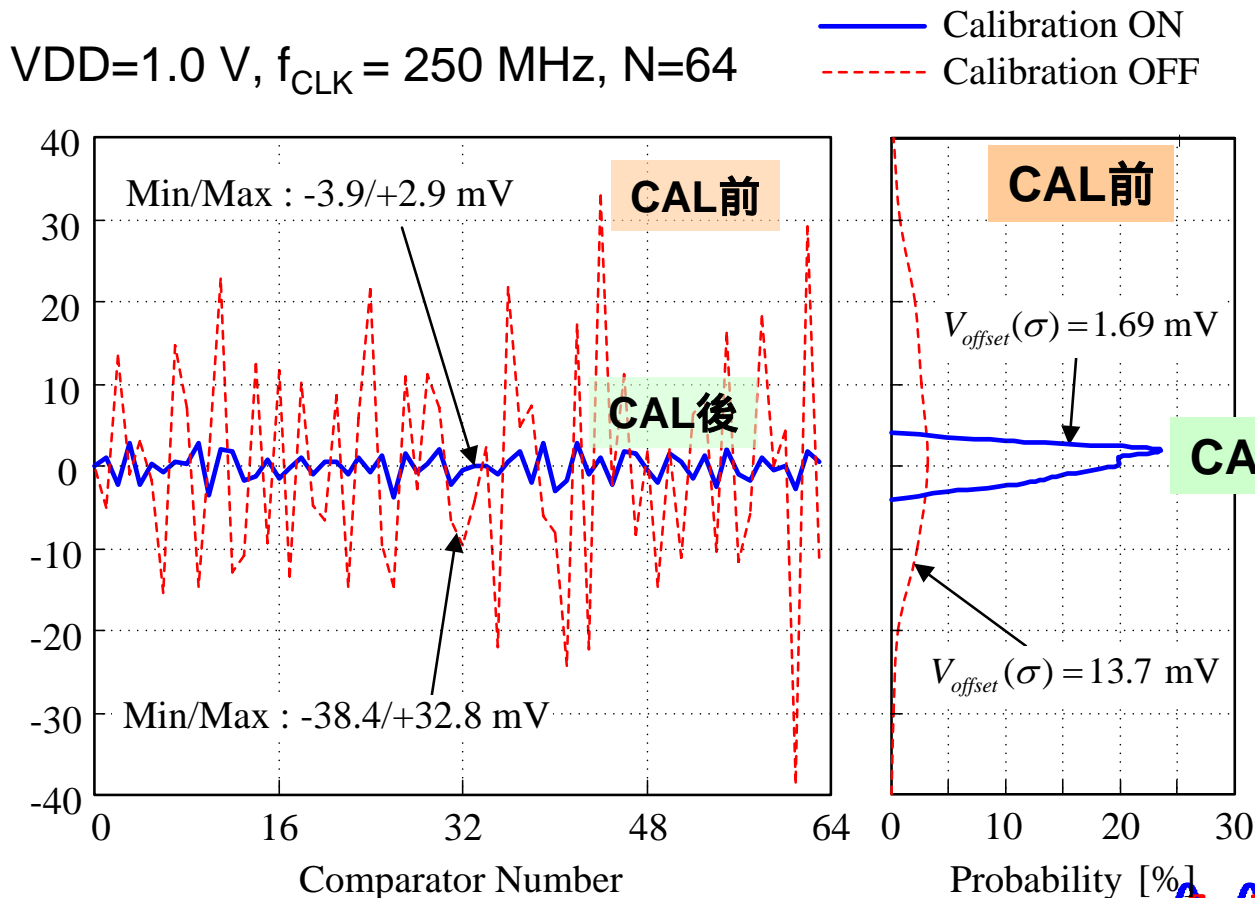
B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, G. Van der Plas, "A 2.2 mW 5b, 1.75GS/s Folding Flash ADC in 90nm Digital CMOS," Dig. of Tech. papers, pp. 252-253, ISSCC 2008. IMEC ベルギー

clock

# 比較器オフセット電圧の低減効果

提案手法によりオフセット電圧が **13.7 mV** から **1.69mV** に低減可能であることを実証。

これは松澤研のオリジナル技術。  
先のスライドの方法とは異なる





# SA型ADCとパイプライン型ADCの比較

## FoMの比較と比較器の重要性

## SNRから信号系容量を算出

$$V_{nt}^2 = 2 \frac{kT}{C_0} + \frac{\gamma nkT}{\beta C_L} \approx \left( 2 + \frac{\gamma n}{\beta} \right) \frac{kT}{C_0}$$

$$V_{qn}^2 = \frac{1}{3} \left( \frac{q}{2} \right)^2 = \frac{1}{3} \left( \frac{V_{dd} - 2V_{eff}}{2^N} \right)^2 \quad \text{if } V_{nt}^2 = V_{qn}^2 \quad \left( 2 + \frac{\gamma n}{\beta} \right) \frac{kT}{C_0} < V_{qn}^2$$

$$C_0 > \left( 2 + \frac{\gamma n}{\beta} \right) \frac{kT}{V_{qn}^2}$$

## 変換周波数と容量からOPアンプの動作電流を算出

$$f_{close} > \frac{Nf_c}{3} \therefore \frac{g_m \beta}{2\pi C_L} > \frac{Nf_c}{3} \therefore g_m > Nf_c \frac{2\pi}{3\beta} C_0 \quad g_m \approx \frac{2I_{ds}}{V_{eff}}, \quad I_{ds} > Nf_c \frac{2\pi}{3\beta} \frac{V_{eff}}{2} C_0$$

## OPアンプの動作電流からADC電体の消費電力を算出

$$P_d \approx 2.5 \times (2 \times 2 \times I_{ds} \times V_{dd}) = 10 I_{ds} V_{dd}$$

## 変換周波数とSNRからFoMを算出

$$FoM = \frac{P_d}{f_c \times 2^{N-0.5}}$$

# パイプライン型 ADCの推定FoM

最近発表のFoMは推定値の3倍程度で限界に近づいている。

$$V_{dd} = 1.0(V)$$

$$V_{eff} = 0.15(V)$$

$$kT = 4.1 \times 10^{-21}$$

$$\gamma = 2$$

$$n = 2$$

$$\beta = \frac{1}{3}$$

$$f_c = 100MHz$$

変換周波数: 100MHz 90nm CMOS

Analog portion only

Resolution	10	12	14
$C_o$ (pF)	0.37	6.0	95
$I_{dd}$ (mA)	1.75	33.6	628
$P_d$ (mW)	1.75	33.6	628
FoM(fJ)	24	116	542

## Recent ADC

$$V_{dd} = 1.2(V)$$

$$V_{pp} = 1.0V$$

$$f_c = 100MHz$$

$$C_o = 0.4 pF$$

$$P_d = 4.5mW$$

$$SNDR = 59dB$$

$$FoM = 62 fJ$$

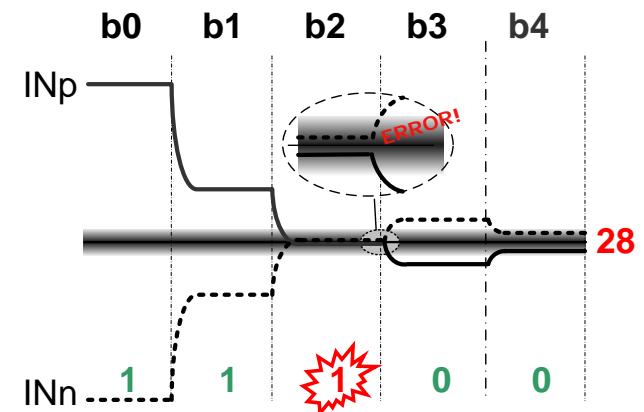
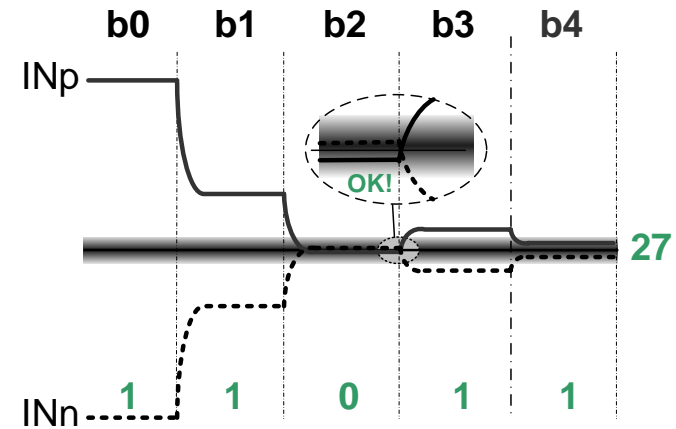
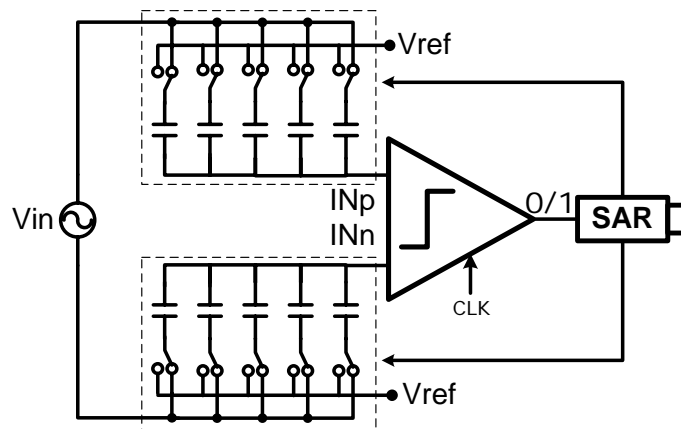
M. Bouleznakher, E. Andre, J. Roux, F. Paillardet,  
"A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a  
65nm CMOS," IEEE ISSCC 2008, Dig. of Tech.  
Papers, pp.250-251, Feb. 2008.

# SA ADCにおける比較器の問題

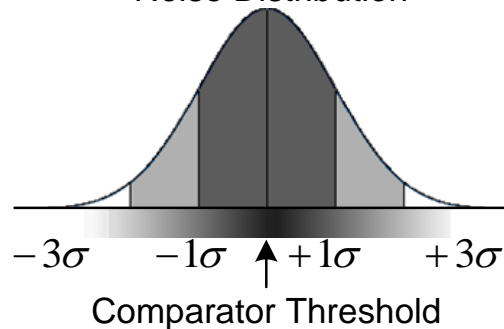
比較器はあるノイズ分布を有し、SA-ADCの誤動作を引き起こす。

比較器が電力を消費し、感度を上げると消費電力が増加すると仮定した。

5b Charge Redistribution (CR) SAR ADC



Noise Distribution

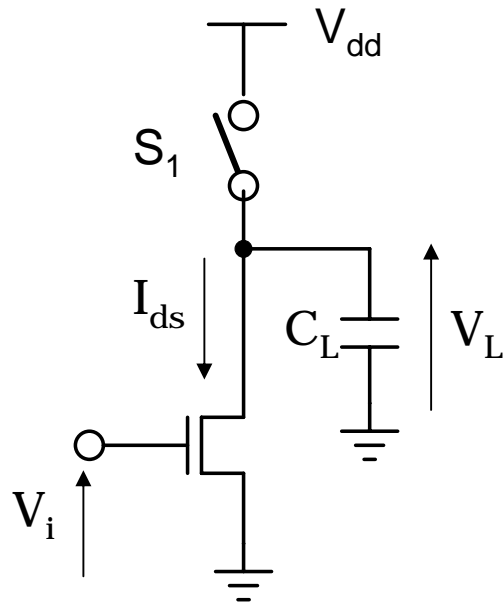


V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

# ダイナミック比較器のノイズ解析

## Our original work

ダイナミック比較器の瞬間電流(<20ps)のノイズによる揺らぎが比較器感度を決定  
比較器感度を良くするにはノード容量を大きくする必要あり。



Delay fluctuation  $\delta_{t_d}^2 = \frac{1}{I_{ds}^2} \left\langle \left( \int_0^{t_d} i_n dt \right)^2 \right\rangle$

Sampling noise  $\langle V_n^2 \rangle = \frac{kT}{C_L}, \delta_{td}^2 = \frac{\langle V_n^2 \rangle}{\left( \frac{I_{ds}}{C_L} \right)^2} = \frac{kTC_L}{I_{ds}^2}$

$$\delta_{t_d}^2 = \frac{t_d}{2I_{ds}^2} S_{in} = \frac{2kT\gamma t_d}{I_{ds} V_{eff}} = \frac{kT\gamma C_L V_{dd}}{I_{ds}^2 V_{eff}}$$

$$\delta_{t_d}^2 = \frac{kT\gamma C_L V_{dd}}{I_{ds}^2 V_{eff}} + \frac{kTC_L}{I_{ds}^2} = \frac{kTC_L}{I_{ds}^2} \left( \gamma \frac{V_{dd}}{V_{eff}} + 1 \right)$$

$$\delta V_{in}^2 = \frac{4kTV_{eff}^2}{C_L V_{dd}^2} \left( \gamma \frac{V_{dd}}{V_{eff}} + 1 \right)$$

$$\begin{aligned} \delta V_{in}^2 &= \left( V_{eff} \frac{\Delta t_d}{t_d} \right)^2 = \left( \frac{V_{eff}}{t_d} \right)^2 \delta_{td}^2 = \left( \frac{V_{eff}}{t_d} \right)^2 \frac{kTC_L}{I_{ds}^2} \left( \gamma \frac{V_{dd}}{V_{eff}} + 1 \right) \\ &= \frac{4kTV_{eff}^2}{C_L V_{dd}^2} \left( \gamma \frac{V_{dd}}{V_{eff}} + 1 \right) \end{aligned}$$

最近発表のFoMは推定値の3倍程度で、限界に近づいている。

必要感度を仮定  $\delta V_{in}^2 = \frac{4kTV_{eff}^2}{C_L V_{dd}^2} \left( \gamma \frac{V_{dd}}{V_{eff}} + 1 \right)$   $\frac{\delta V_{in}}{q} < 0.15 \rightarrow \delta V_{in}^2 < 0.3V_{qn}^2$

必要容量を推定  $C_L > \frac{40kTV_{eff}^2 2^{2N}}{V_{dd}^4} \left( \gamma \frac{V_{dd}}{V_{eff}} + 1 \right)$   $\therefore \delta V_{in}^2 < 0.1 \left( \frac{V_{dd}}{2^N} \right)^2$

$C_L > 4 \times 10^{-20} \times 2^{2N}$

消費電力とFoMを算出

$$P_d = 2(N + 2)f_c C_L V_{dd}^2$$

$$FoM = \frac{P_d}{f_c \times 2^{N-0.5}}$$

$f_c = 100 \text{MS/s}$

$\gamma = 1, V_{dd} = 1.0 \text{V}, V_{eff} = 0.2 \text{V}$

Resolution	10	12	14
$C_L$ (fF)	42	670	11000
$P_d$ (mW)	0.1	1.9	34
FoM(fJ)	1.4	6.5	30

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

# FoMの比較

パイプライン型ADCとSA ADCの理論FoMを算出した。  
SA型が1桁程度低い。

## パイプライン型ADC

Resolution	10	12	14
$C_o$ (pF)	0.37	6.0	95
$I_{dd}$ (mA)	1.75	33.6	628
$P_d$ (mW)	1.75	33.6	628
FoM(fJ)	24	116	542

FoM=63fJ/Conv. step

M. Boulemnakher, E. Andre, J. Roux, F. Paillardet, "A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a 65nm CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.250-251, Feb. 2008.

## SA型ADC

Resolution	10	12	14
$C_L$ (fF)	42	670	11000
$P_d$ (mW)	0.1	1.9	34
FoM(fJ)	1.4	6.5	30

FoM=4.4fJ/Conv. step

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

- 並列型ADC (Bip)
  - 80年代前半
- 技術ベース
  - 比較器(S/H機能無し)
- 利点
  - 比較器の高精度化が容易
  - 高速化が可能
- 課題
  - 高分解能化が困難
  - 低電力化、低コスト化が困難
  - 標本化回路が困難
  - オフセット補償が困難
- 直並列型ADC (CMOS)
  - 80年後半から90年代前半
- 技術ベース
  - 比較器(S/H機能あり)
- 利点
  - 回路規模の削減が可能
  - 低電力化、低コストが可能
  - オフセット補償が容易
- 課題
  - 更なる高精度化(12 ~ 14bit)が困難
  - 設計の複雑さIP化が困難



- **パイプライン型ADC**
  - 90年代から現在
- **技術ベース**
  - OPアンプ
- **利点**
  - オフセット電圧の影響を受けない
  - OPアンプ設計により性能が容易に変換、IP化が容易
  - 増幅作用により後段のノイズの影響を受けにくい
  - 高精度化が可能
- **課題**
  - 微細化・低電圧化による性能劣化特に高精度化が困難
  - 高速化が頭打ち
  - 定常電流が必要なため、究極の低電力化は困難？
- **逐次比較型 ADC**
  - 今後の主流？
- **技術ベース**
  - 比較器
- **利点**
  - 究極の超低電力動作
  - 微細化・低電圧化への対応容易
- **課題**
  - 高速化(インターリーブ非適用時)
  - 高精度化(何らかの増幅作用は必要?)

- キーデバイス(ADC)の開発が新たな機器開発を促進
- 回路や変換方式は時代に適合したものが残る
- 今日は微細化・低電圧に合った回路が求められる
- より簡素化した回路とデジタル補償技術の活用が今後の開発ポイント
- OPアンプレスの方向に向かっているが、利得が不要か否かは更に研究の必要あり