

# 集積回路設計における配線技術 概要、課題、将来展望

Interconnection technology for IC design;  
Overview, Issues, and Future

松澤 昭

Akira Matsuzawa

東京工業大学

Tokyo Institute of Technology

# 内容

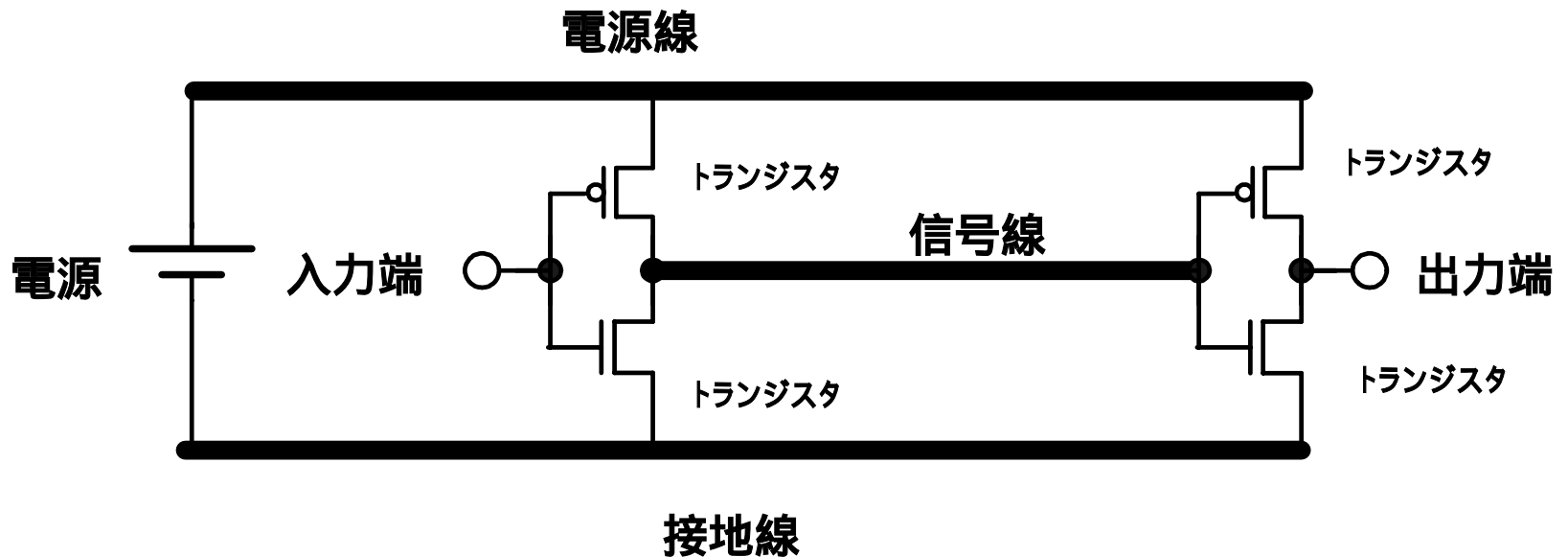
---

- 配線技術の概要
- LSIアーキテクチャ
- シリコンファウンダリー

# 配線

集積回路はトランジスタだけでは動作しない。  
トランジスタ間を接続する信号線や、電気エネルギーを供給する電源線、接地線が必要。

この配線が集積回路の性能を大きく左右する。

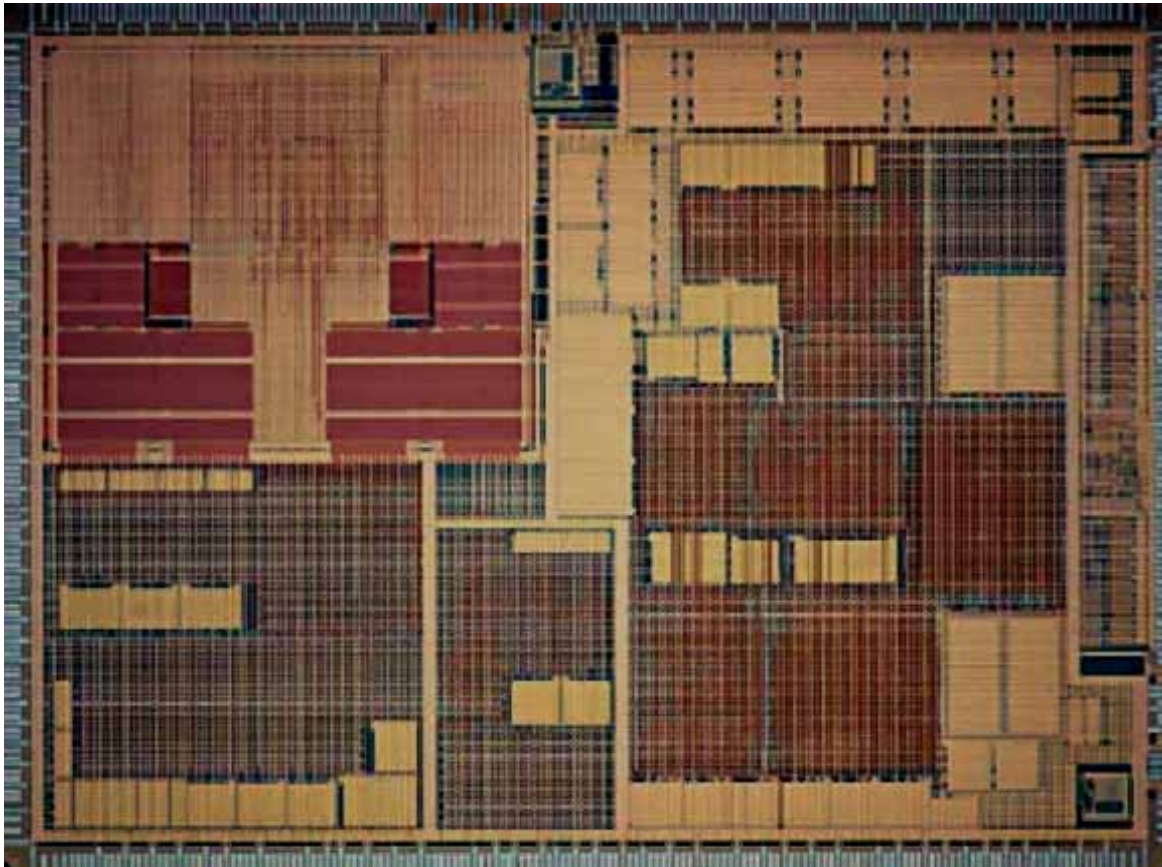


# システムLSI

現在のシステムLSIは配線が主役である

System LSI for Digital HDTV

Cu配線を用いたところのチップ



2002年頃

**0.13um CMOS**

**6 Cu layer**

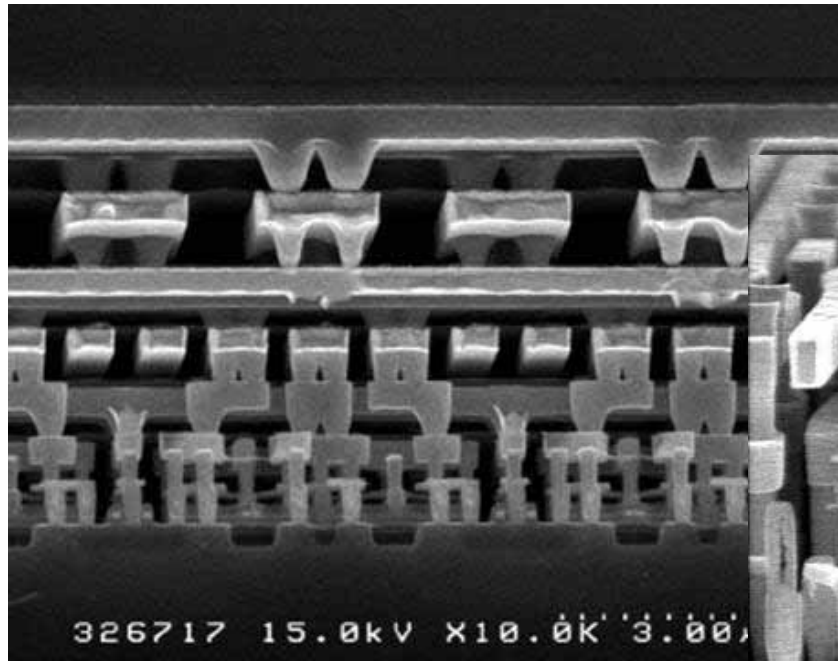
**35M Trs**

**Max freq: 400MHz**

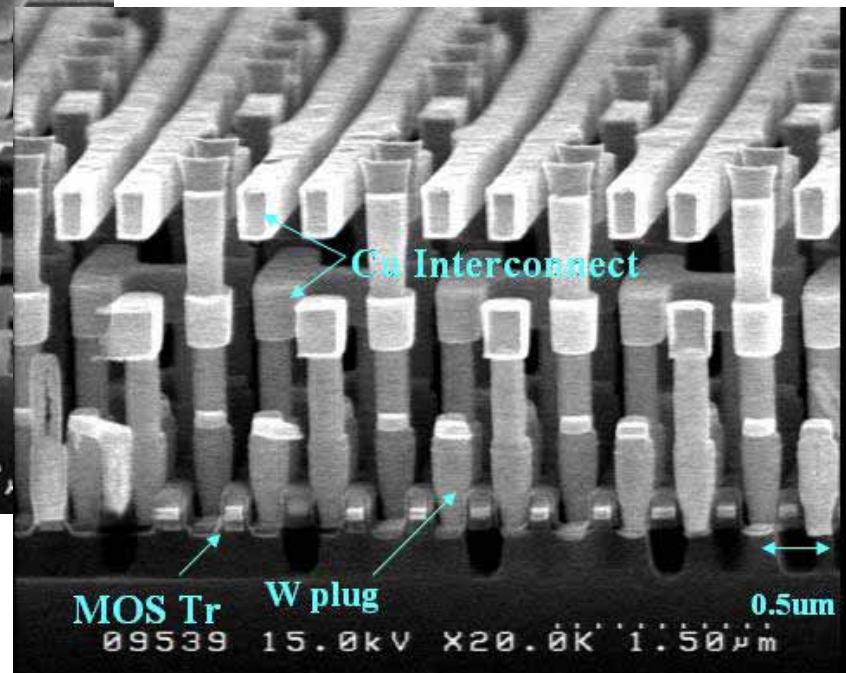
# 現在のシステムLSI用多層配線

6層程度の銅の配線と配線層間を接続するスタックとビアからなっている。

最上層のみが膜圧と線幅が2倍になっている



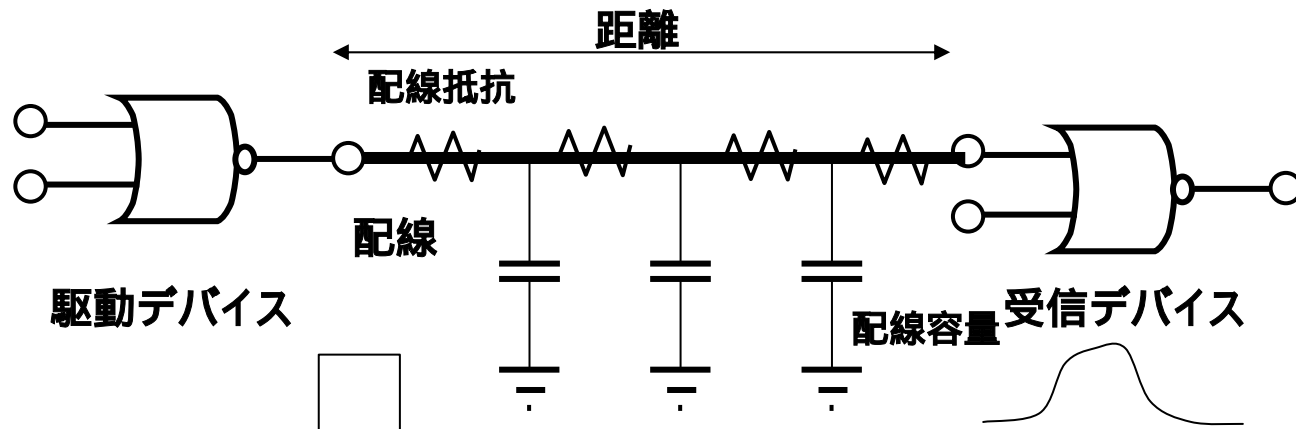
0.13um CMOS **Ratio: 2x**



# 配線問題

配線は高速化・低消費電力化の大敵である。

また、微細デバイスを接続するには微細配線が必要である。



## ・配線によって生じること

- ・信号の遅延
- ・信号の減衰
- ・波形の変形
- ・電力の消費
- ・電磁波の輻射

## 高速化・低消費電力化

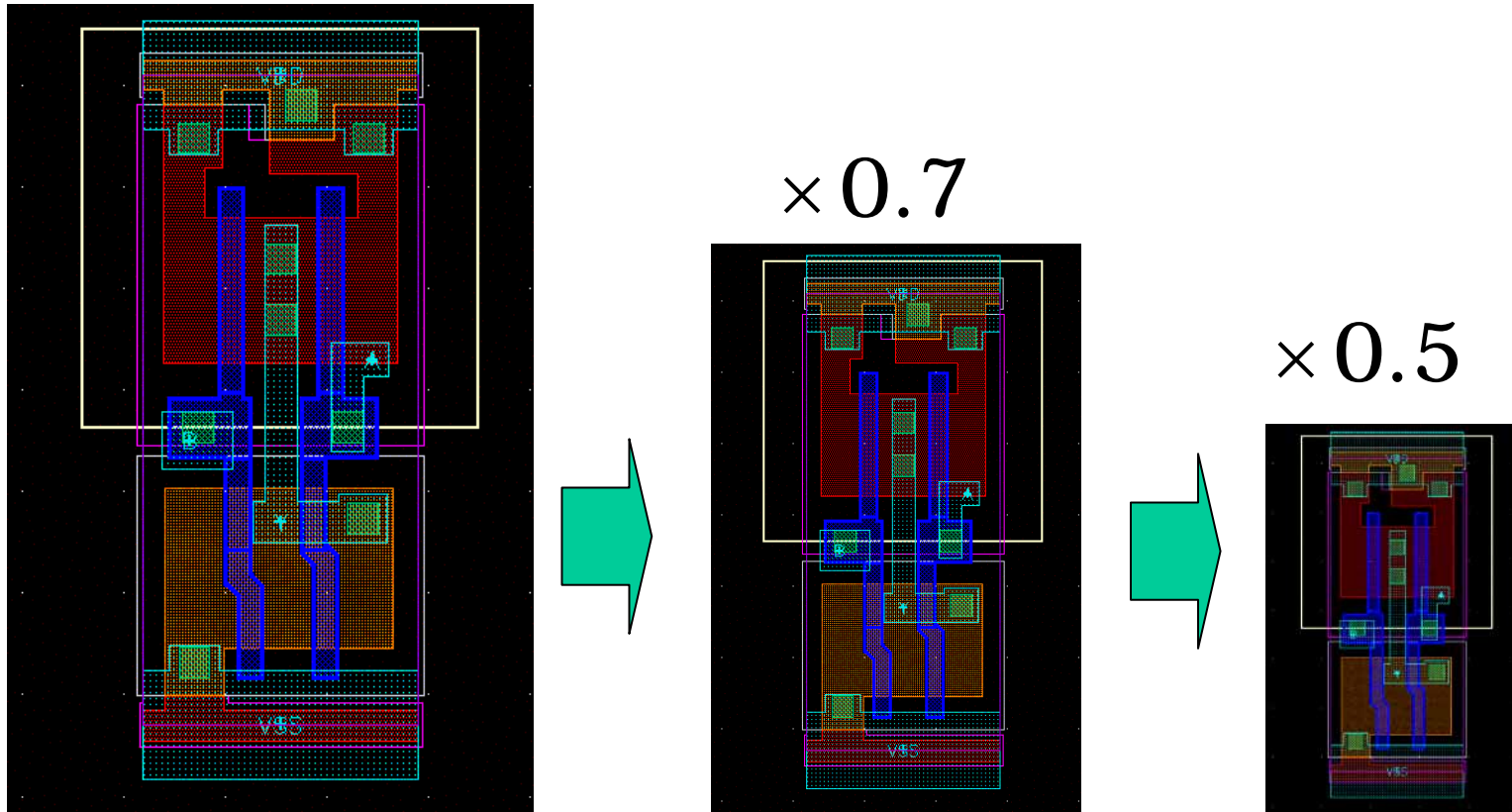
- ・配線抵抗を下げる
- ・誘電率を下げる

しかし、いずれも限界がある

短い配線で接続できるようにすることが重要

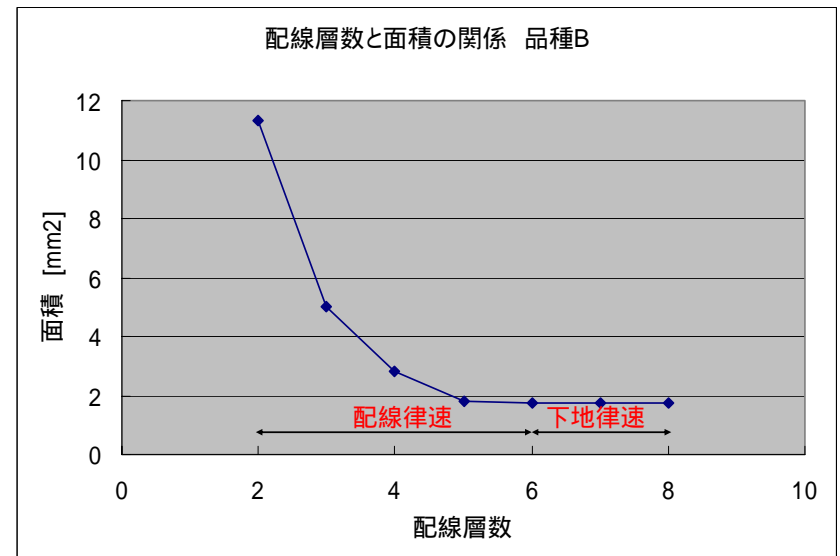
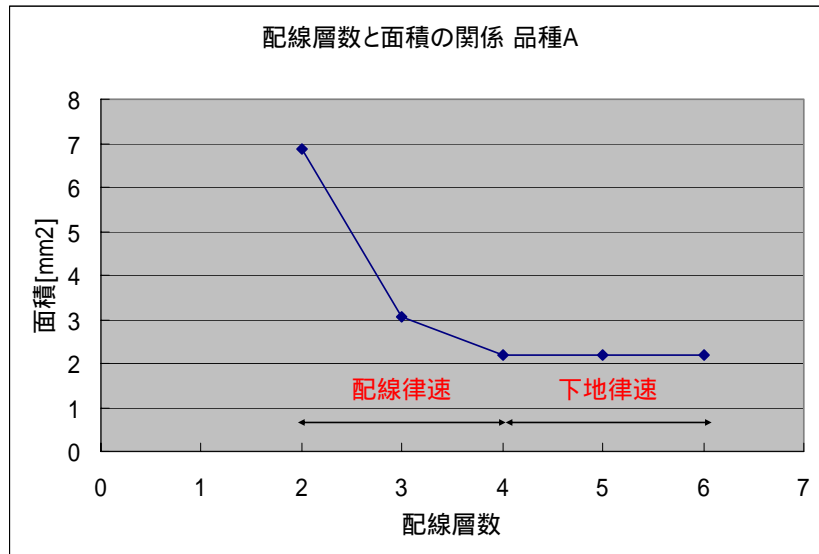
# 配線の基本的な課題

TRの微細化に追従して配線が微細化しなければならない 配線スケールリング  
配線遅延時間を減少させなければならない 配線逆スケールリング



# 配線層数と面積

- ・配線律則の場合は配線層数を上げることで面積を小さくできる
- ・しかしながら下地(セル)律則により飽和する
- ・最適な配線層数は品種により異なる

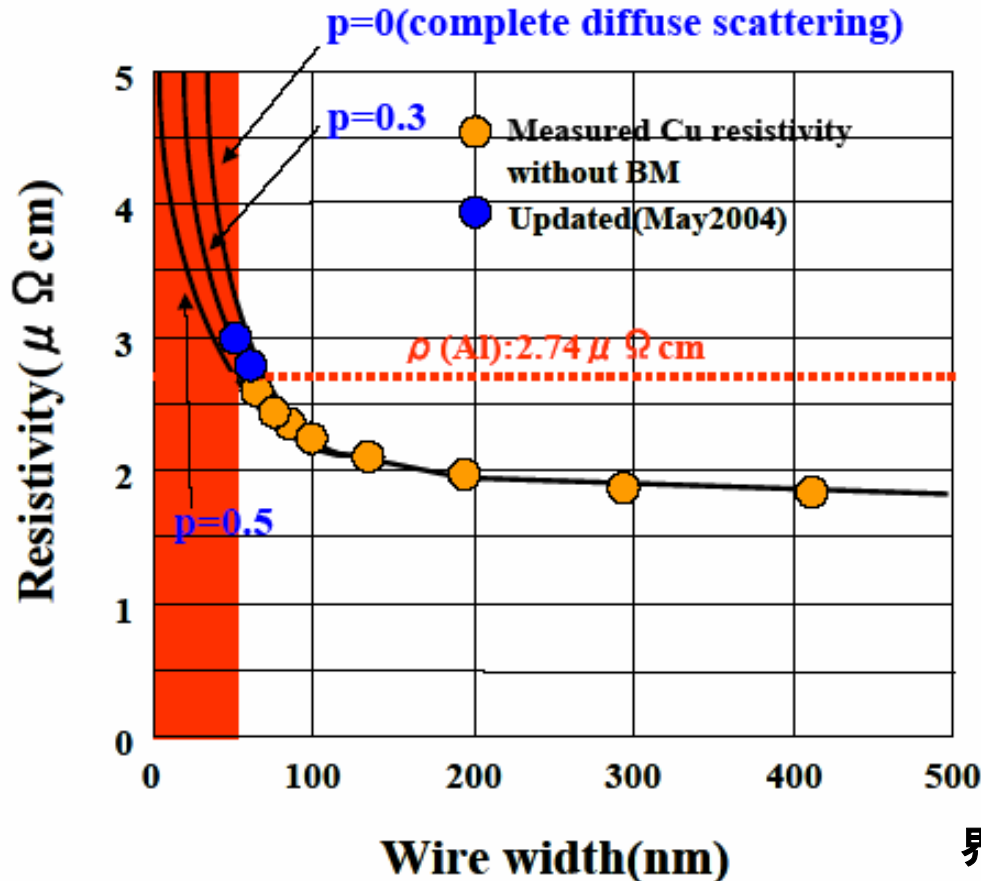




# 配線微細化の本質的な課題

配線幅が電子の平均自由行程程度になると金属の抵抗は急増する

半導体技術ロードマップ専門委員会  
(STRJ) 2003年度報告より



配線幅 < 電子の平均自由行程  
表面(界面)散乱が支配的

$$\rho(W) = \rho_0 + \frac{\lambda}{W} \left[ \frac{3}{4}(1-p) + \frac{3r}{2(1-r)} \right]$$

$p$ : 表面(界面)で弾性衝突する電子の割合  
 $r$ : 結晶粒界での電子の反射確立(=0.2)  
 $\lambda$ : 電子ガス理論から決まる平均自由行程  
 $\sim 47\text{nm}$

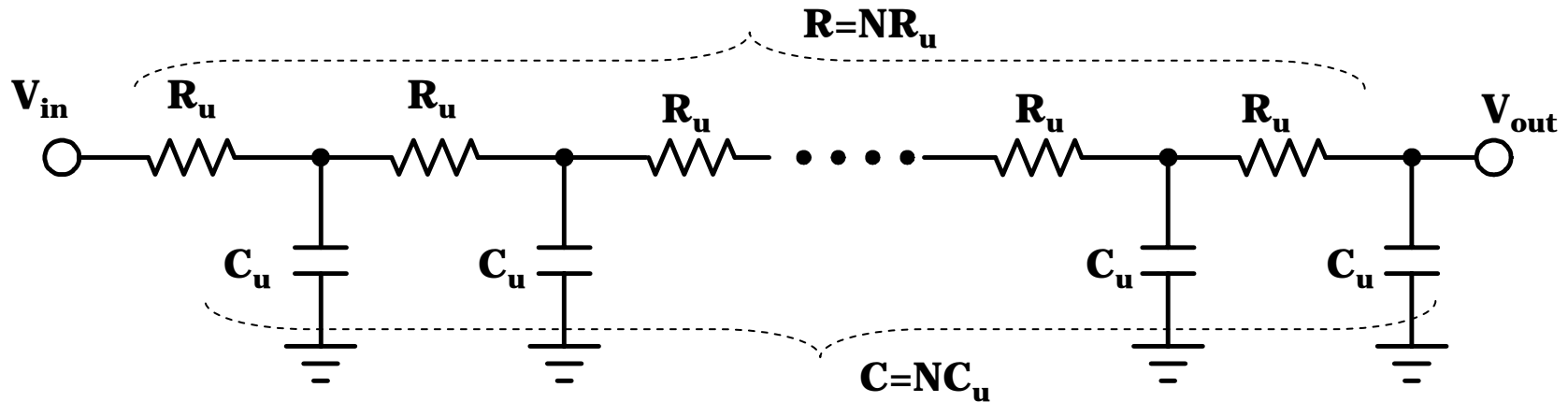
32nm Node以降(2010年)では大きな問題

界面の平滑化が必須だが、抑制は極めて困難

図表 6-23 界面での電子散乱によるCu比抵抗の上昇

# 分布RCモデルの遅延

分布RC線路の遅延時間は  $T_D = \frac{RC}{2}$  で近似できる。



配線の抵抗と容量をN分割

**R:**配線の全抵抗  
**C:**配線の全容量

$$T_D = \sum_{i=1}^N \left( R_i \sum_{j=i}^N C_j \right) = \sum_{i=1}^N \left( C_i \sum_{j=1}^i R_j \right) = (R_u C_u + 2R_u C_u + \dots + NR_u C_u)$$

$$= (1 + 2 + \dots + N) R_u C_u = \frac{N(N+1)}{2} R_u C_u = \frac{RC(1+1/N)}{2}$$

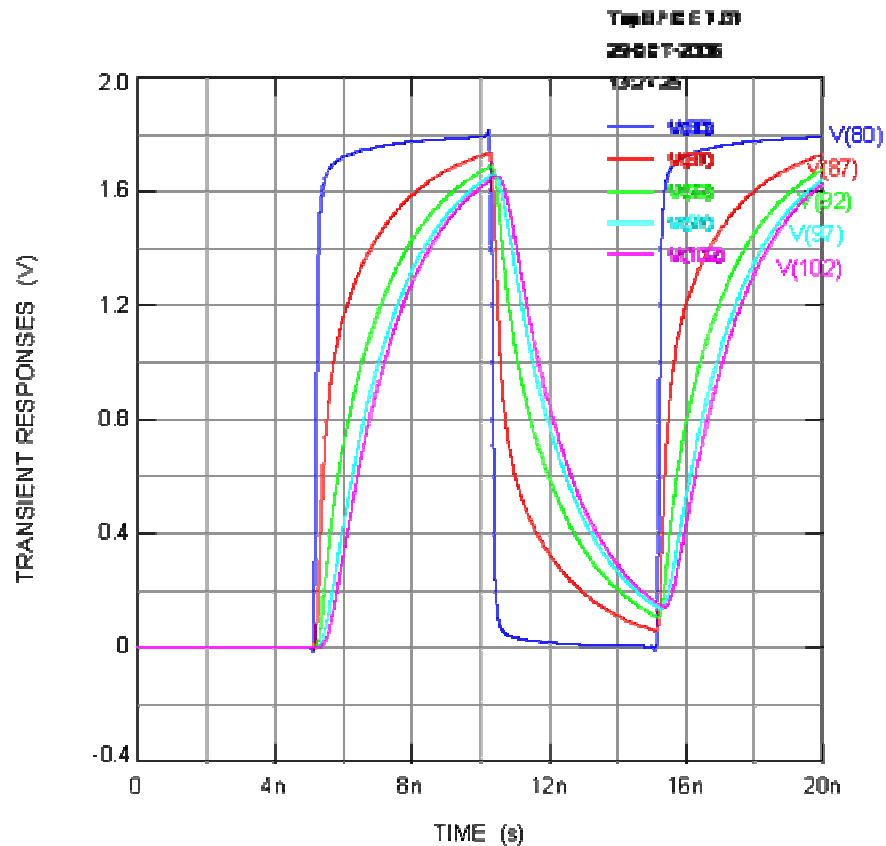
Nが十分大きければ、  $T_D = \frac{RC}{2}$

# RC分布定数線路の応答

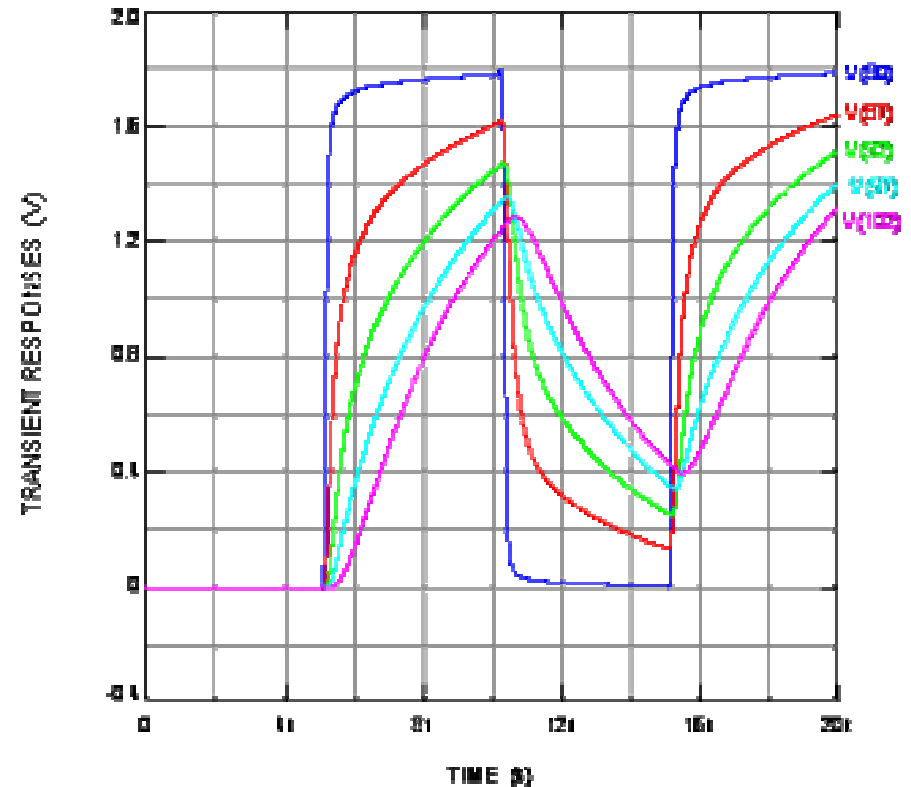
RC線路では、伝搬遅延時間だけでなく信号減衰も問題となる

RCによるローパスフィルターのふるまい

負荷容量0.1pF

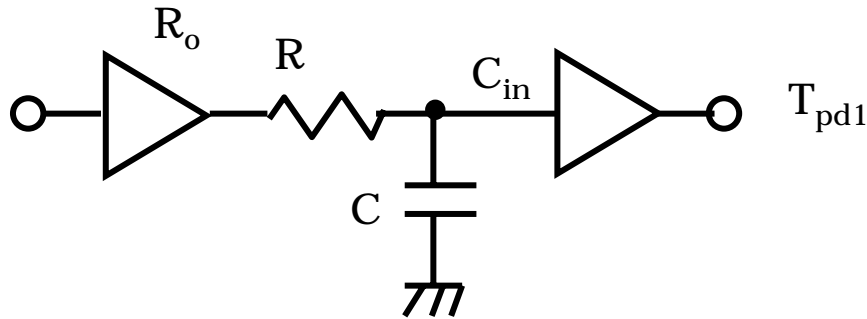


0.13um グローバル配線のパラメータを使用  
総配線長 5mm 負荷容量 1pF



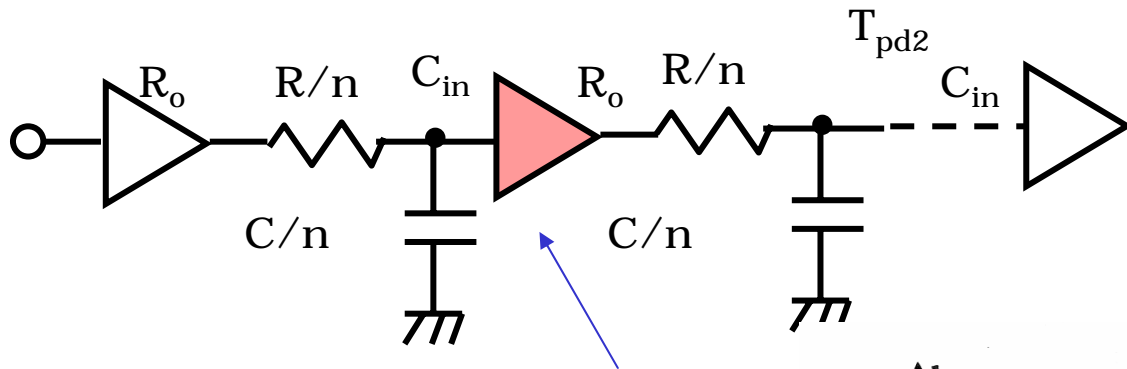
# リーピーターバッファの挿入

配線長の2乗に比例して遅延時間が増大するので、バッファを入れて配線長を短くすると、ゲート遅延が増加しても全体の遅延時間を短縮できる



$$T_{pd1} \approx \frac{RC}{2} + R_o C_{in} \quad T_{pd2} \approx \frac{RC}{2n} + nR_o C_{in}$$

$$T_{min} \approx \sqrt{2RC \cdot R_o C_{in}}$$

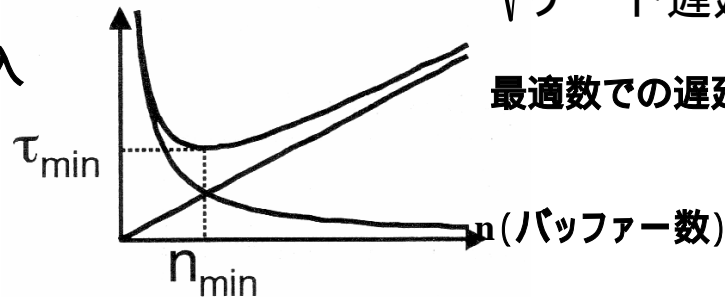


リーピーターバッファの挿入

配線遅延とゲート遅延の相乗平均

$$n_{min} = \sqrt{\frac{RC}{2R_o C_{in}}}$$

$$n_{min} = \sqrt{\frac{\text{配線遅延}}{\text{ゲート遅延}}}$$



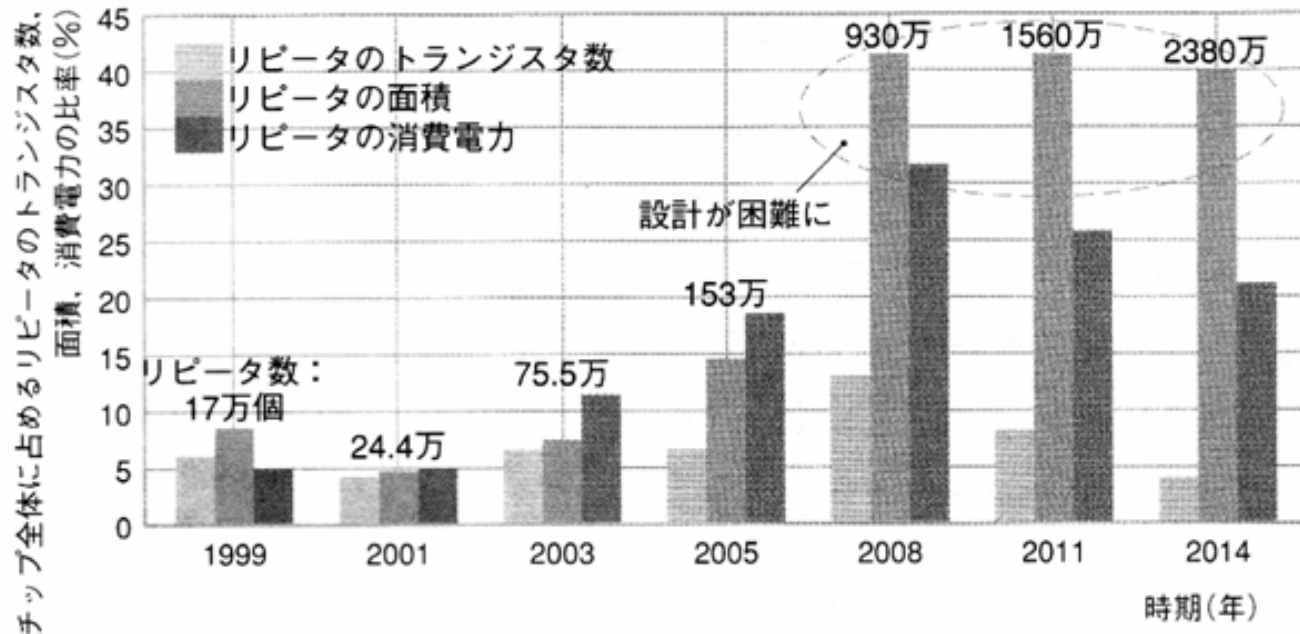
最適数での遅延時間比

# リピータバッファの課題

リピータバッファが面積・消費電力の大きな問題になる

グローバル配線の高速化にはリピータバッファが欠かせないが  
今後、それによる面積や消費電力が極端に大きくなり、非現実的になる

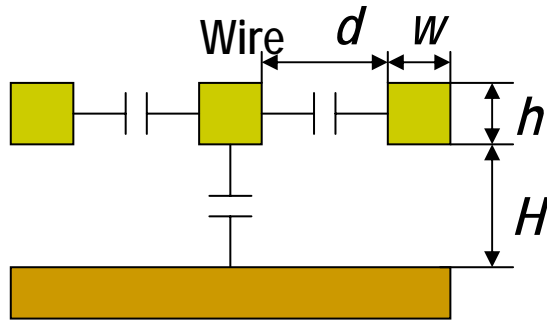
このままでは高速化は困難



# RC時定数：配線容量の性質

容量は寸法比で与えられるため、微細化で縮小することは困難である。  
低誘電率化が低容量化に最も効果がある。

単位容量は容易に変えにくい

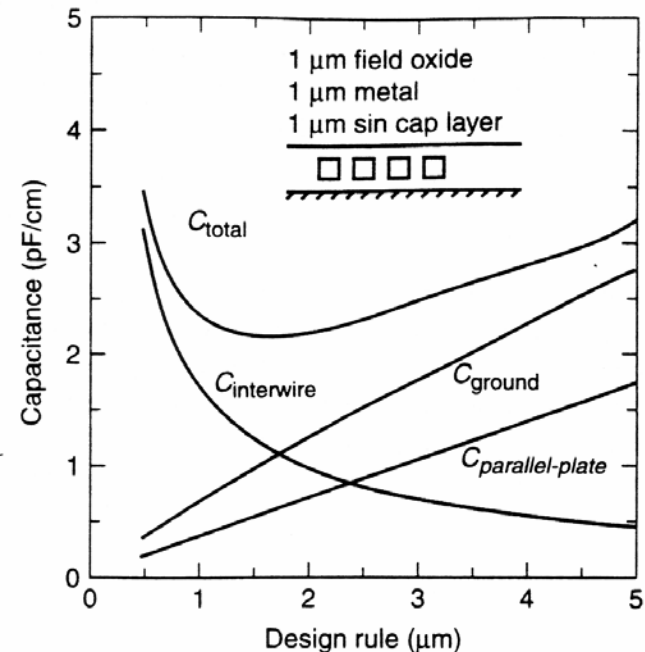


Other Metal or bulk

配線ピッチを縮めると線間容量が増加  
配線ピッチを緩めると対地容量が増加  
最適なピッチがある  
単に横方向を微細化しても容量は減らない

$$C_{tot} \approx \epsilon_{ox} \left\{ \left[ 2.80 \left( \frac{h}{H} \right)^{0.22} + 1.15 \left( \frac{w}{H} \right) \right] + \frac{\left[ 0.83 \left( \frac{h}{H} \right) - 0.07 \left( \frac{h}{H} \right)^{0.22} + 0.03 \left( \frac{w}{H} \right) \right]}{\left( \frac{d}{H} \right)^{1.34}} \right\}$$

容量値は寸法比で与えられ、絶対的な大きさに依存しない。

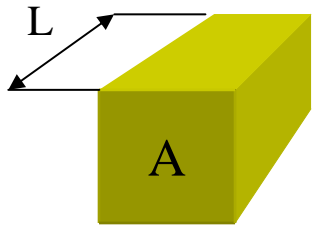


J. M. Rabaey, "Digital Integrated Circuits", pp. 445

# RC時定数：配線抵抗の性質

配線抵抗は寸法そのもので決まるので微細化により増大する

配線抵抗を下げるには、短くするか、太くするかしかない

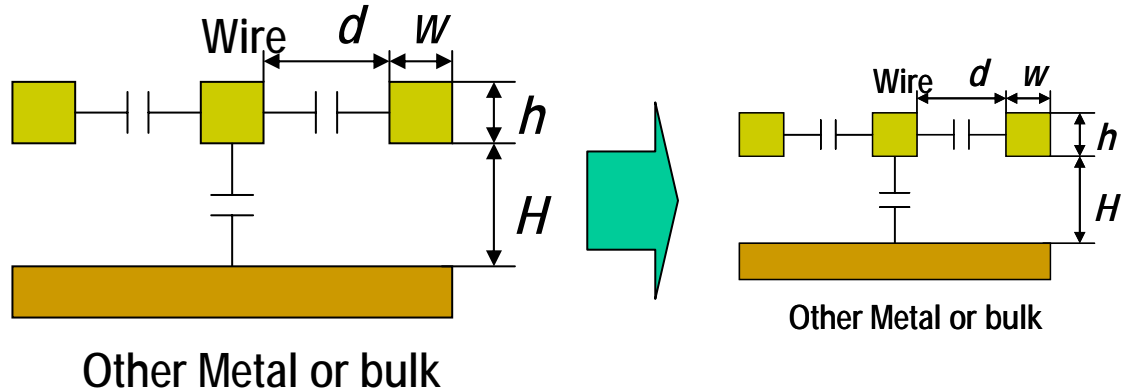


$$R = \frac{\rho L}{A}$$

$\rho$  Al:  $2.7 \times 10^{-8} (\Omega m)$

Cu:  $1.7 \times 10^{-8} (\Omega m)$

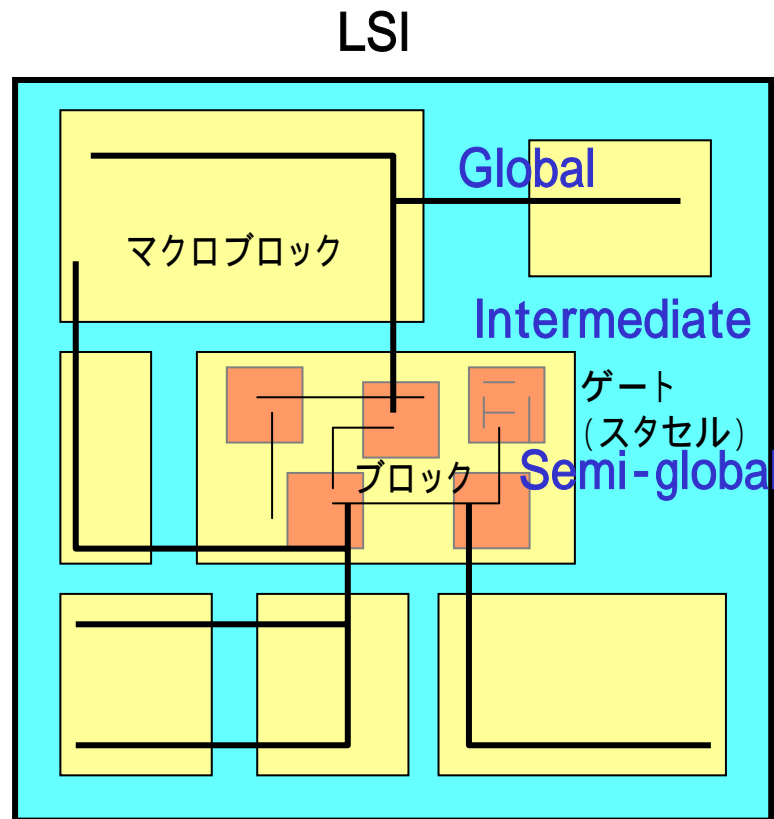
微細化すると、容量は変わらないが  
抵抗は確実に増加する



# LSIのレイアウトと配線構造

LSIでは回路が階層化されており、これに伴って使用する配線も階層化されている。

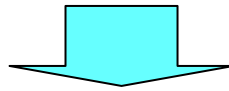
ローカル配線: セル内のトランジスタノードの接続。高密度、短い配線長  
グローバル配線: マクロブロック間の接続。低密度 低抵抗 長い配線長



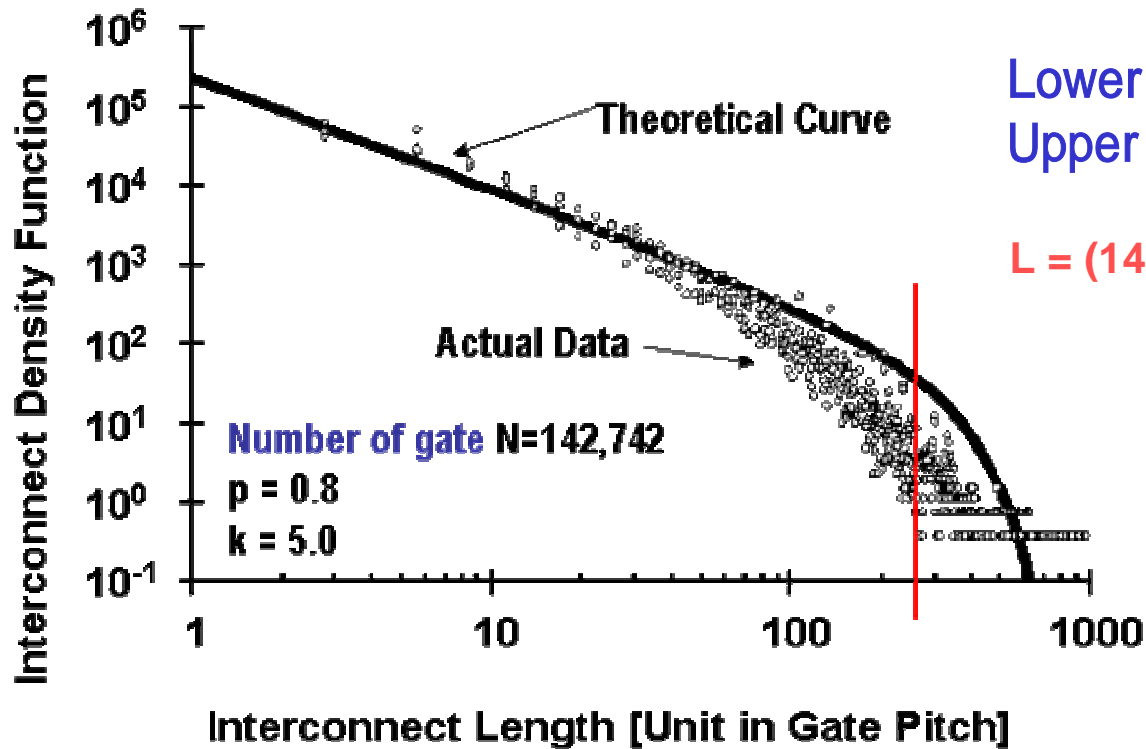


# 配線長分布

短い配線は多く、長い配線は少ない。

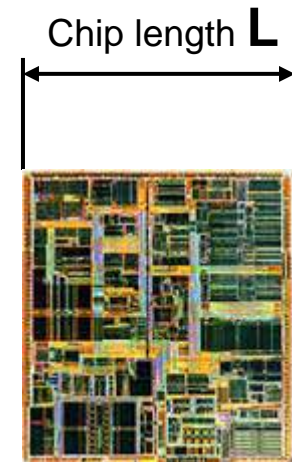


階層的な多層配線技術の導入



Lower layer: high density (Hi RC)  
Upper layer: low density (Lo RC)

$$L = (142,742)^{1/2} = 377 \text{ [gate pitch]}$$



Davis, De, and Meindl, IEEE ED-45(3) 580 (1998)

# 配線の階層化

現状のLSIは階層的な配線構造を用いている

グローバル配線は抵抗を下げるために厚くて広い配線になっている

逆スケーリング

2x to 3x  
Global (up to 5)

グローバル配線: 低密度で長く

Intermediate (up to 4)

スケーリング

Local (2)

ローカル配線: 高密度で短く

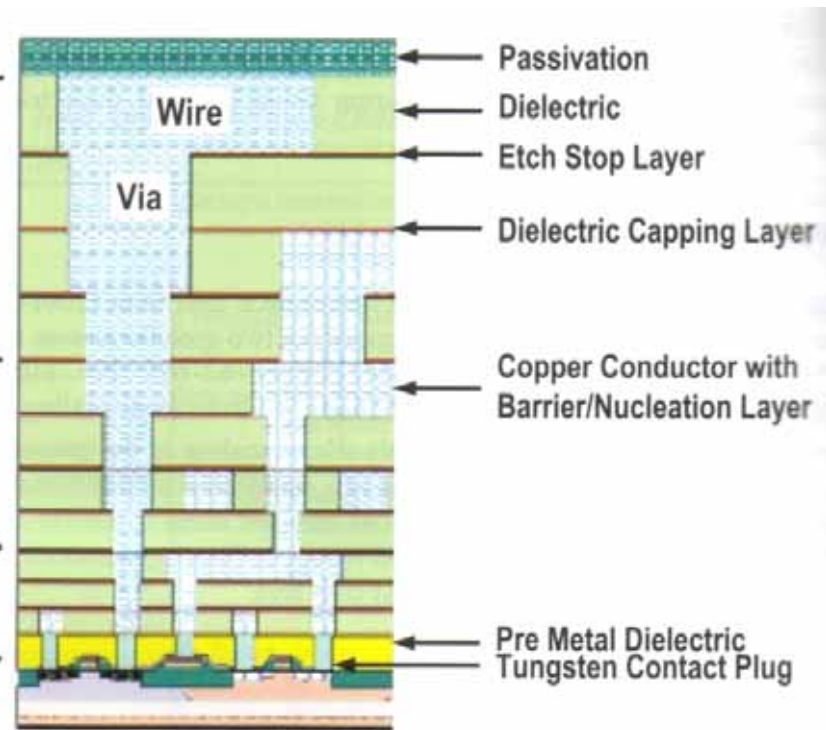
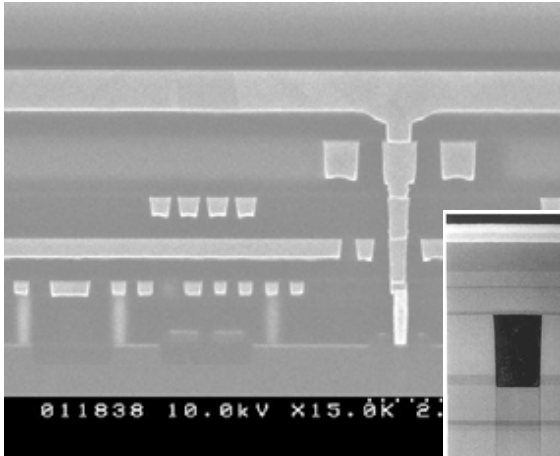


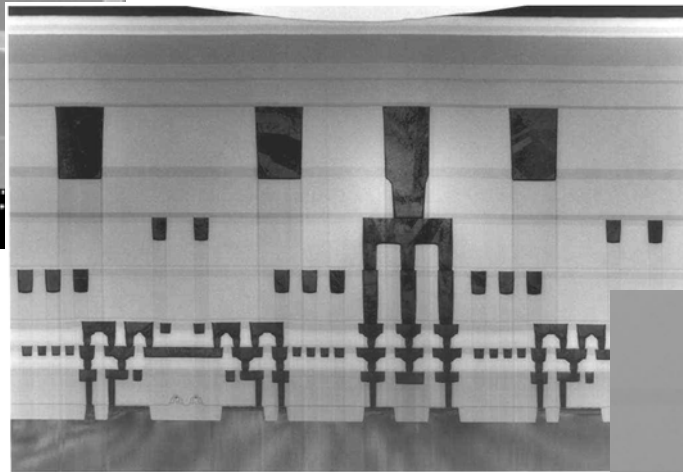
Figure 36 Cross-section of Hierarchical Scaling ITRS 2001 Edition, pp. 262.

# 微細化と配線の逆スケーリング

130nm Node 5層Cu配線構造

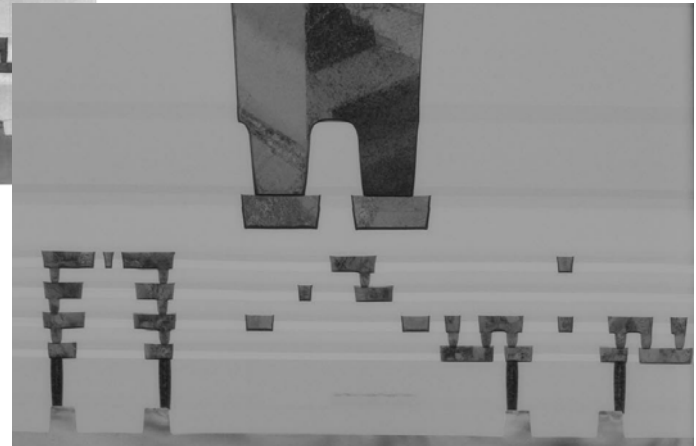


90nm Node 6層Cu配線構造



資料提供: 東芝

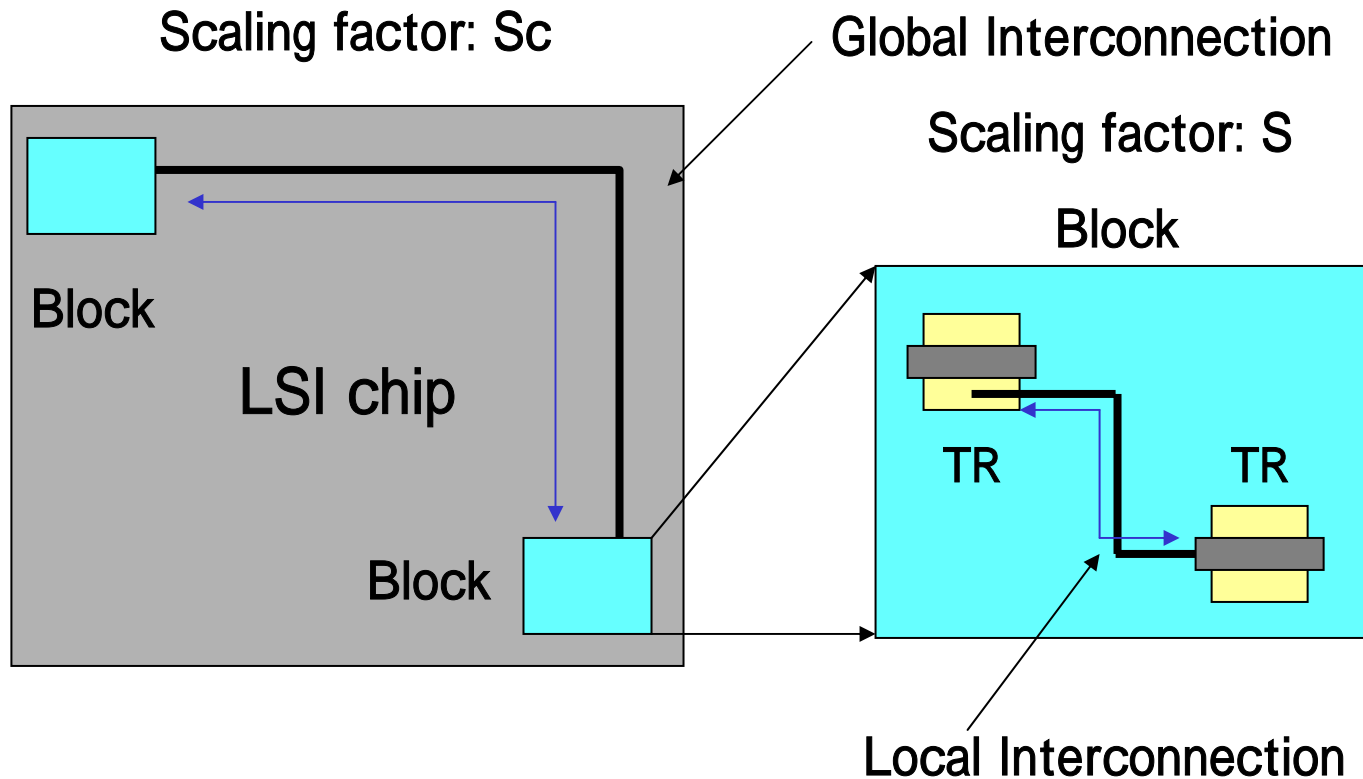
65nm Node 6層Cu配線構造



長距離Global配線におけるRC遅延の深刻度を反映して、逆スケーリングの程度は世代が進むとともに大きくなっている

# 配線のスケージング則

LSI配線は ローカル配線とグローバル配線に分けて考える



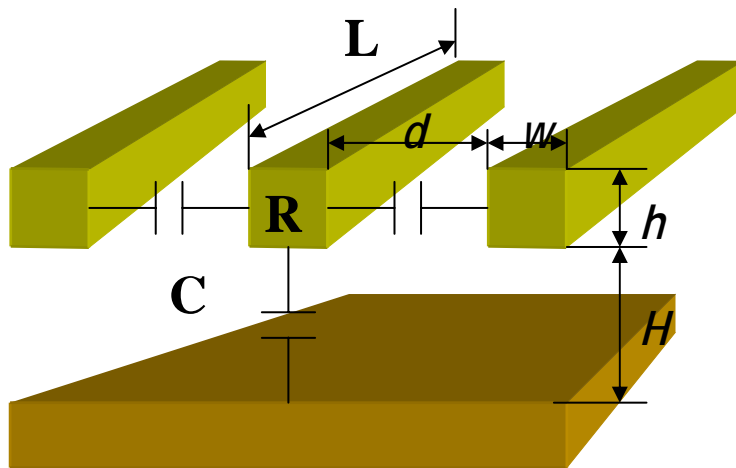
# 配線のスケーリング

配線のスケーリングは極めて困難である

- ・ローカル配線: RC遅延はスケーリングに対して一定
- ・グローバル配線: RC遅延はスケーリングに対してむしろ増加  
更にチップサイズの増加がこれに拍車をかけている

ローカル配線の容量は低下しているが、これは配線長短縮の効果で、単位長さ当たりの容量は一定

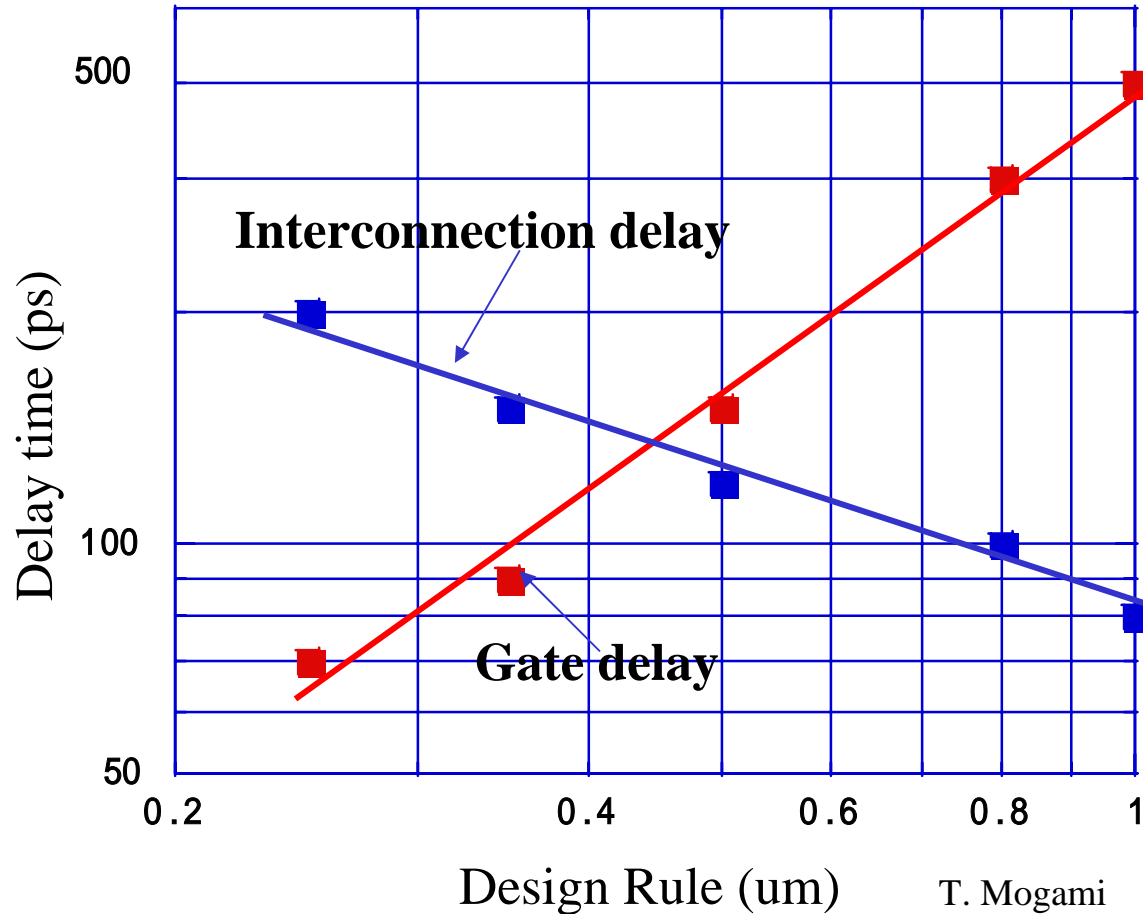
S: Device scaling factor  
Sc: Chip size scaling factor



| Parameters | Local | Global    |
|------------|-------|-----------|
| L          | $1/S$ | $Sc$      |
| W, d       | $1/S$ | $1/S$     |
| H, h       | $1/S$ | $1/S$     |
| R          | S     | $S^2Sc$   |
| C          | $1/S$ | $Sc$      |
| Td (=RC)   | 1     | $(SSc)^2$ |

# ゲート遅延と配線遅延

ゲート遅延は減少しているが配線遅延は増加している。



T. Mogami  
“LP & HS LSI Circuit & Technology”  
pp. 547-560, Realize Inc. 1998.

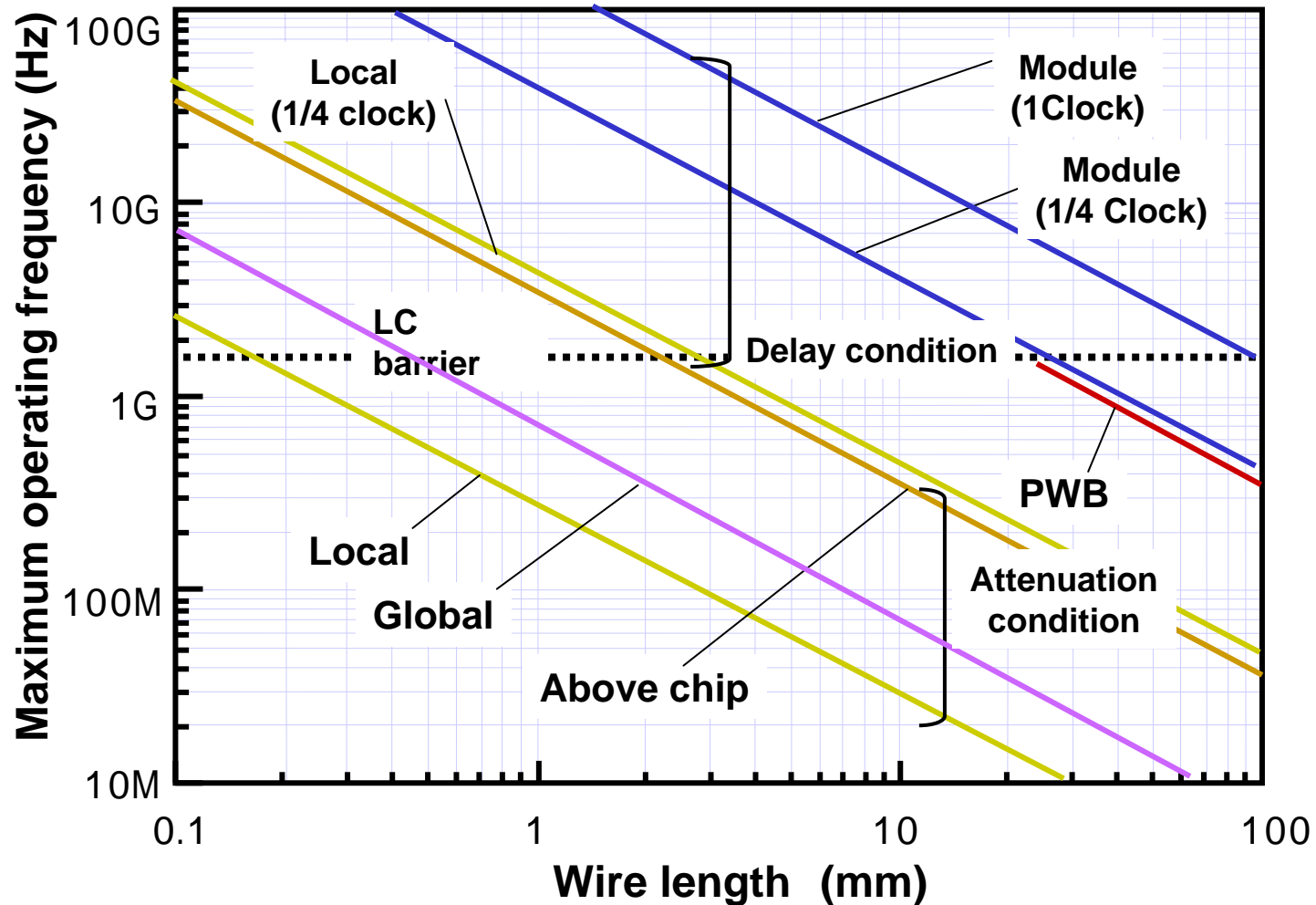
# 配線の検討

LSIに用いられる配線だけでなく、パッケージやボードなどの配線の性能を検討した配線の種類により抵抗は大幅に異なるが、容量はさほど変化しない。

|             | Local | Global | Above chip | Module | PWB     |
|-------------|-------|--------|------------|--------|---------|
| C (fF/mm)   | 349   | 254    | 90         | 163    | 113     |
| Rsq(Ohm/mm) | 455   | 227    | 100        | 0.01   | 0.005   |
| RC (ps/mm)  | 159   | 57.7   | 9.02       | 0.0016 | 0.00057 |
| L (nH/mm)   | ----- | -----  | -----      | 1.05   | 0.47    |
| W (um)      | 0.22  | 0.44   | 1          | 60     | 100     |
| h (um)      | 0.34  | 0.34   | 1          | 60     | 35      |
| d (um)      | 0.20  | 0.40   | 1          | 60     | 100     |
| H (um)      | 0.79  | 0.79   | 3.02       | 3000   | 180     |

# 配線の種類による動作周波数限界

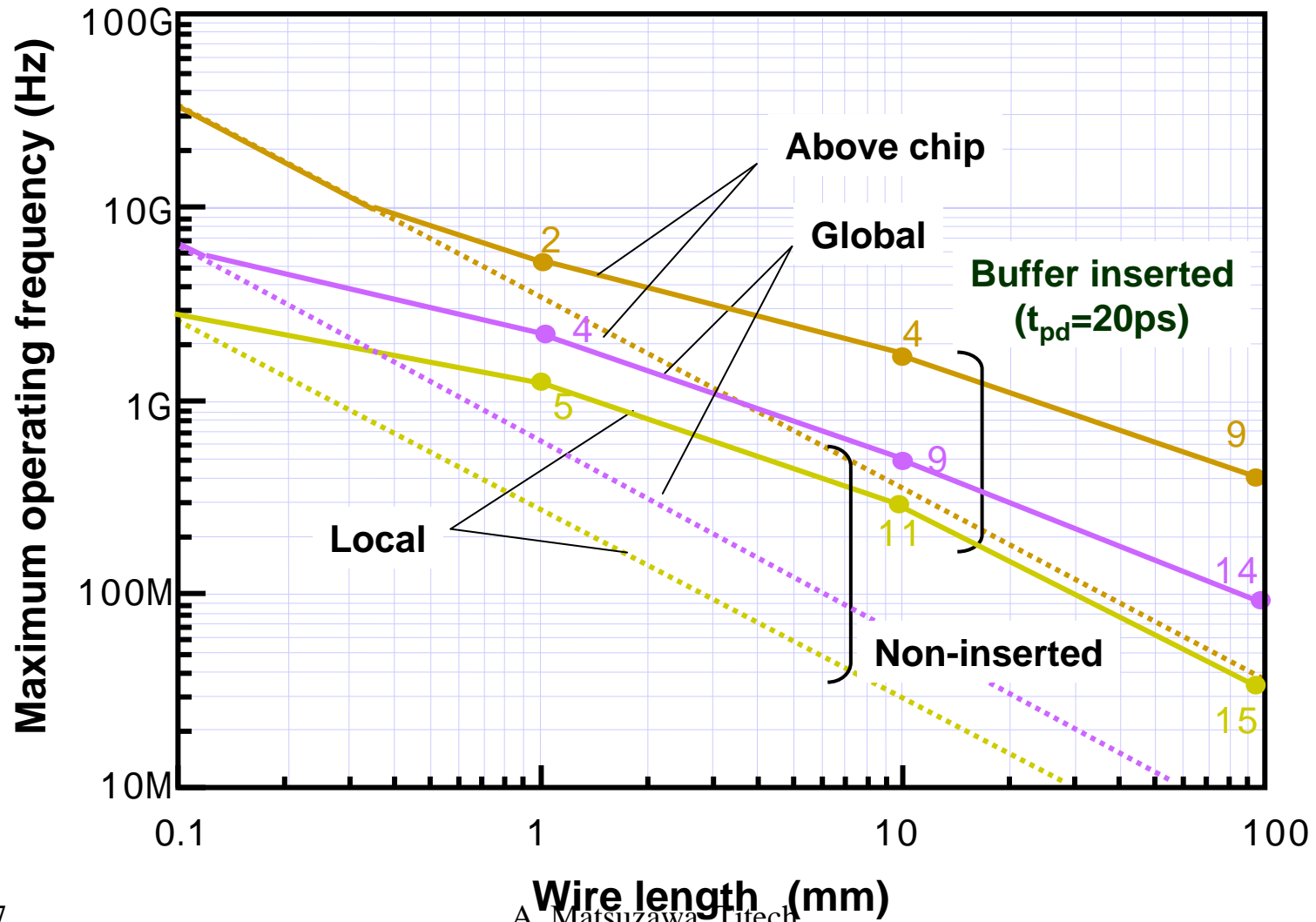
LSI上の配線は抵抗が高いため、高周波信号においてかなり減衰する





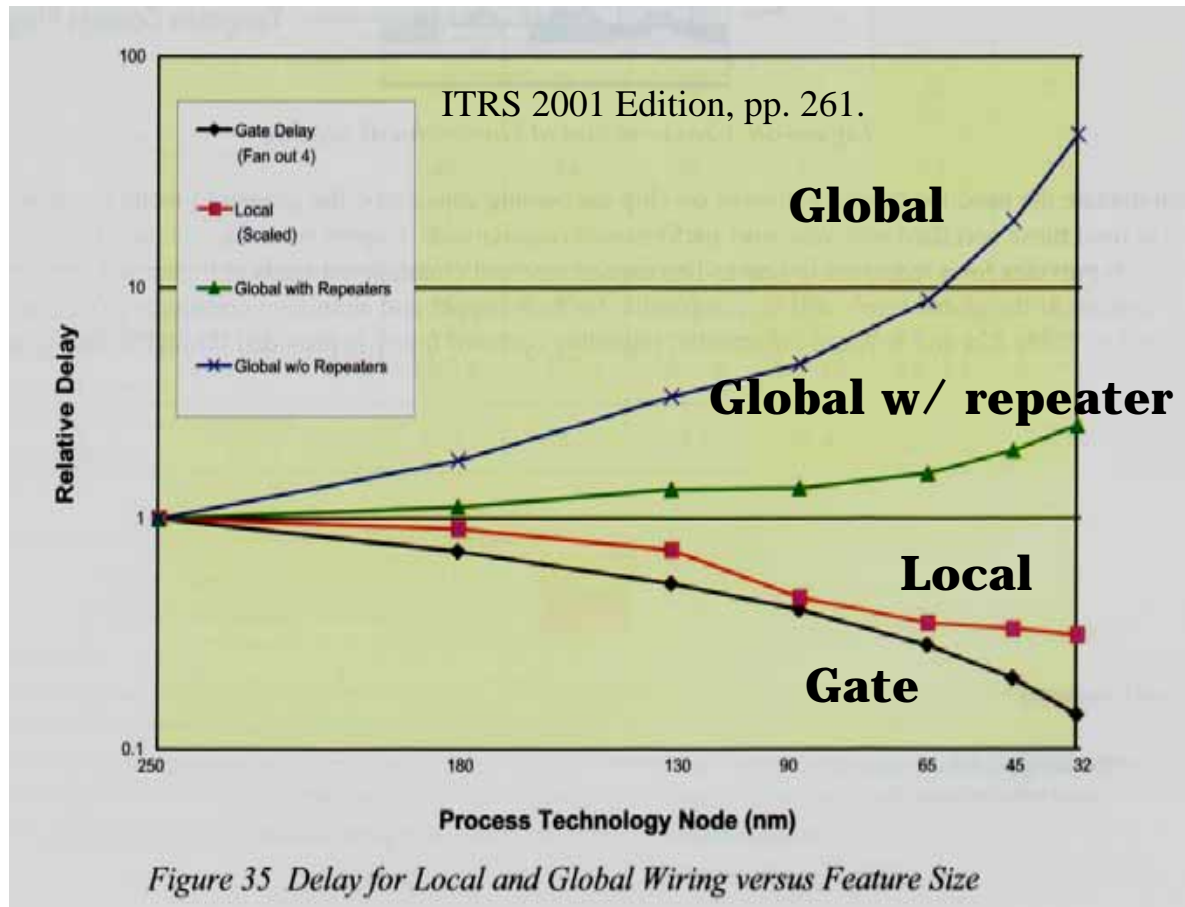
# リピーターバッファの効果

リピーターバッファを入れることでLSI上の配線の性能はかなり改善されるが限界がある



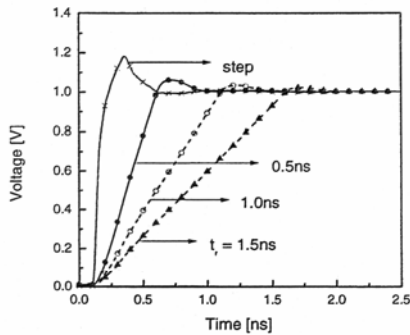
# 配線遅延の予想

グローバル配線遅延はたとえ、リピータバッファを入れても微細化とともに増大する。

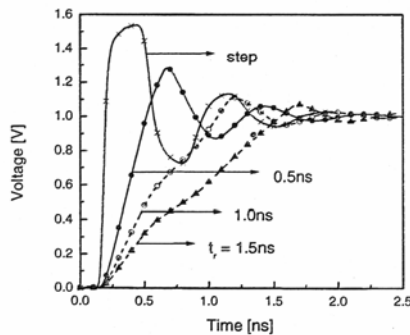


# 分布定数扱いの境界条件

配線長が数mm以上,断面積が $1\mu\text{m}^2$ 以上で、立ち上がり時間が100psを切ると分布定数的扱いが必要



(a) s-parameter-based signal transients for  $2.0\ \mu\text{m}$  with different rise times

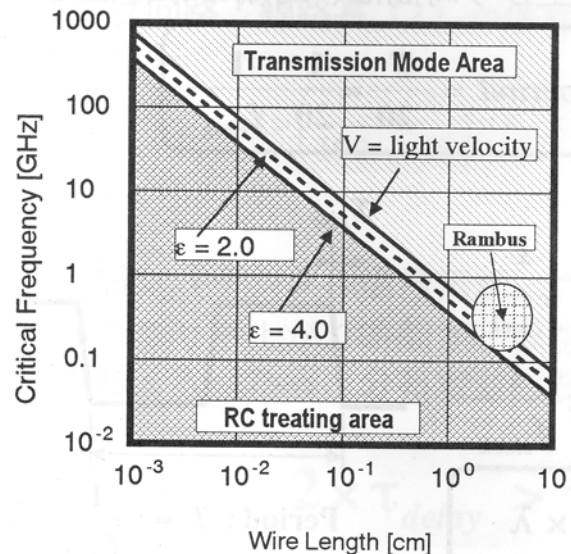


1) LCRのリングング条件から

$$t_r < 6.7 \left( \frac{Lu}{R_u} \right)$$

の立ち上がり時間のパルスは振動する

2) 配線長  $l$  と信号周波数から



$$l > \frac{\lambda}{40} = \frac{C_0}{40 f \sqrt{\epsilon_r}}$$

$C_0$ : 光の速度  
 $f$ : クロック周波数  
 $\epsilon_r$ : 比誘電率

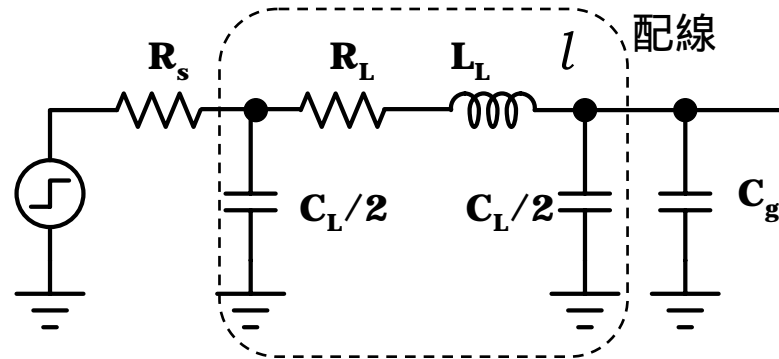
ただし、立ち上がり時間を周期の5%と仮定

1GHzクロックの場合は数mmの配線も分布定数として扱わなければならない。  
 数100 $\mu\text{m}$ ではRCモデルで十分。

--- K. Masu, pp.26  
 Tutorial Text on ADMETA 2001

# インダクタを考慮した分布定数回路の影響

立ち上がり時間が短く、配線抵抗が小さいときには考慮が必要



この条件でインダクタの考慮が必要

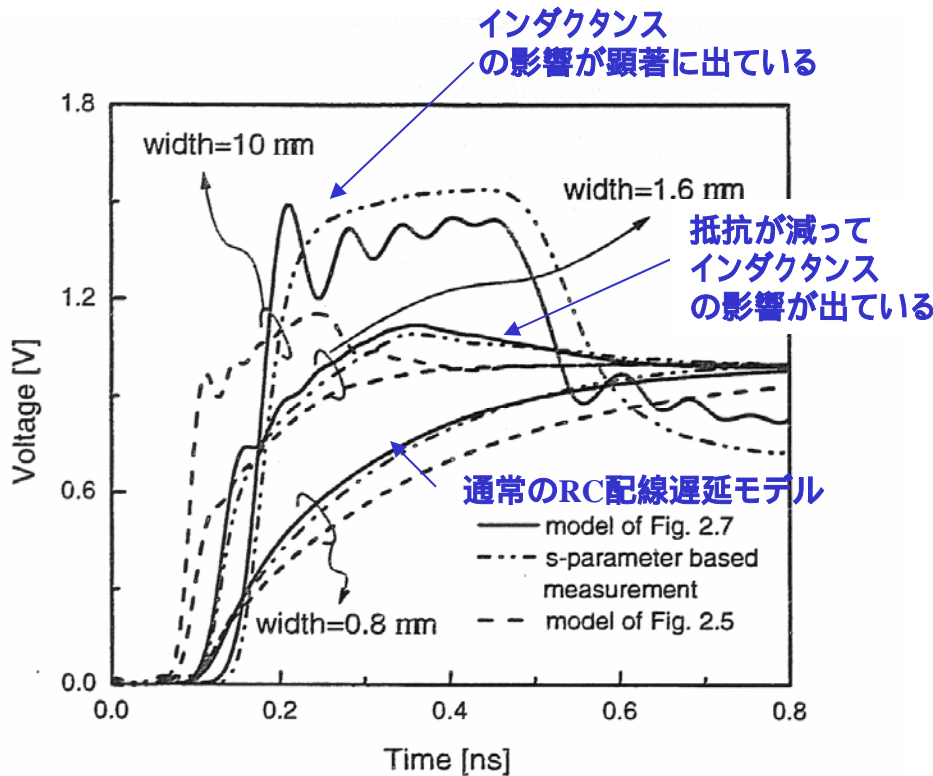
ゲート遅延 < RC 配線遅延 < LC TEM 遅延

$$R_s C_g < \frac{R_L C_L}{2} < 2l \sqrt{\mu \epsilon}$$

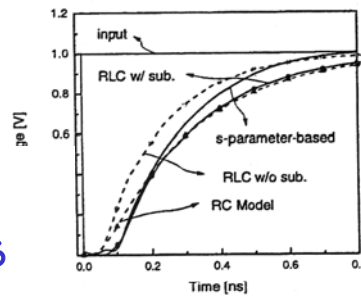
- ・配線長と受端のインピーダンスによる複雑な駆動点インピーダンス  
->リングングや遅延時間の増大
- ・反射によるリングングや遅延時間の増大
- ・クロストークの増大
- ・インピーダンス整合の必要性

# インダクタンスの影響

グローバル配線においてはインダクタンスや基板の効果を考慮する必要がある

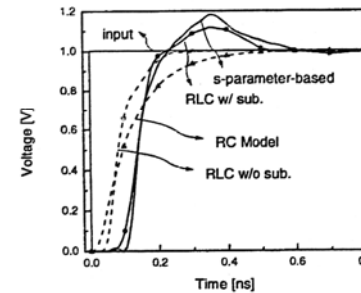


通常のRC配線遅延モデル



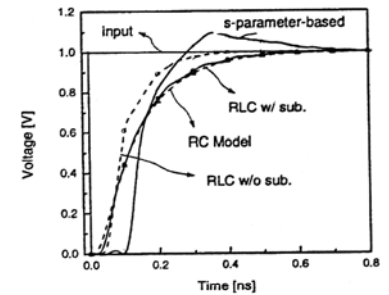
(a) line width=0.8  $\mu\text{m}$

インダクタンスの影響が出ている



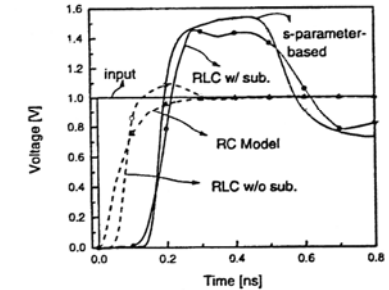
(c) line width=2.0  $\mu\text{m}$

インダクタンスの影響が出ている



(b) line width=1.6  $\mu\text{m}$

インダクタンスの影響が顕著に出ている



(d) line width=10.8  $\mu\text{m}$

配線長8mm

Yungseon Eo  
 Bing Lu, Ding-Zhu Du and Sachin S. Sapatnekar,  
 "Layout Optimization in VLSI Design" pp. 212,  
 Kluwer Academic Publishers

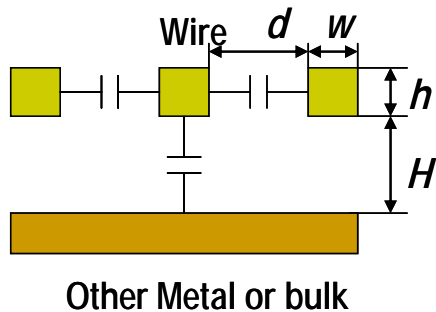
Yungseon Eo, pp.218

# トランスミッションライン

配線抵抗が十分小さくなれば遅延時間はTEM波の伝搬時間で決まる  
この条件を作るには配線の断面積を大きくして抵抗を下げることに  
配線間容量を小さくして $Z_0$ を上げなければならない。

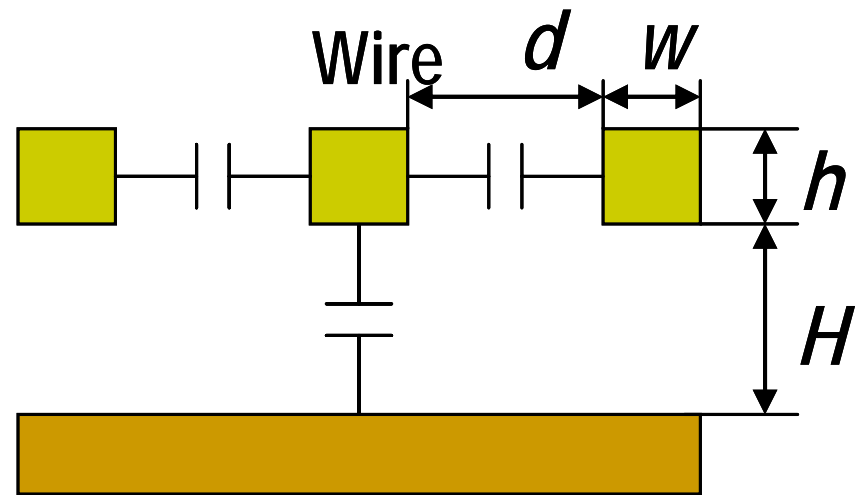
配線密度は小さくなる

$$R_u \ll 2Z_0 = \frac{2\sqrt{\mu\varepsilon}}{C_u}$$



RC遅延

数 $\mu\text{m}^2$ 程度の配線断面が必要



Other Metal or bulk

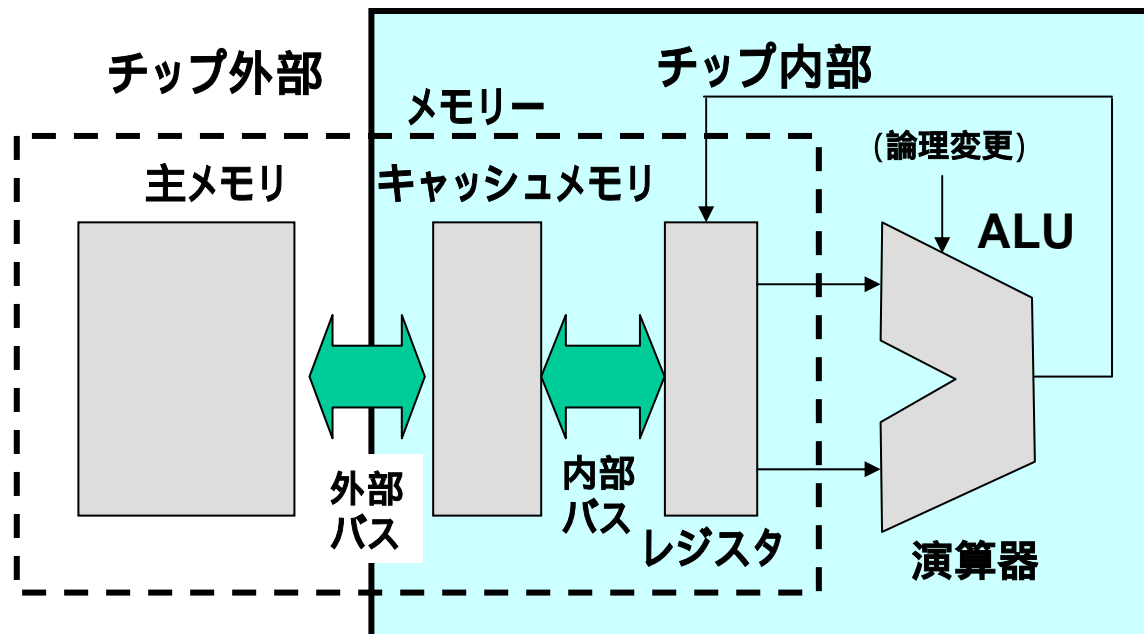
TEM遅延

# 超高速動作要求と消費電力増大の主犯

通常のマイクロプロセッサの構成では1クロックあたり3つ程度の処理しかできない。

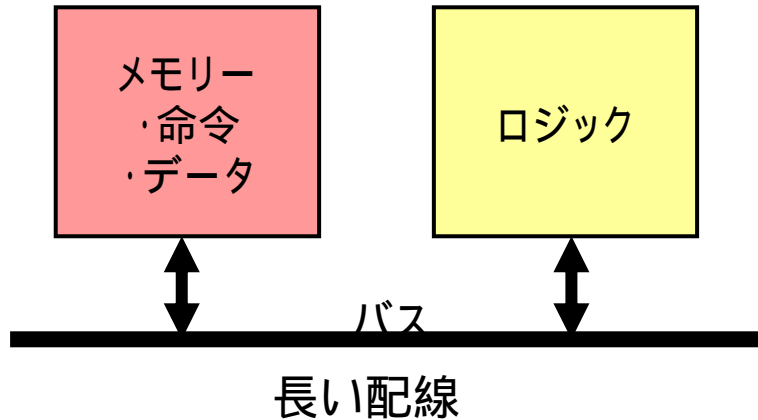


マイクロプロセッサの構成



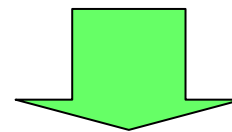
# システム設計のあり方

集中型:現在のプロセッサ



高い汎用性、ソフトウェアの継承性が高い

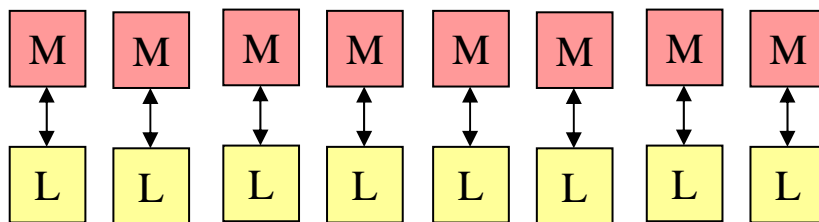
大きな信号遅延  
大きな消費電力  
大きな信号減衰  
高速クロックしかし、処理量は少ない



今後の方向性

(ソフトウェアが最大課題)

分散型:並列型



処理量多く、低電力。しかし、汎用性が低い

小さな信号遅延  
小さな消費電力  
小さな信号減衰  
低速クロックで十分、しかし処理量が多い

処理リソースを近くに配置

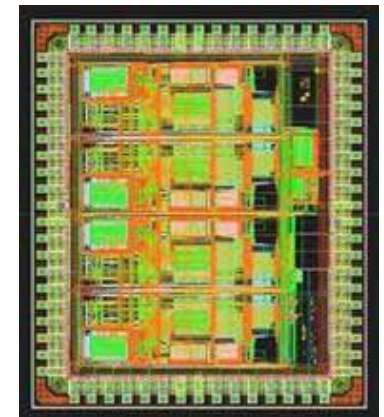
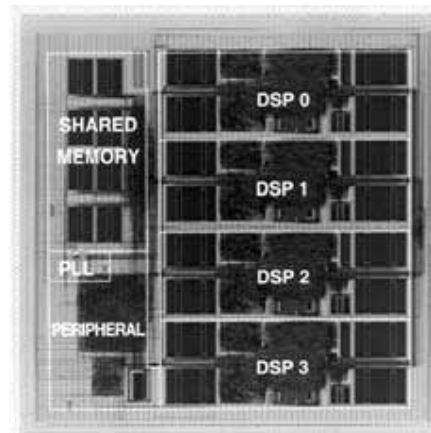
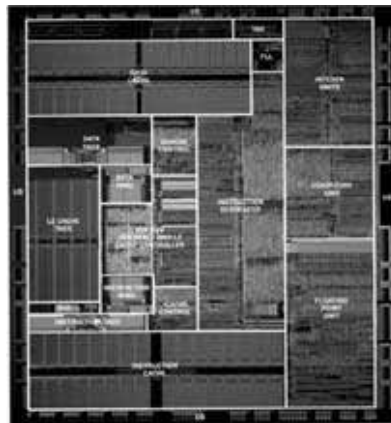


# LSI構成と消費電力

LSIの構成の違いにより同一の処理能力でも消費電力は3桁違う。  
汎用プロセッサが最も電力を消費する。

|                     | MPU         | DSP        | Dedicated LSI |
|---------------------|-------------|------------|---------------|
| Clock (MHz)         | 450         | 50         | 25            |
| Parallelism         | 2           | 16         | 96            |
| GOPS                | 0.9         | 0.8        | 2.4           |
| Pd (mW)             | 7000        | 110        | 12            |
| <b>Pd (mW)/GOPS</b> | <b>7800</b> | <b>138</b> | <b>5</b>      |

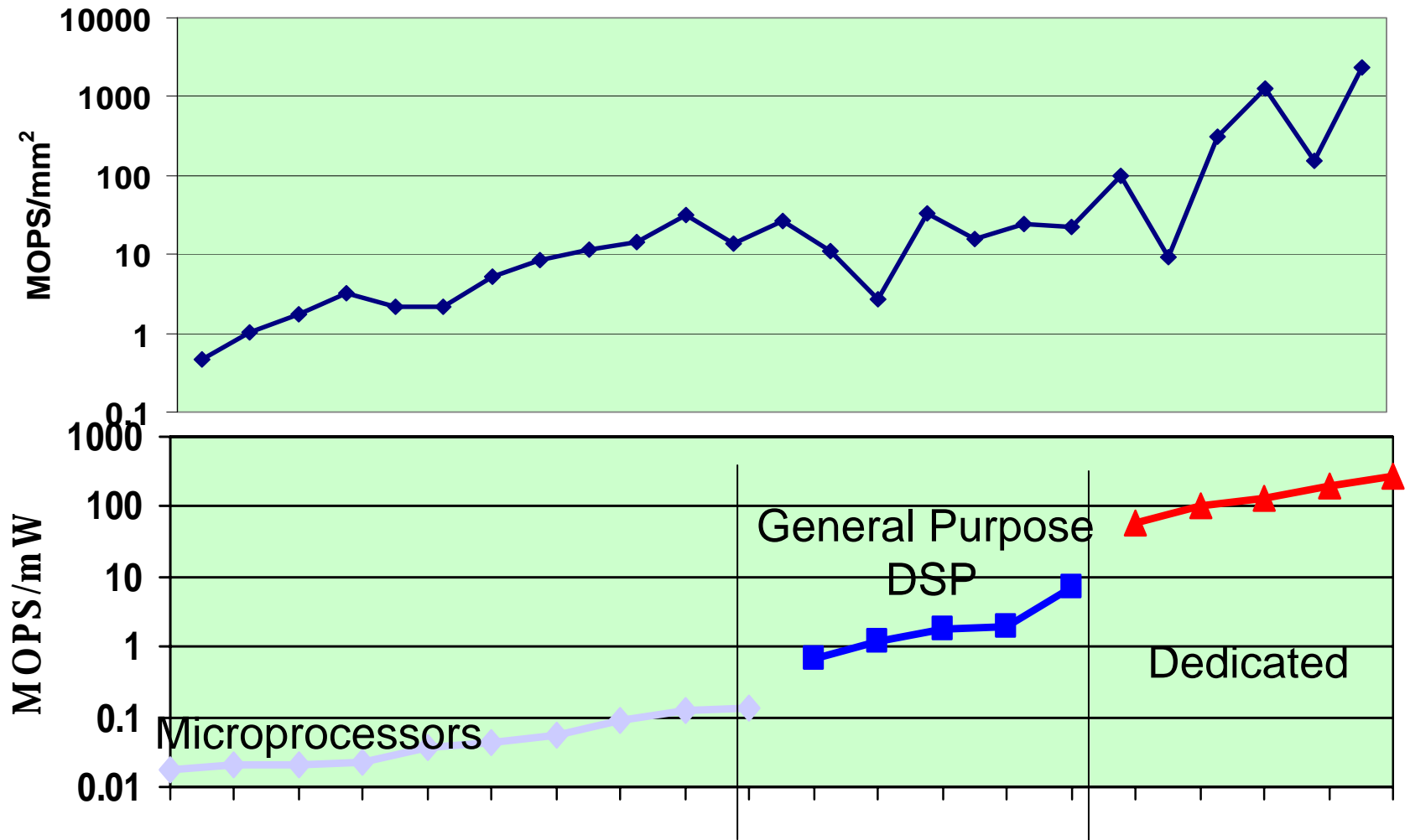
3 order's difference



Courtesy,  
Prof. Brodersen,  
UCB

# コストペナルティー

意外にも並列化しても面積増は殆どない。

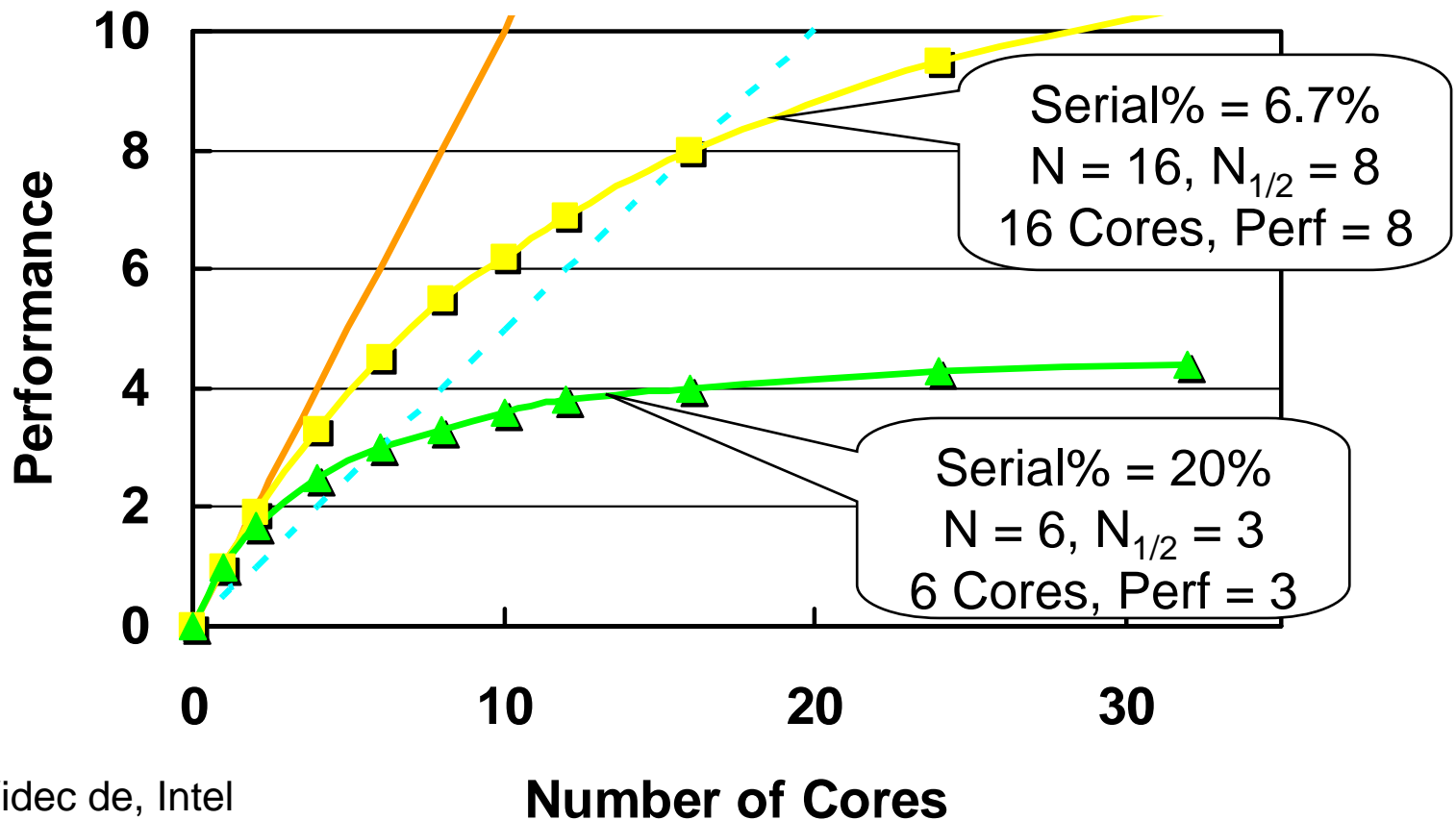




# マルチコアの性能飽和

全ての処理が並列化できないのでコア数を増やしても性能は飽和する

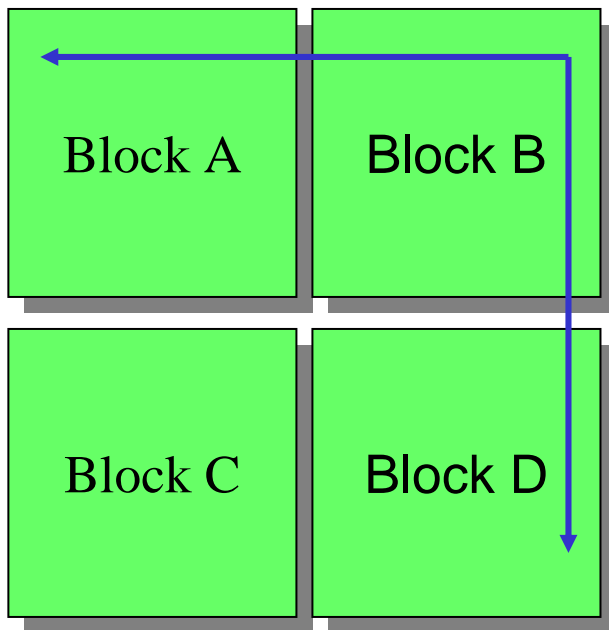
Amdahl's Law: Parallel Speedup =  $1 / (\text{Serial}\% + (1 - \text{Serial}\%) / N)$



# 3次元LSIへの期待

配線長をもうこれ以上長くしないことが本質的に重要。  
(本来はチップ長もスケールアップしなければならない。)  
チップの大きさを固定して3次元化を図る方法が必要。

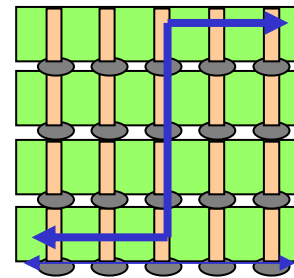
Divide the chip      Total interconnection distance will be reduced to  $1/m$



Distance:  
 $1/m$

m: Chip reduction ration

Integrate in 3D



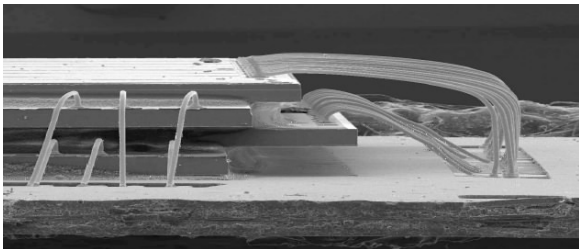
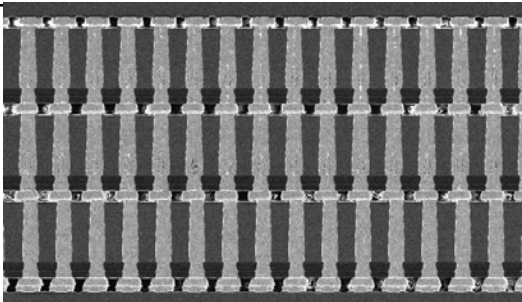
10GHz operation  
with one latency.

Chip size < 7.5mm

J. W. Joyner, et. Al., Proc.  
"14<sup>th</sup> Annual IEEE ASIC/SOC Conference,"  
pp.147-151, 2001.

# マイクロバンプと貫通配線を用いたチップ積層

マイクロバンプと貫通配線を用いたチップ積層ではオンチップ並みの電気特性が実現できる。

|            | Conv. SiP  | TCV   |
|------------|--|---|
| 外観         |  |  |
| 接続方法       | ワイヤボンディング + 基板上の配線   | 貫通電極 + バンプ  |
| チップ間配線長さ   | 数mm ~ 数10mm<br>(写真では約10mm)   | 100 $\mu\text{m}$ 以下<br>(写真では60 $\mu\text{m}$ )                                     |
| 配線のインダクタンス | 10 nH  | <b>19 pH</b>  |
| 配線のキャパシタンス | 8 pF   | <b>0.1 pF</b>   |
| 最小パッケージサイズ | チップサイズ + 5 mm以上  | チップサイズ  |
| 厚さ(4チップ)   | 490 $\mu\text{m}$  | 240 $\mu\text{m}$   |

# 配線技術のまとめ

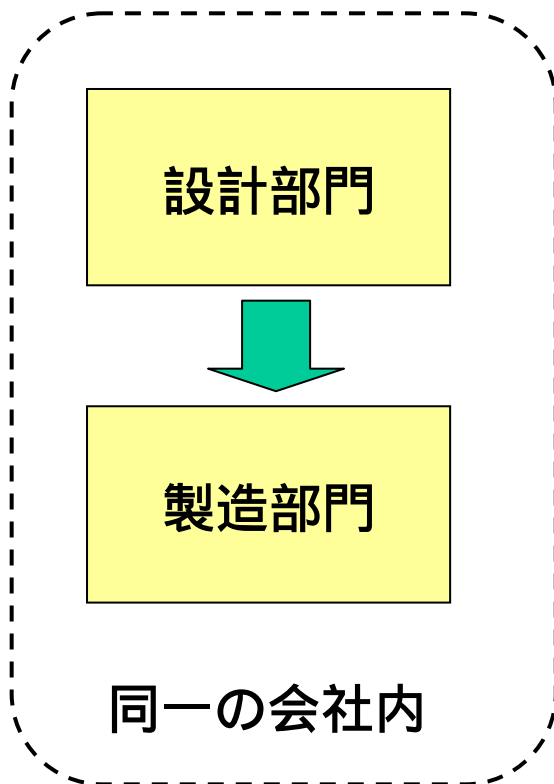
---

- **配線で性能が飽和**
  - ゲート遅延よりも配線遅延が支配的
  - 高速化に伴い消費電力が増大
- **配線の矛盾**
  - 微細化に伴うスケールリング 配線抵抗の増大 遅延時間の増大
  - 高速化のための逆スケールリング 低密度化 本数に制約
- **配線の見通し**
  - 抵抗率減少はCuで限界
  - Lo-kは中空化でも1/2まで
- **対処**
  - マルチコア化、並列化によりクロック周波数を下げても処理能力が向上するアーキテクチャの採用
- **今後の展望**
  - 3次元化による配線長の短縮
  - アーキテクチャの改善の継続

# シリコンファウンダリー

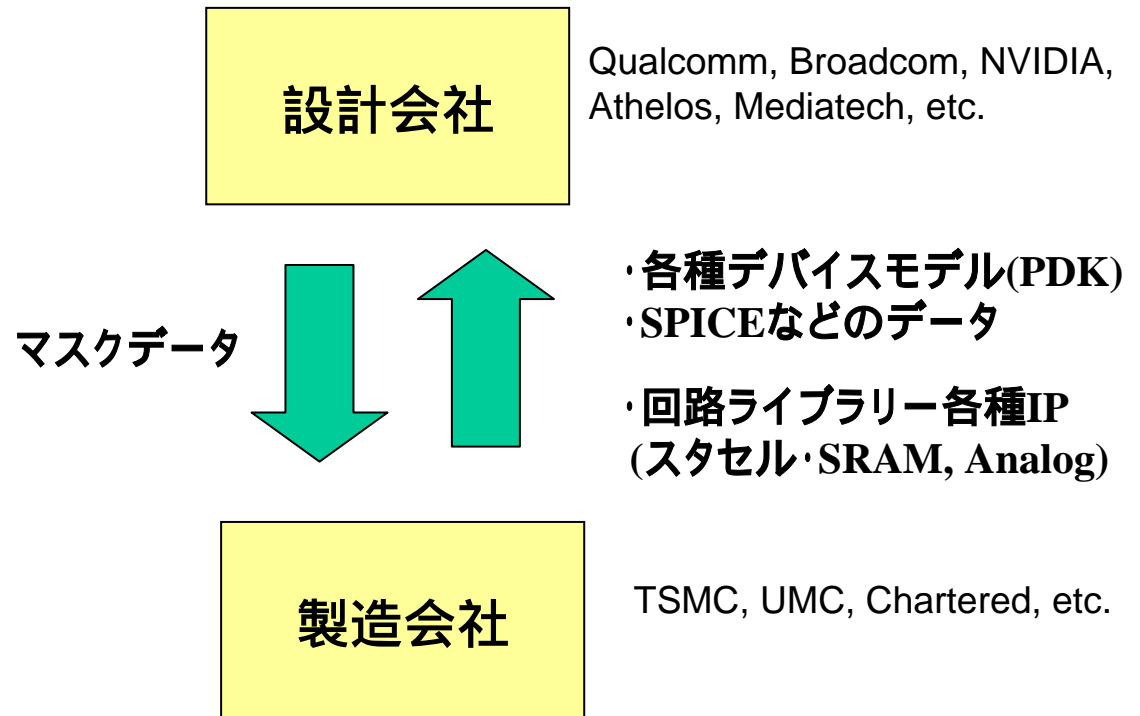
## 垂直統合型 (IDM)

従来のビジネス形態



## 水平分業型

90年代から盛んになったビジネス形態



TSMCの2008年上半期の売り上げは6000億円で世界5位



# シリコンファウンダリー勃興の背景

---

- 90年代に米国・台湾で製造部門を持たないLSI設計会社が生まれた(大学の功績が大きい)
  - 通信・ネットワークやグラフィックなどのPC周辺
- プロセスの標準化が進展し、自社Fabの意義が薄れた
- EDAやIPの標準化が進み、設計と製造の切り口が明確になり、設計・製造の分離がし易くなった
- 微細化に伴い、巨額の設備投資が必要となり、少量生産しかできない会社は設備投資が困難になった
- ファウンダリーは世界から受注が取れるため、巨大投資が可能で、先端設備の早期導入や歩留まりの早期向上、安定稼働が期待できる
- 少量生産を可能にするシャトルサービス・テストハウス・組み立てサービスなどにより設計コストを抑え、ベンチャーを育成する仕組みを構築

# SoC工場投資の大型化

SoC工場投資の大型化により工場は大型化・集約化の方向  
45nm世代では1工場で年間7000億円の売り上げが必要

Revenues Required to Support Cost of Establishing 45 nm  
Wafer Fab Facilities

|   | 65 nm | 45 nm  |
|---|-------|--------|
| Fab cost at 25K wafers per month (\$ Millions)                        | 3,360 | 4,780  |
| Annual depreciation cost<br>(5-year straight line , \$ Millions/year) | 672   | 956    |
| Operating cost (Far East, \$ Millions/year)                           | 457   | 612    |
| Total annual operating cost pf wafer fab<br>(\$ Millions/year)        | 1,129 | 1,568  |
| <Wafer cost (\$)  | 3,763 | 5,226> |
| Total wafer manufacturing cost<br>as percentage of revenues (%)       | 30.2  | 28.4   |
| Revenues required to support fab (\$ Millions/year)                   | 3,738 | 5,521  |

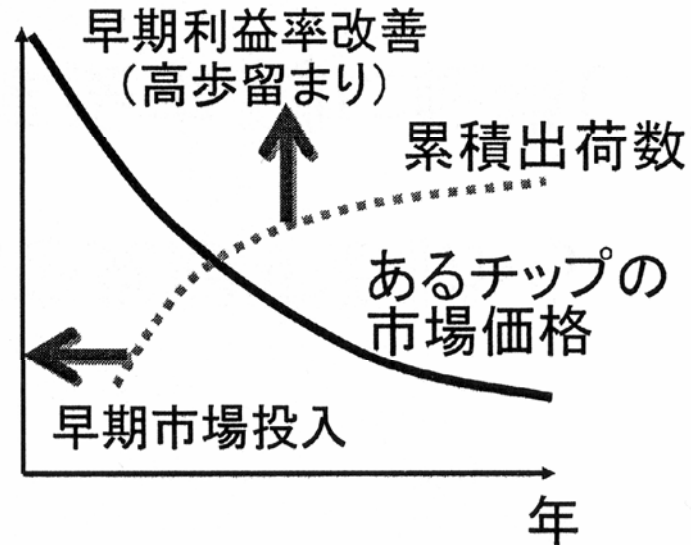
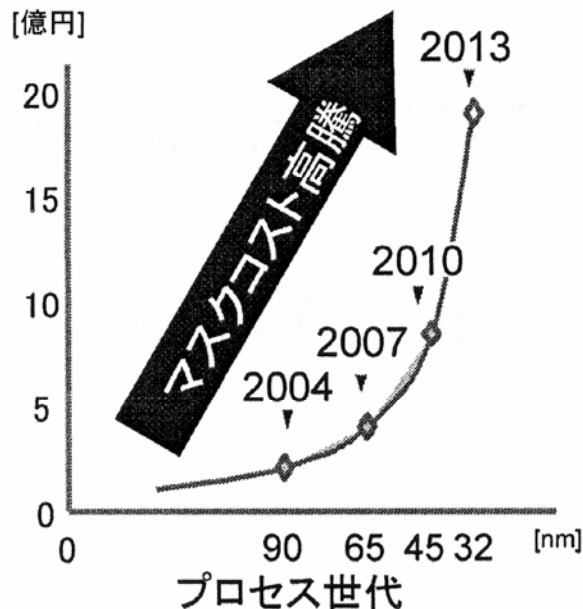
佐々木元 システムLSI WS 2006

# SoCを巡るビジネス課題

SoCは莫大な開発コストがかかるため、大量製品しか使用できなくなる懸念がある。  
45nm世代では200品種程度しか作らないだろうと言われている

- 設備投資額の増大
  - 損益分岐点の上昇
- 汎用化が鍵

- 早期コモディティ化
- 短TAT開発と高信頼性が鍵



佐々木元 システムLSI WS 2006

# フォトリソグラフィファウンダリーの条件

---

- プロセスの標準化が可能
- 設計とのインターフェースが可能
  - ライブラリ整備
  - EDAの標準化
  - テストハウスや実装会社の確保
- 工場を維持できる一定量の受注が可能