

アナログ・RF回路の先端技術動向

その1

東京工業大学
大学院理工学研究科

松澤 昭

内容

- ・ CMOS微細化とアナログ性能
 - 微細化とアナログ性能
 - ミスマッチとデジタル補償技術
- ・ A/D変換器
 - パイプライン型ADC
 - 直並列型ADC
 - 逐次比較型ADC
 - $\Delta \Sigma$ 型ADC

研究室ホームページ

<http://www.ssc.pe.titech.ac.jp>

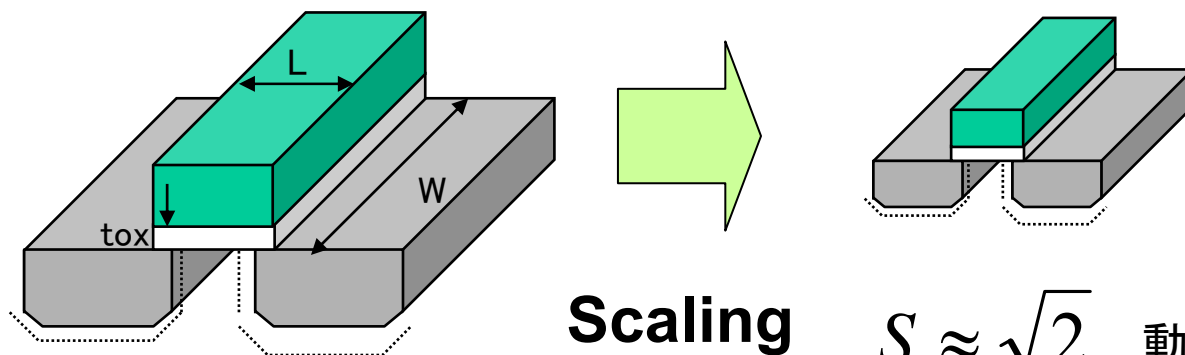
に関連資料が掲載されています。

CMOS微細化とアナログ性能

A. Matsuzawa, “ Design Challenges of Analog-to Digital Converters in Nanoscale CMOS,” IEICE, Tran. Electron., Vol. E90-C, No. 4, pp. 779-785, April 2007.

デジタル回路におけるスケーリング則

デジタル回路においてはデバイスの各パラメータを一定比率で縮小することにより回路の速度が向上し、低電力・低コストが達成される。



Scaling

$S \approx \sqrt{2}$ 動作電圧も1/Sにする

デバイスと回路のパラメータ	Scaling Factor
寸法: L, W, Tox	1/S
不純物濃度	S
電圧	1/S
電界	1
電流	1/S
回路遅延時間	1/S
消費電力(デバイス1つあたり)	1/S ²

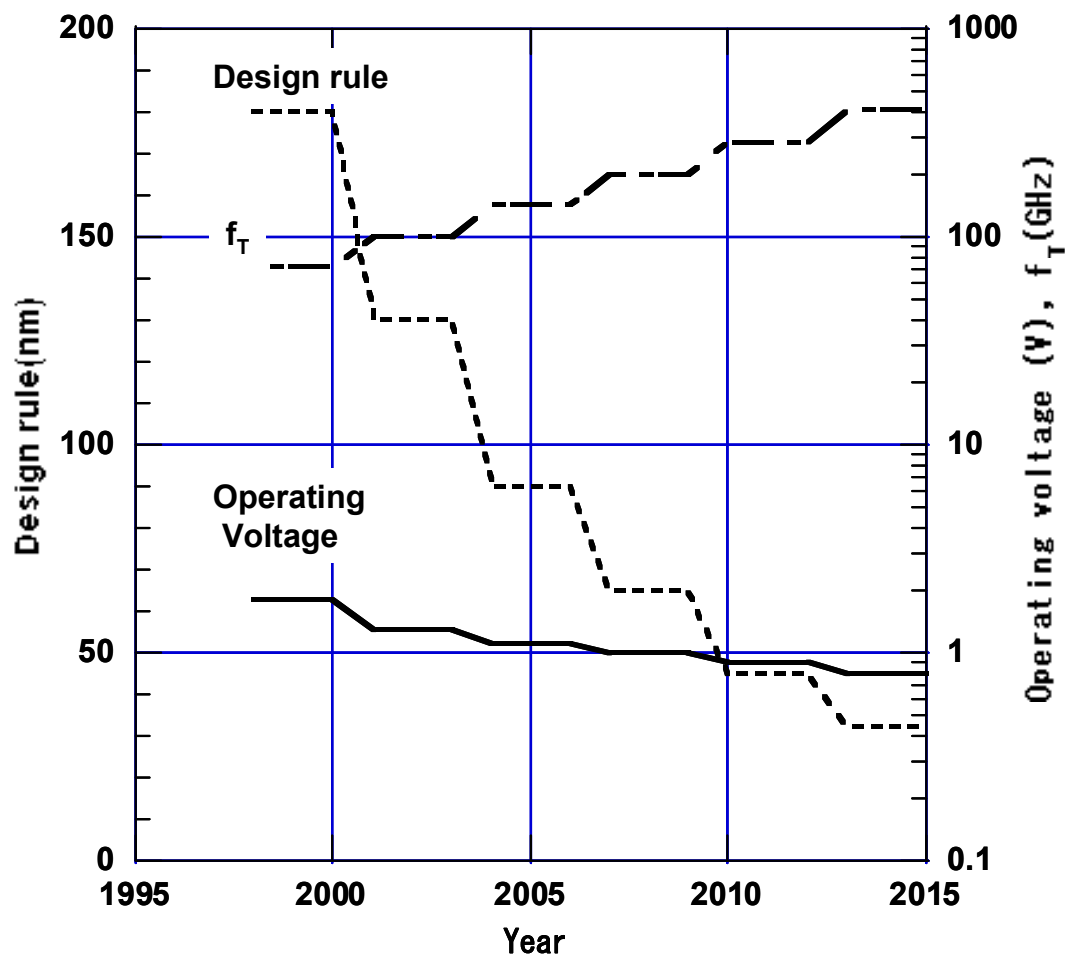
微細化・低電圧化により、

- ・高密度化(低コスト)
- ・高速化
- ・低消費電力

が同時に達成される

f_Tと動作電圧の予測

微細化によりCMOSのf_Tは200GHzを超え、60GHzのミリ波応用まで可能にしている
電源電圧は1V近辺であり、大幅には下がらない

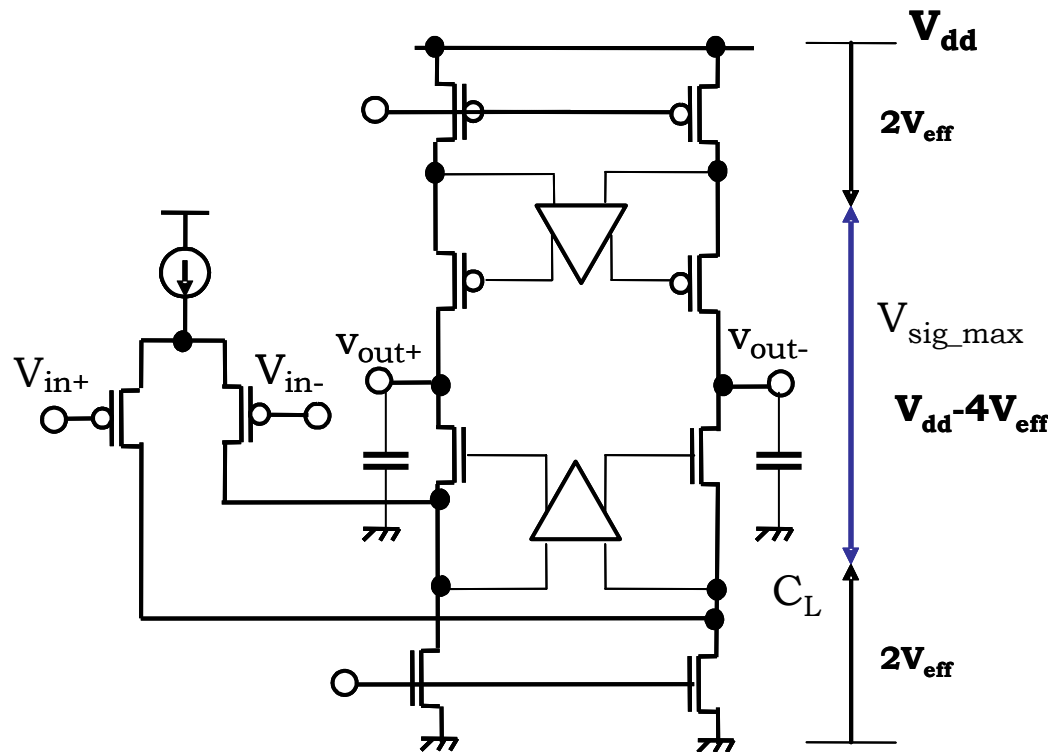


$$f_T \approx \frac{v_s}{2\pi L}$$

v_s: キャリアの飽和速度
L: チャネル長

アナログ回路の特性

容量負荷のOPアンプを標準的なアナログ回路として特性を記述し、
スケーリングの効果を検討する



利得: $G = (g_m r_{ds})^n$ n: 増幅段数

利得帯域幅積: $GBW = \frac{g_m}{2\pi C_L}$

第2ポール: $f_{p2} \propto \frac{g_m}{C_{gs}}$

安定条件: $GBW < \frac{f_{p2}}{3}$

SNR: $SNR \propto C_L V_{sig}^2$

消費電力: $P_d \propto V_{dd} I_{ds}$

アナログCMOS回路のスケーリング

- 1) トランスコンダクタンス: g_m $V_{eff}=V_{gs}-V_T$: アナログ回路では一定にする
通常 0.2V~0.15V程度

$$g_m \cong \frac{2I_{ds}}{V_{eff}}$$

g_m は電流により決定され、不変である。

- 2) ドレイン抵抗: r_{ds}

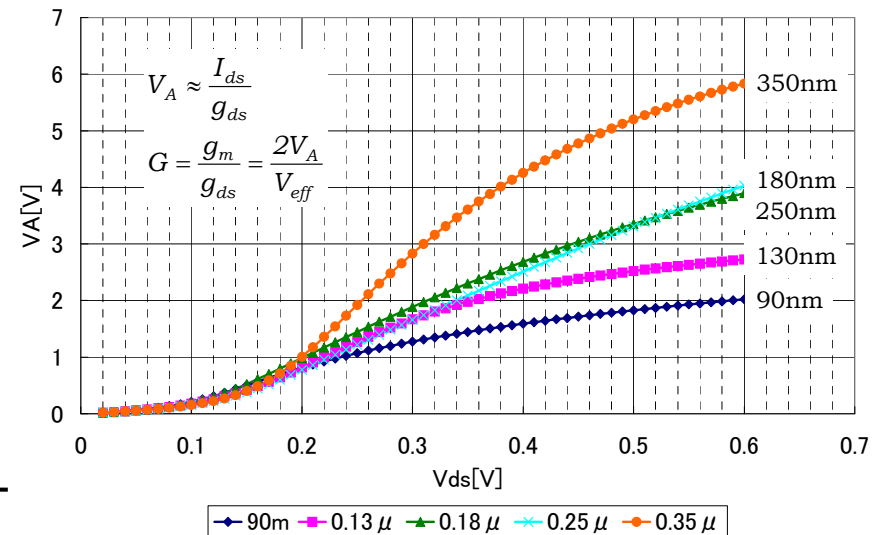
$$r_{ds} = \frac{V_A}{I_{ds}}, \quad V_A \propto L$$

また低電圧にすることで低下する

$$r_{ds} \propto \frac{1}{S}$$

S: スケーリングファクター
通常 1.4

デザインルールをパラメータとするときの V_{ds} に対する V_A



アナログCMOS回路のスケーリング

3) 利得 $G = (g_m r_{ds})^n \quad G \propto \frac{1}{S^n}$

利得は微細化により急速に減少する

4) 寄生容量 $C_p \propto C_{ox} LW \propto S \times \frac{1}{S} \times \frac{1}{S^2} = \frac{1}{S^2} \quad \frac{W}{L} \propto \frac{1}{C_{ox}}$

5) 利得帯域幅積: $GBW = \frac{g_m}{2\pi C_L}$ 負荷容量が変わらなければ一定

$GBW = \frac{g_m}{2\pi C_p} \propto S^2$ 寄生容量で決まるときは急上昇

6) 第2ポール: $f_{p2} \approx \frac{f_T}{2} \propto \frac{g_m}{C_{gs}} \propto \frac{g_m}{C_{ox} LW} \propto \frac{1}{S \times \frac{1}{S} \times \frac{1}{S^2}} = S^2$

遮断周波数および第2ポールは微細化により急上昇する
→回路はより安定する方向になる

アナログCMOS回路のスケーリング

7) SNR: $SNR \propto \frac{C_L V_{sig}^2}{kT}$ a) 一定の信号振幅が確保できれば C_L は一定

$C_L \propto \frac{V_{sig}^2}{SNR} \propto s^2$ b) 微細化による電源電圧の減少により信号振幅を下げざるを得ない場合は C_L は上昇

8) 消費電力: $P_d \propto V_{dd} I_{ds}$

低SNRの場合 a) g_m および C_L が一定とすると $P_d \propto \frac{1}{s}$
 C_p で決まるときは $P_d \propto \frac{1}{s^3}$

低電圧化に伴い消費電力は下がる

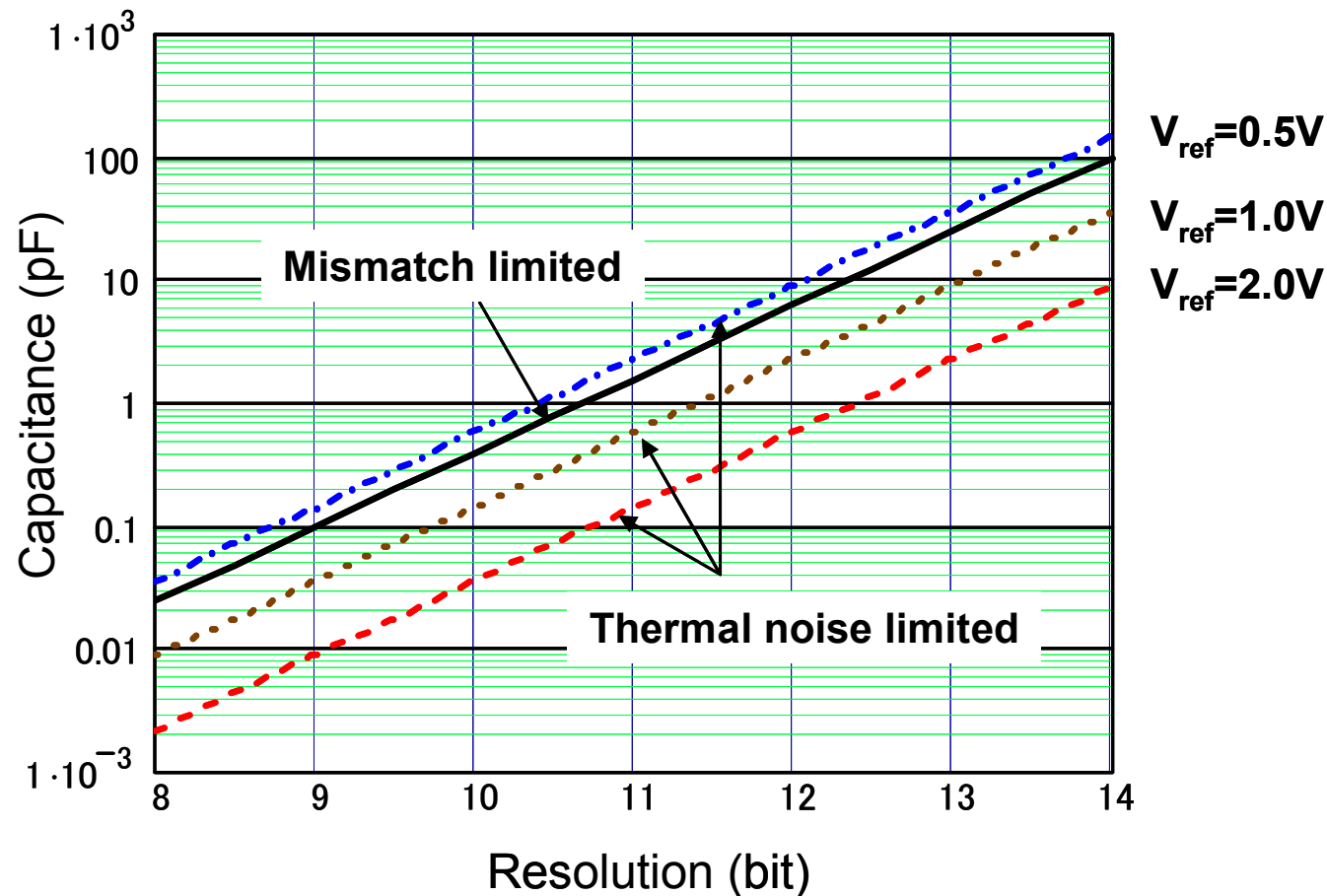
高SNRの場合 b) 低信号振幅により容量を上げざるを得ない場合

$$I_{ds} \propto g_m \propto GBW \cdot C_L \propto s^2 \quad P_d \propto s$$

低電圧化に伴い消費電力は上がる

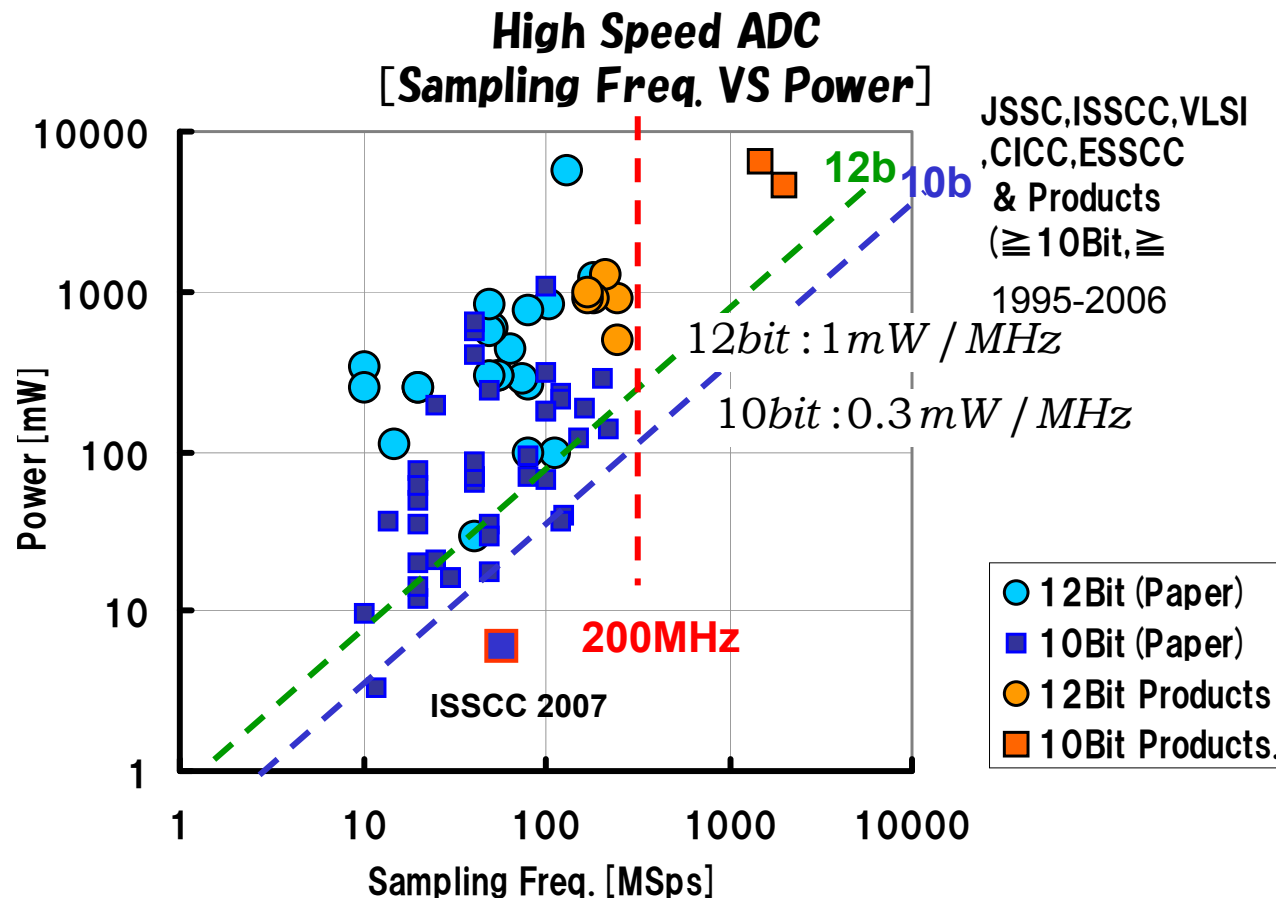
パイプライン型ADCの分解能と容量

ADCの分解能が高くなる(高SNRになる)と必要な容量は大きくなる
また、信号振幅が下がるとますます大きくなる



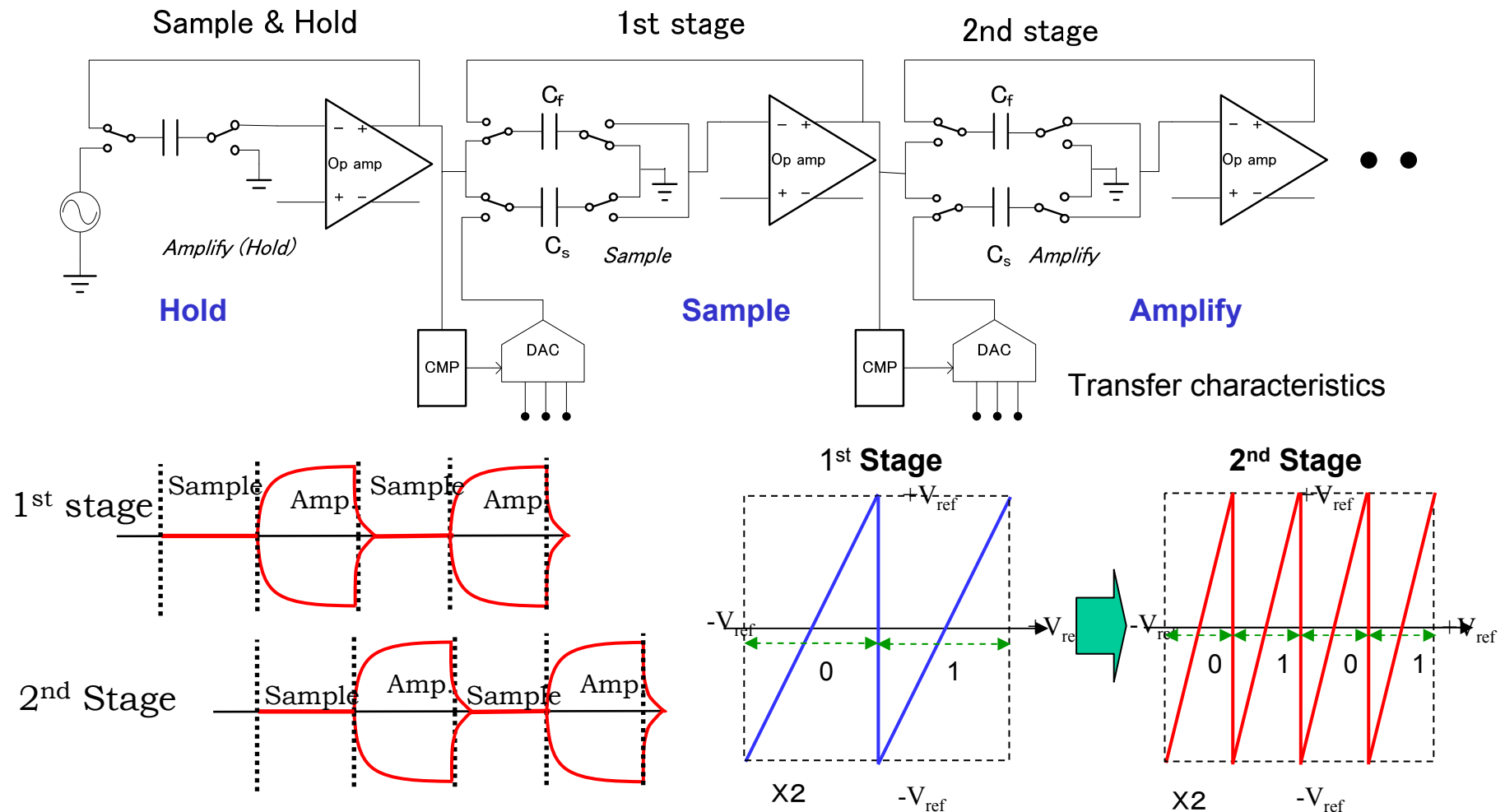
Speed and power

Conversion speed has saturated at 200 MHz
Smaller mW/MHz is needed for low power operation.
0.3mW/MHz for 10bit and 1mW/MHz for 12bit are the bottom lines.



Pipelined ADC

Folding I/O characteristics makes higher resolution along with pipeline stages.

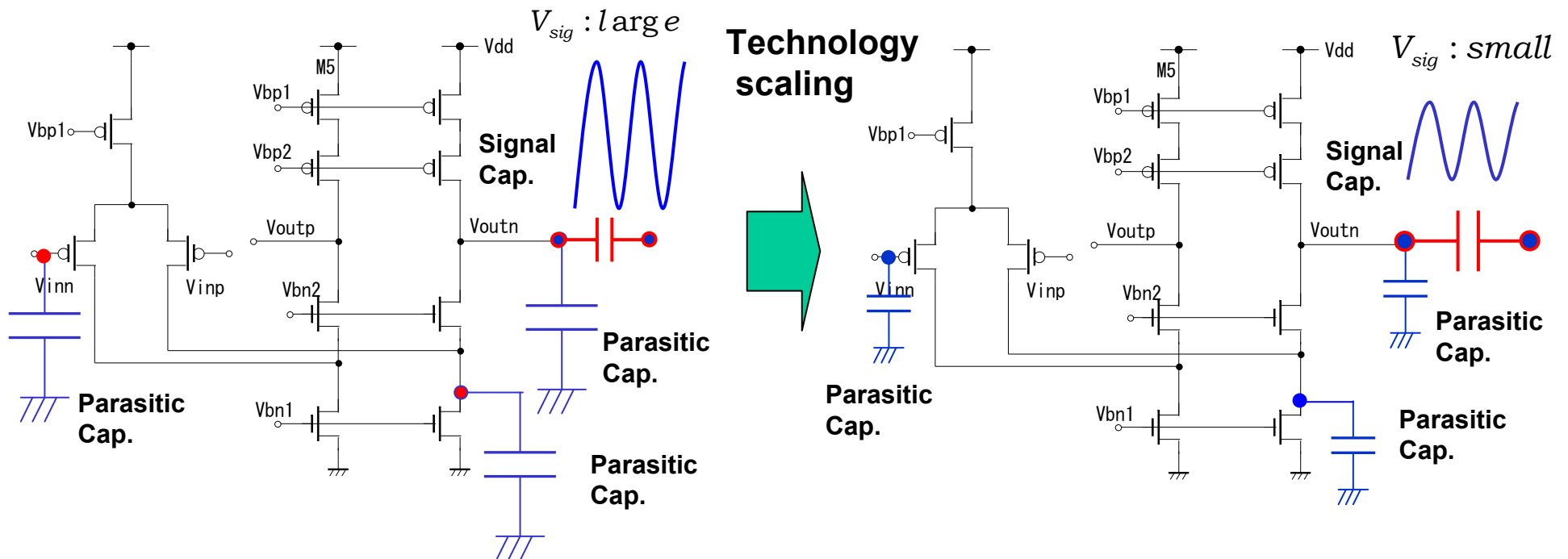


Technology scaling for analog

Technology scaling can reduce parasitic capacitances.
However signal capacitance will increase to keep the same SNR at lower voltage operation.

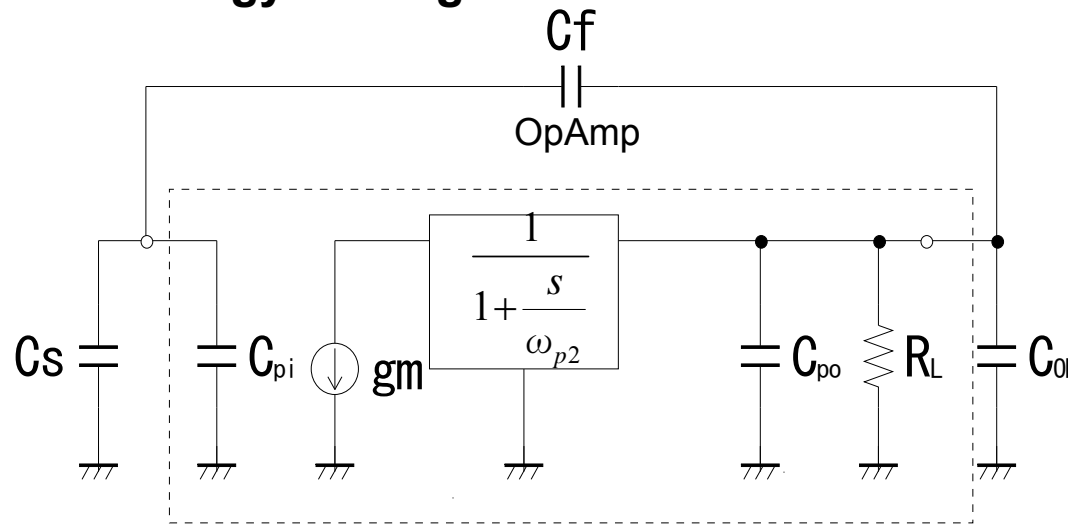
Parasitic capacitance → smaller
Operating voltage → lower
Signal swing → lower

Signal capacitance → larger
Voltage gain → lower



Performance model for pipelined ADC

We have developed the performance model for pipeline ADC that can treat technology scaling.



A. Matsuzawa, "Analog IC Technologies for Future Wireless Systems," IEICE, Tan on Electronics, Vol. E89-C, No.4, pp. 446-454, April, 2006.

$$GBW_{-close} = \frac{g_m}{2\pi C_L} \beta$$

$$\beta = \frac{C_f}{C_f + C_s + C_{pi}}$$

$$C_L = C_{po} + C_{oL} + \frac{C_f(C_s + C_{pi})}{C_f + C_s + C_{pi}}$$

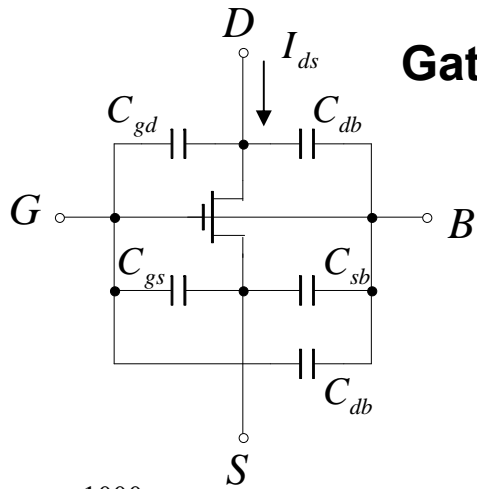
$$C_{oL} = \frac{C_s + C_f}{2} \quad C_o = C_s = C_f = C_{oL}$$

g_m : Transconductance of input stage
 C_s, C_f : Signal capacitance for feedback loop
 C_{pi}, C_{po} : input & output parasitic capacitance
 C_{oL} : Load capacitance
 R_L : Output resistance
 ω_{p2} : Second pole of OpAmp

$$GBW_{-close} = \frac{g_m}{2\pi C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)} = \frac{I_{ds}}{\pi C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}$$

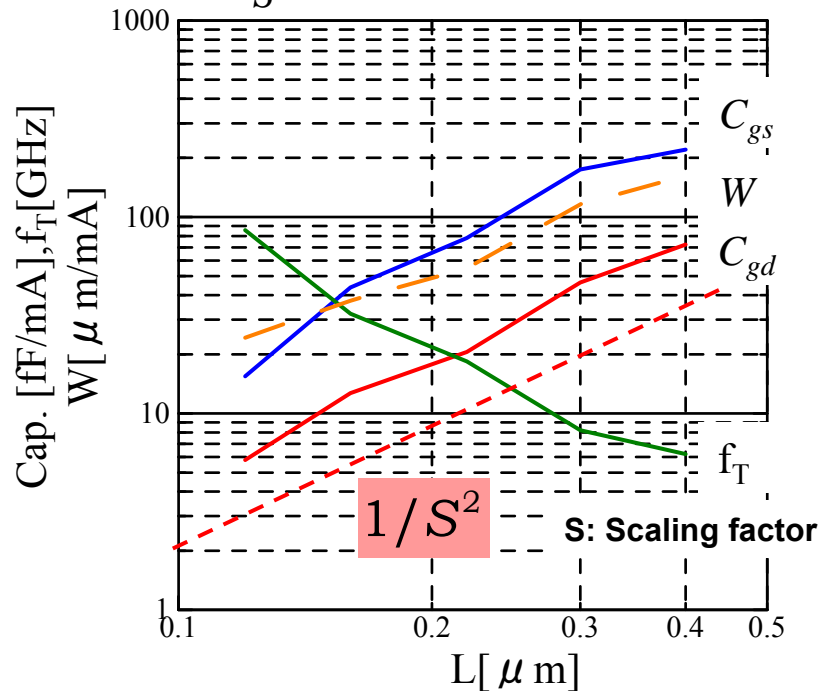
Scaling and analog device and circuit parameters

Gate width and capacitances decrease with technology scaling.



$$V_{eff} = 0.175V$$

$$W = \frac{2L}{\mu C_{ox} V_{eff}^2} I_{ds}$$



(a) $W_N, W_P [\mu m/mA], V_{A_N}, V_{A_P} [V]$

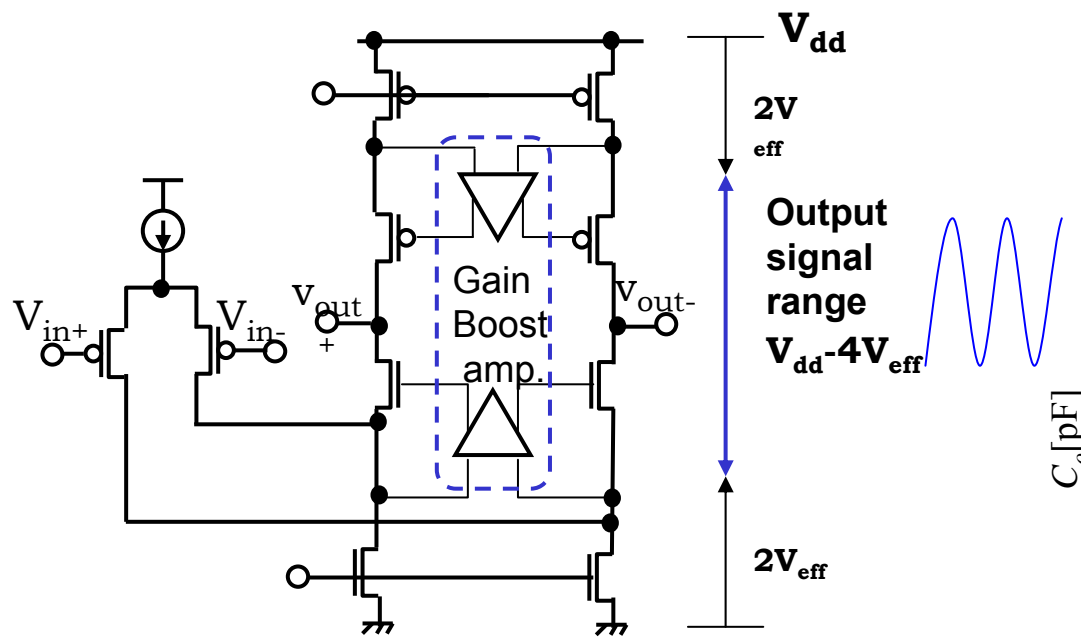
DR	W_N	W_P	V_{A_N}	V_{A_P}
90nm	24.3	74.9	0.82	0.69
0.13 μm	37.5	147	0.82	0.64
0.18 μm	54.8	219	0.99	0.93
0.25 μm	116.0	396	0.78	0.97
0.35 μm	162.0	603	1.01	0.86

(b) $C_{pi_N}, C_{pi_P}, C_{po} [fF/mA], \omega_{p2_N}, \omega_{p2_P} [GHz]$

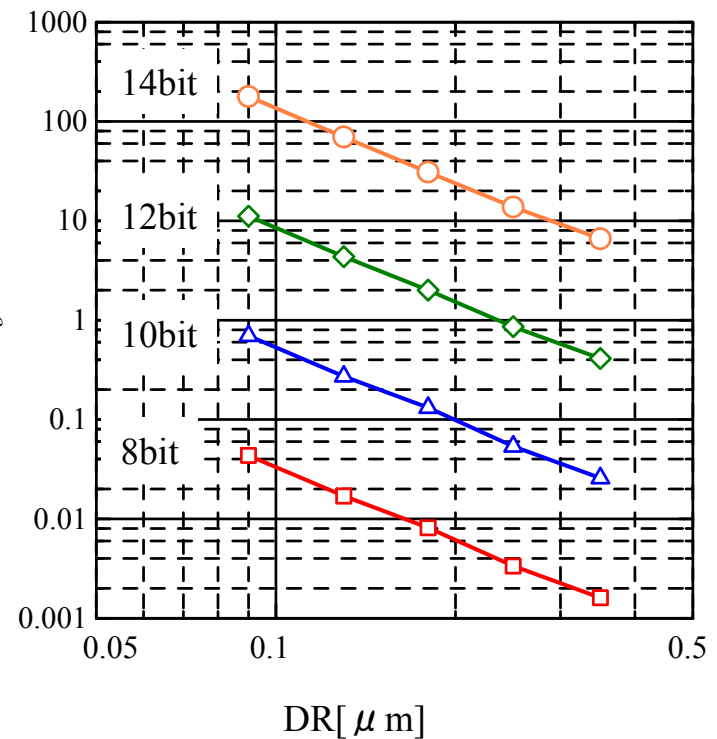
DR	C_{pi_N}	C_{pi_P}	C_{po}	ω_{p2_N}	ω_{p2_P}
90nm	23.7	93.4	94.5	9.35	15.4
0.13 μm	65.5	249	168	7.7	10.3
0.18 μm	115	475	340	2.06	4.7
0.25 μm	236	662	832	0.83	1.7
0.35 μm	303	1034	892	0.54	1.7

Determination of signal capacitance

Larger resolution requires larger signal capacitance.
 Furthermore, Voltage lowering increases signal capacitance more.



$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$



	90nm	0.13 μm	0.18 μm	0.25 μm	0.35 μm
V_{dd}	1.2V	1.5V	1.8V	2.5V	3.3V
V_{sig_pp}	1.0V	1.6V	2.2V	3.6V	5.2V

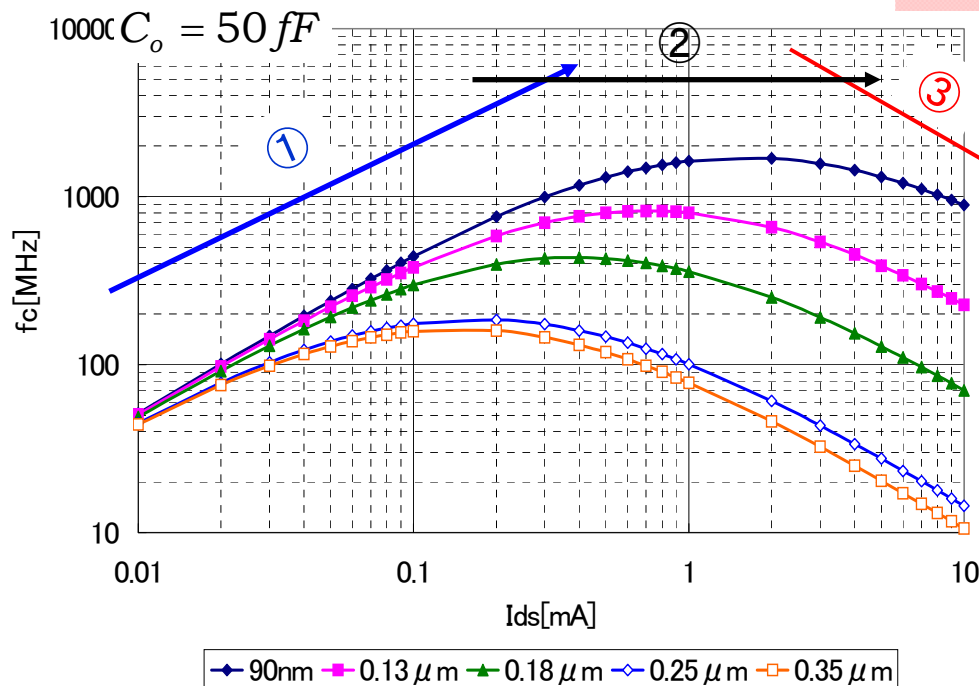
Performance curve

Performance exhibits convex curve.

There is the peak conversion frequency and the optimum current.

Current increase results in increase of parasitic capacitances and decrease of conversion frequency in the higher current region.

$$GBW_{-close} = \frac{I_{ds}}{\pi C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}$$



① $C_o \gg C_{po}, C_{pi}$

$$GBW_{-close} \approx \frac{I_{ds}}{\pi C_o V_{eff}} \cdot \frac{1}{3} \quad (\propto I_{ds})$$

② $C_{pi} < C_o < C_{po}$

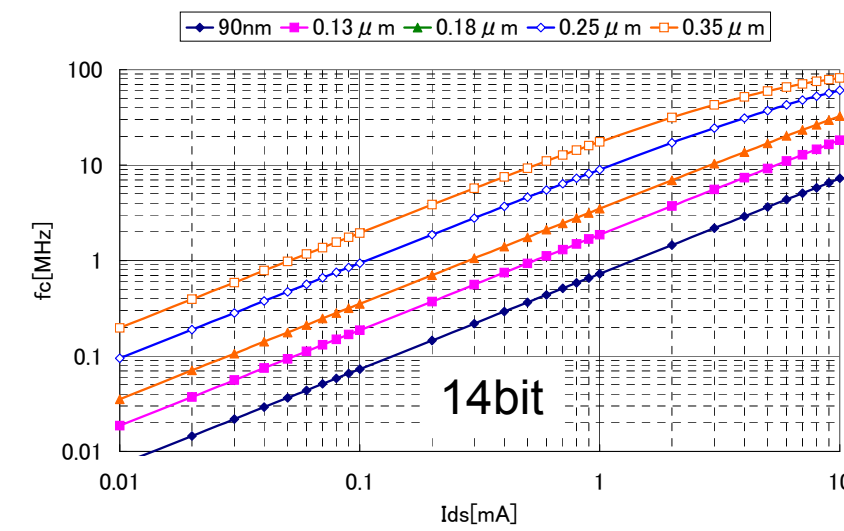
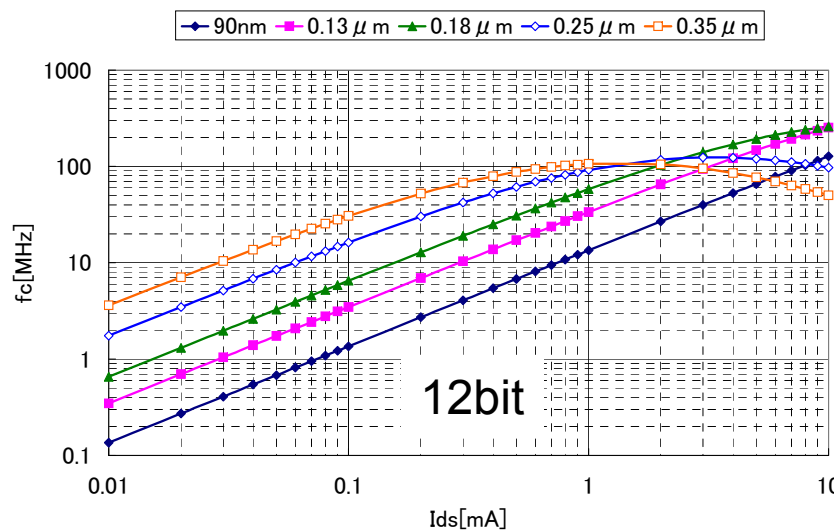
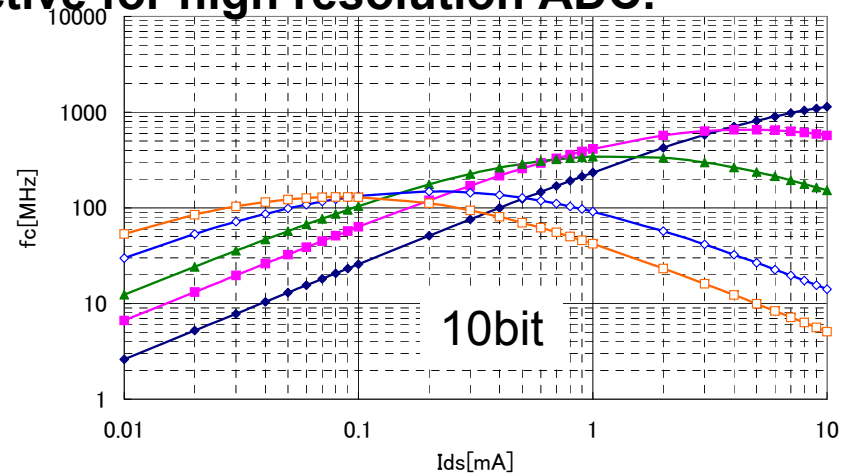
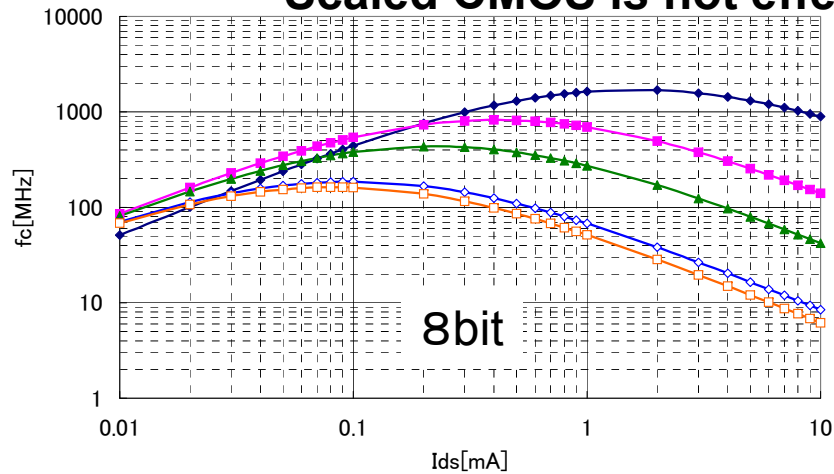
$$GBW_{-close} \approx \frac{1}{\pi C_o V_{eff}} \cdot \frac{1}{3 + \alpha_o} \quad (Constant)$$

③ $C_o < C_{po}, C_o < C_{pi}$

$$GBW_{-close} \approx \frac{1}{\pi C_o V_{eff}} \cdot \frac{1}{3 + \alpha_i \alpha_o I_{ds}} \quad (\propto \frac{1}{I_{ds}})$$

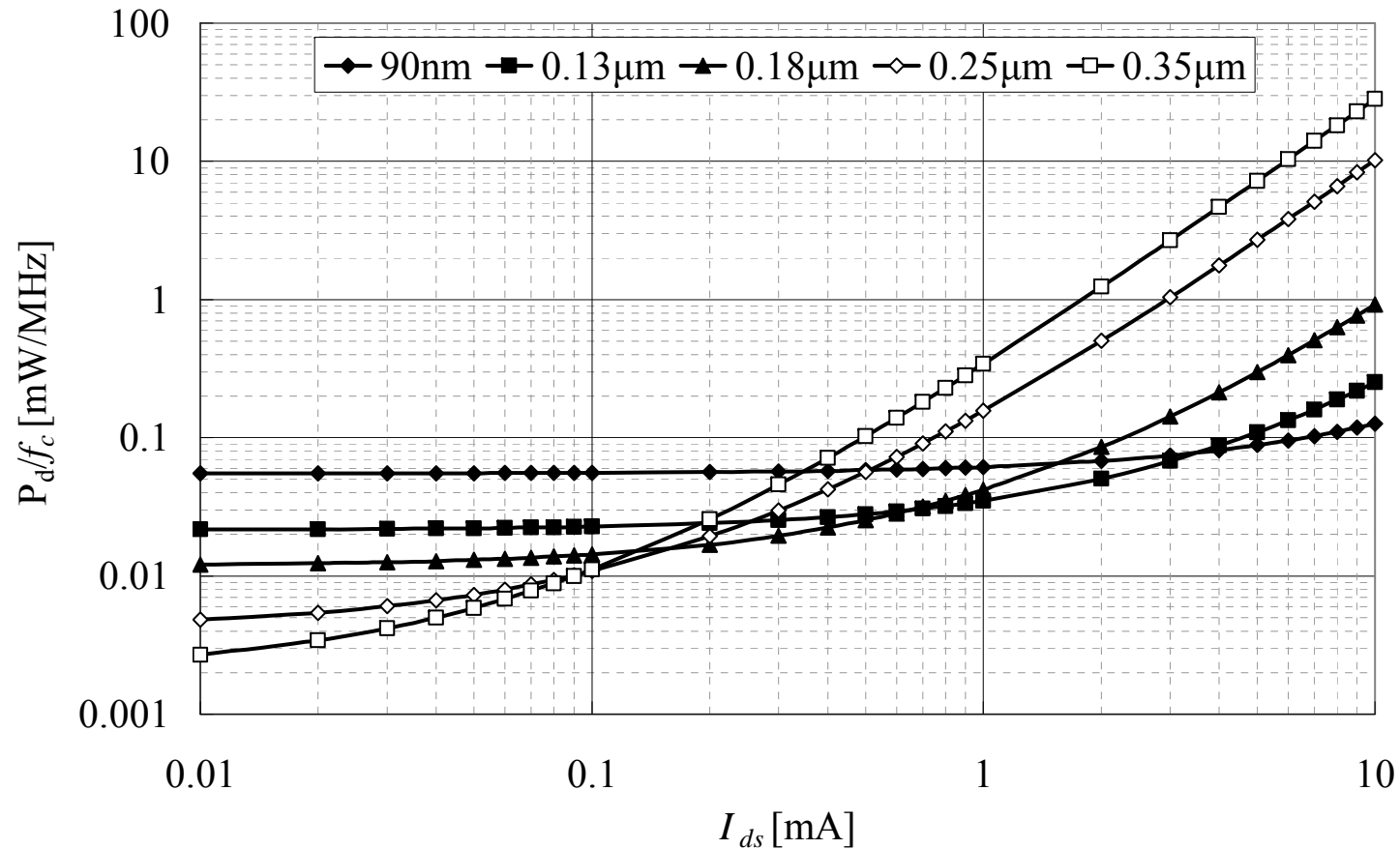
Performance summary

Scaled CMOS is effective for just low resolution ADC.
Scaled CMOS is not effective for high resolution ADC.



動作エネルギー

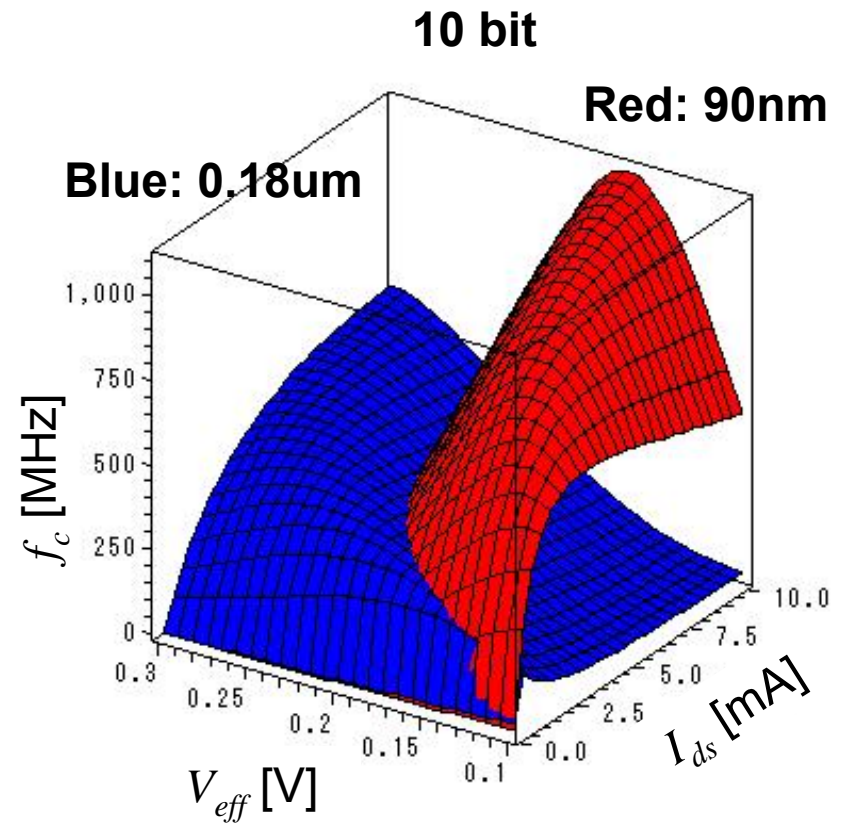
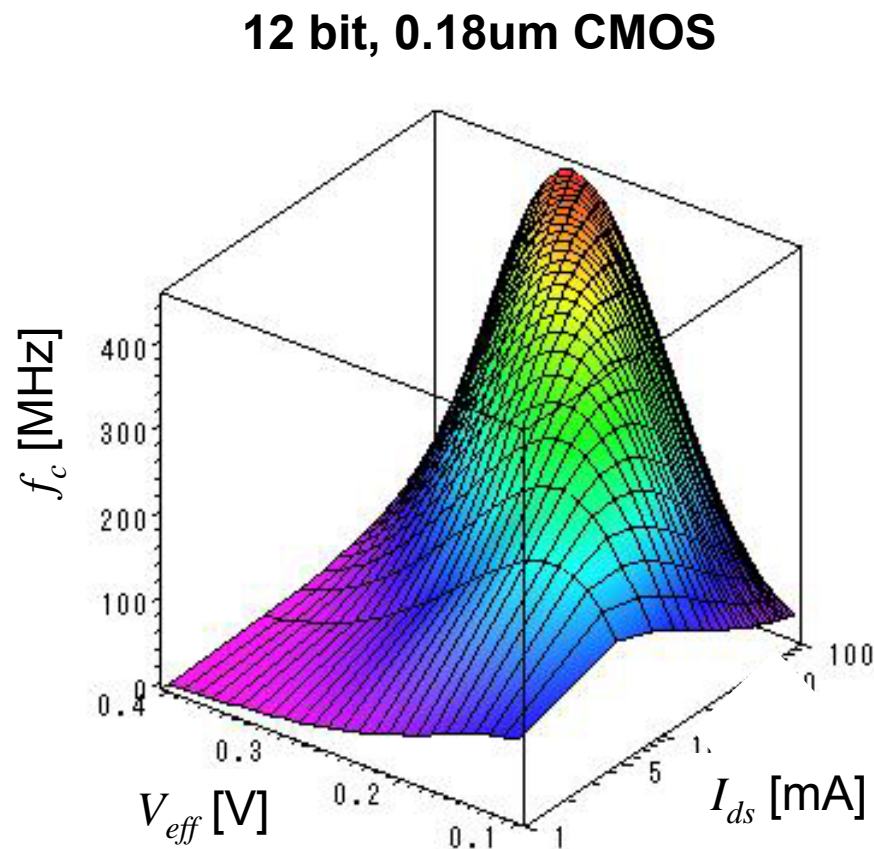
1MHzあたりの消費電力を推定すると、寄生容量の効果が現れるまでは消費電力と変換周波数は比例し、電流が増加すると、電流増大によるサイズ増大で寄生容量効果が現れ、動作エネルギーは増大する。



Optimization of V_{eff}

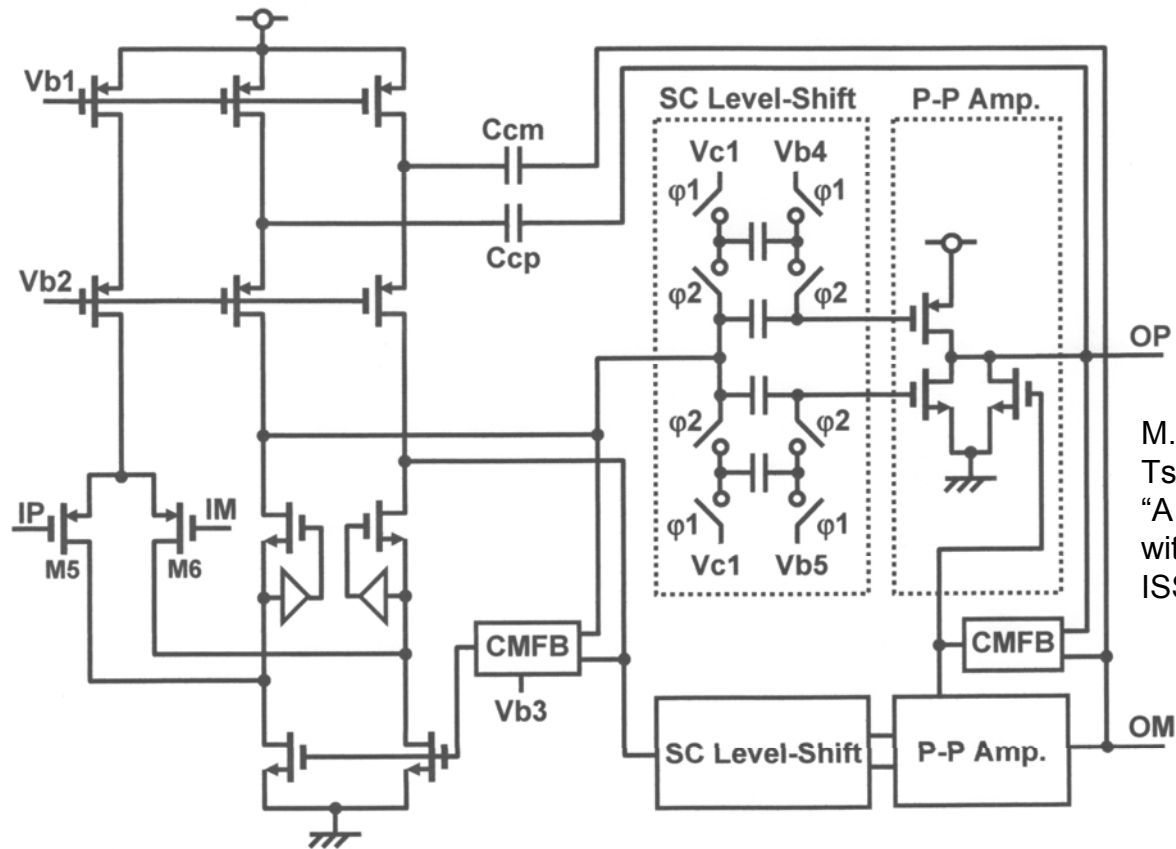
Optimum V_{eff} is a function of resolution, current, and design rule.

The lower V_{eff} is recommended for scaled CMOS technology.



Optimization of OpAmp in Pipelined ADC

90nm CMOS, near sub-threshold operation, and SC level-shift have realized 10bit 80MHz ADC with 0.8V operation and small power of 6.5mW



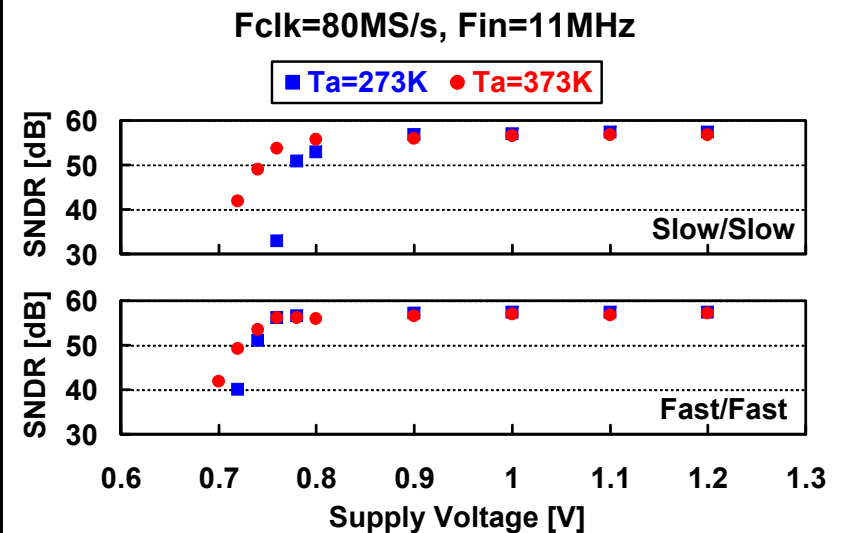
M. Yoshioka, M. Kudo, T. Mori, and S. Tsukamoto
“A 0.8V 10b 80MS/s 6.5mW Pipelined ADC with Regulated Overdrive Voltage Biasing,”
ISSCC, Dig. Tech. paper, pp. 452-453, 2007.

Figure 25.1.2: Schematic of two-stage amplifier.

Results

FoM=0.2pJ/step 0.08mW/MHz

Technology	1P10M 90nm CMOS with MIM Capacitors	
Resolution	10bit	
Conversion Rate	80MS/s	
Active Area	1.18mm x 0.54mm	
Input Range	1.2Vp-p Differential	
Supply Voltage	0.8V	1.2V
SNDR	55.0dB @2MHz	56.9dB @2MHz
	51.4dB @41MHz	55.6dB @41MHz
Total Power Consumption	6.5mW	13.3mW
INL	< 1.0LSB	< 0.5LSB
DNL	< 0.8LSB	< 0.4LSB



誤差補正技術

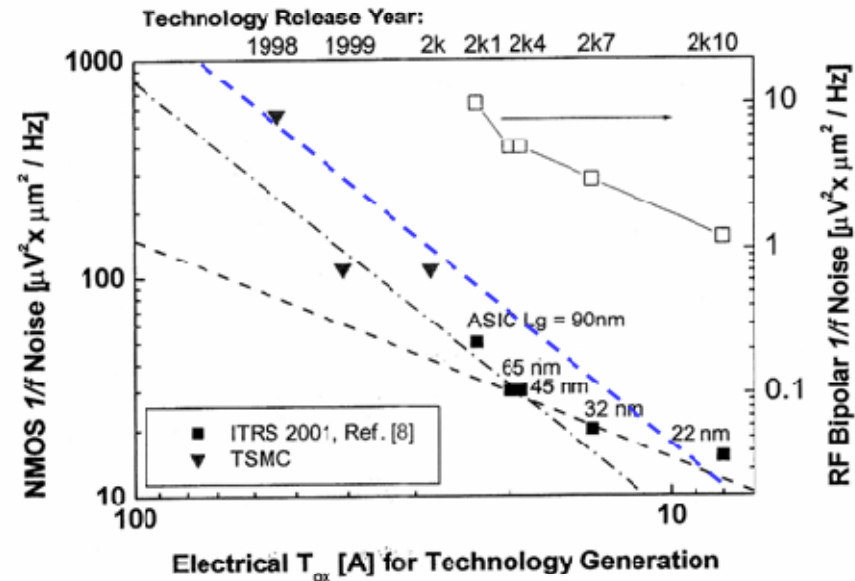
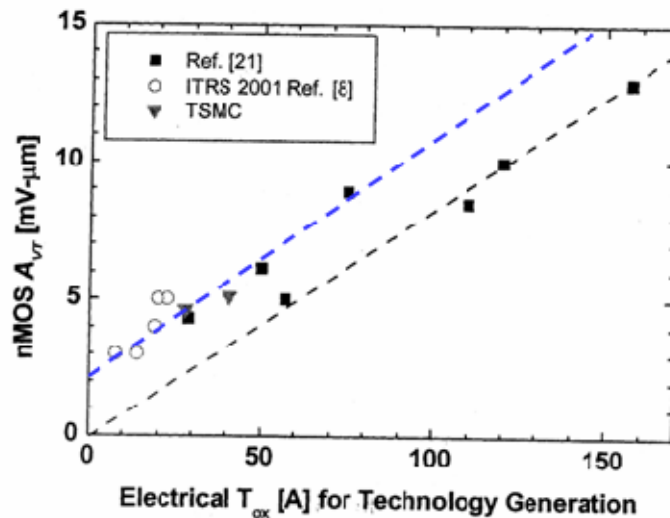
MOSの V_T ばらつきと1/fノイズ

MOSの V_T ばらつき係数は飽和する

1/fノイズ係数は穏やかに減少

$$\Delta V_{TH}(mV) \approx \frac{1}{\sqrt{2}} \left(\frac{T_{ox}(nm) + 2}{\sqrt{LW(\mu m)}} \right)$$

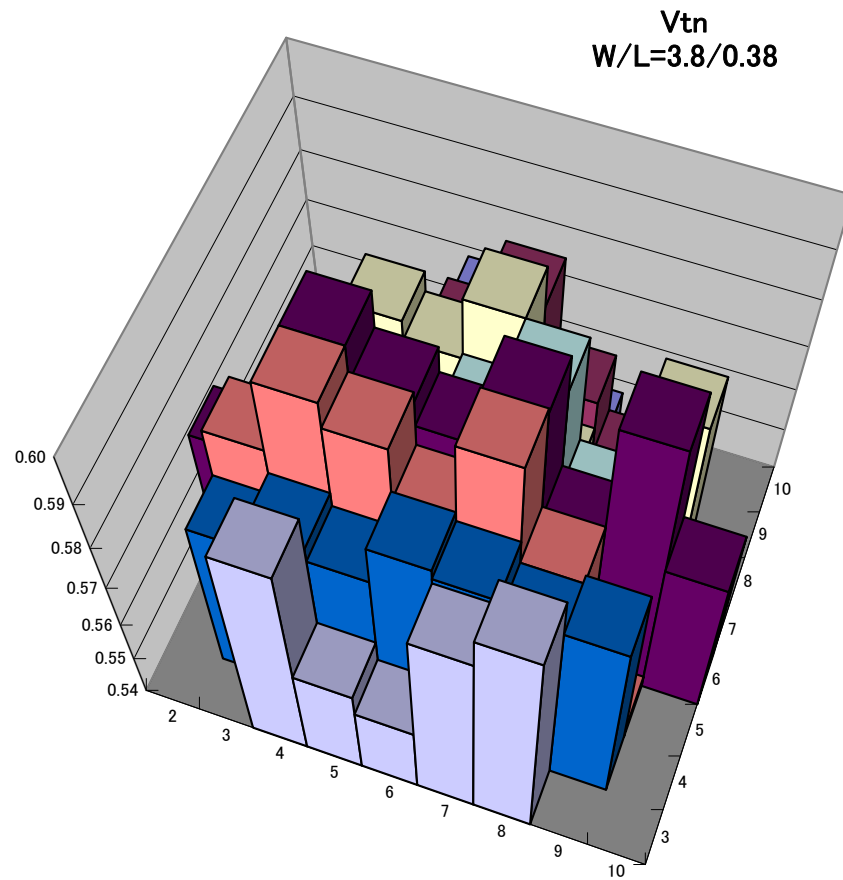
$$V_{flick}^2 (\mu V^2 / Hz) = \frac{16T_{OX}^2 (nm)}{LW(\mu m^2) \cdot f(Hz)}$$



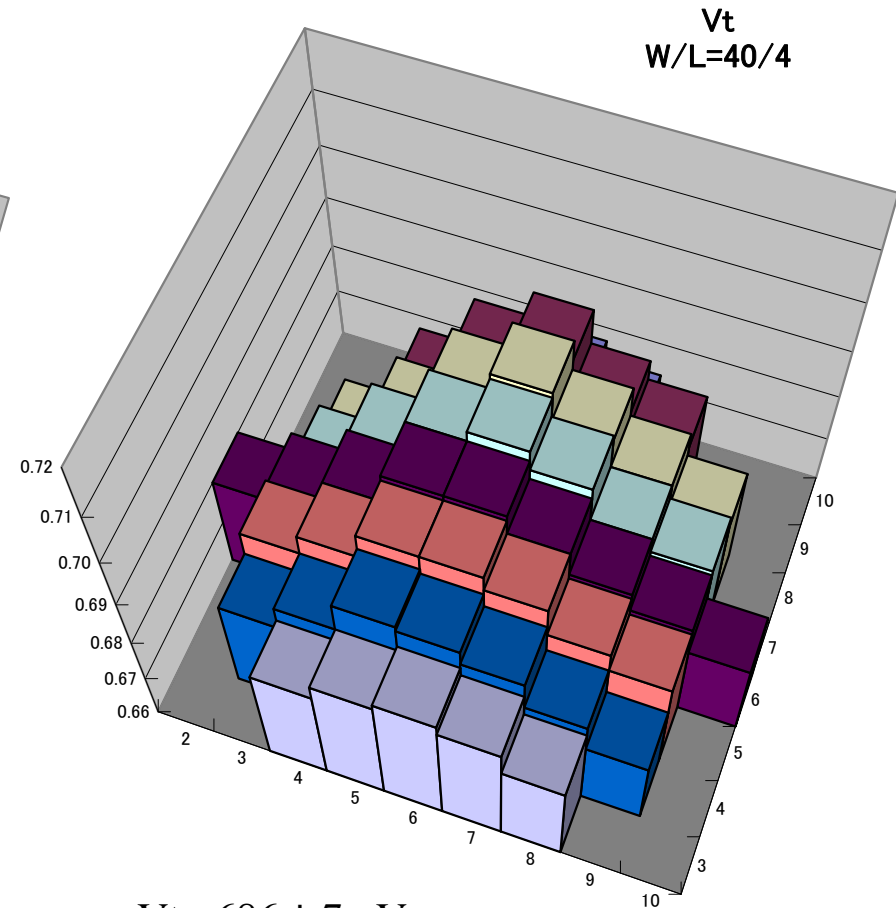
C. H. Diaz, et al., "CMOS Technology for MS/RF SoC," EEE Tran. Electron Devices, Vol. 50, No.3, March, 2003.

ウェファー内での V_T 変動

小さなトランジスタの V_T ばらつきはランダムであるが、
大きなデバイスでは面内傾斜が見えてくる



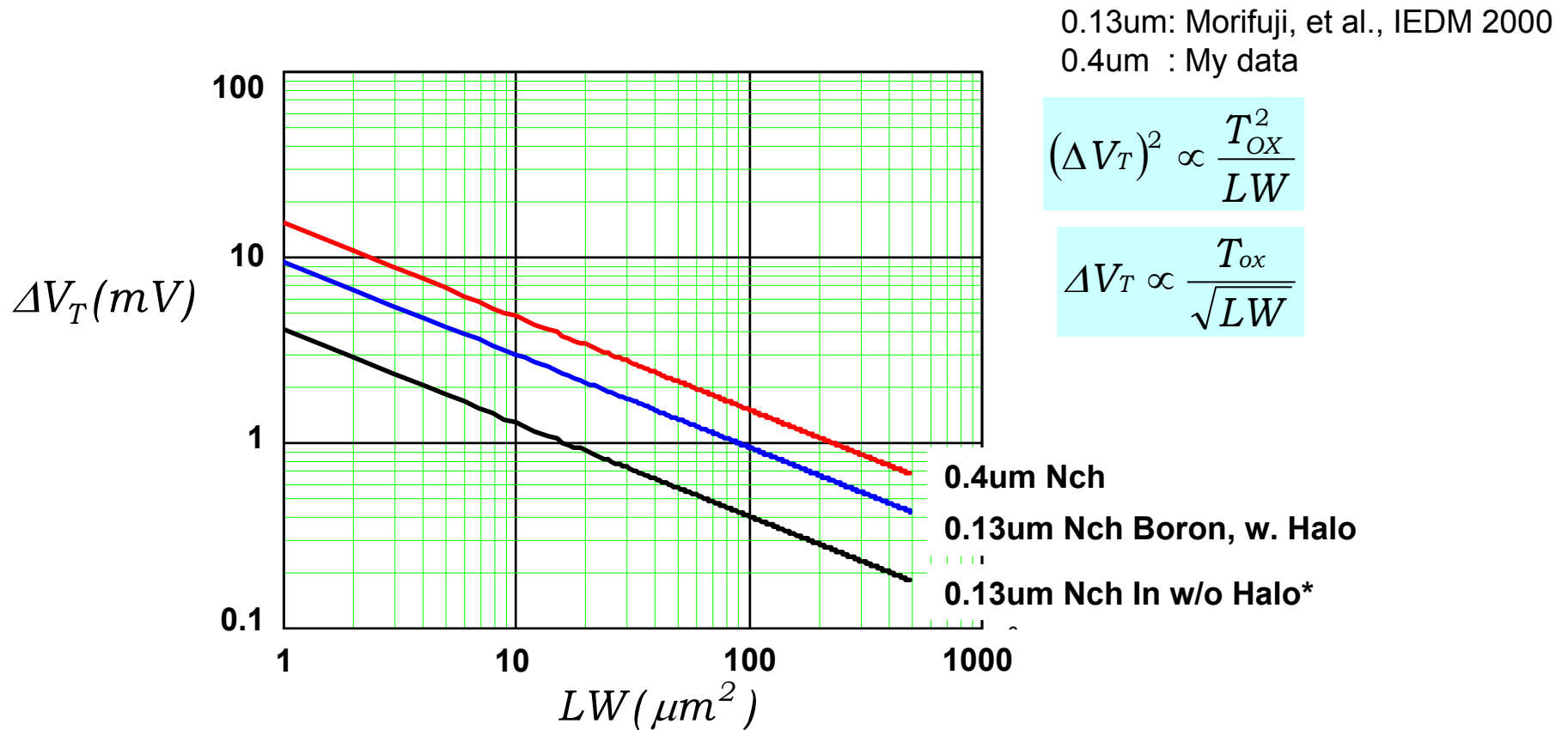
$V_t = 575 \pm 18\text{mV}$



$V_t = 686 \pm 7\text{mV}$

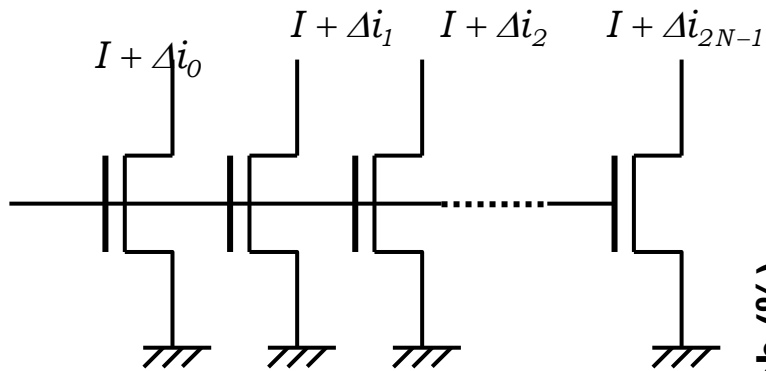
V_T ミスマッチ

V_T ミスマッチを小さくするには大きなゲート面積が必要、しかし性能劣化を招く



Influence of V_T mismatch in current staring DAC

Higher resolution DAC requires smaller current mismatch which is mainly caused by V_T mismatch.



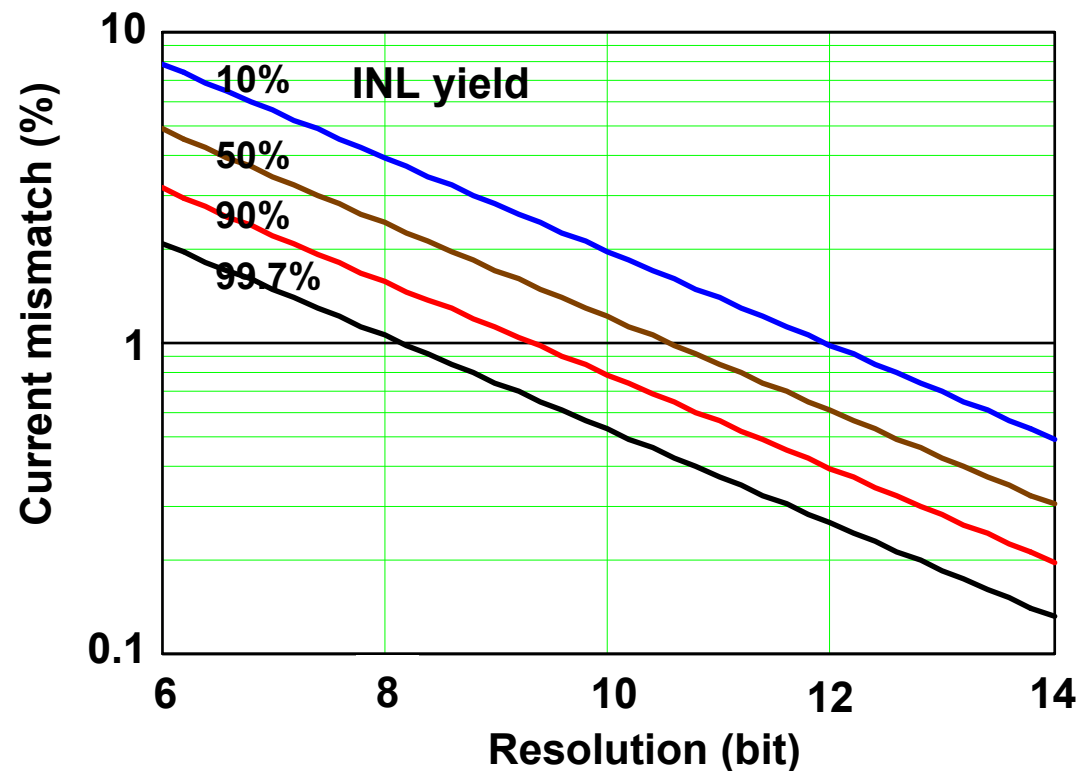
$$\frac{\sigma(I)}{I} \approx \frac{1}{2C\sqrt{2^N}}$$

N: resolution

C: Constant determined by INL

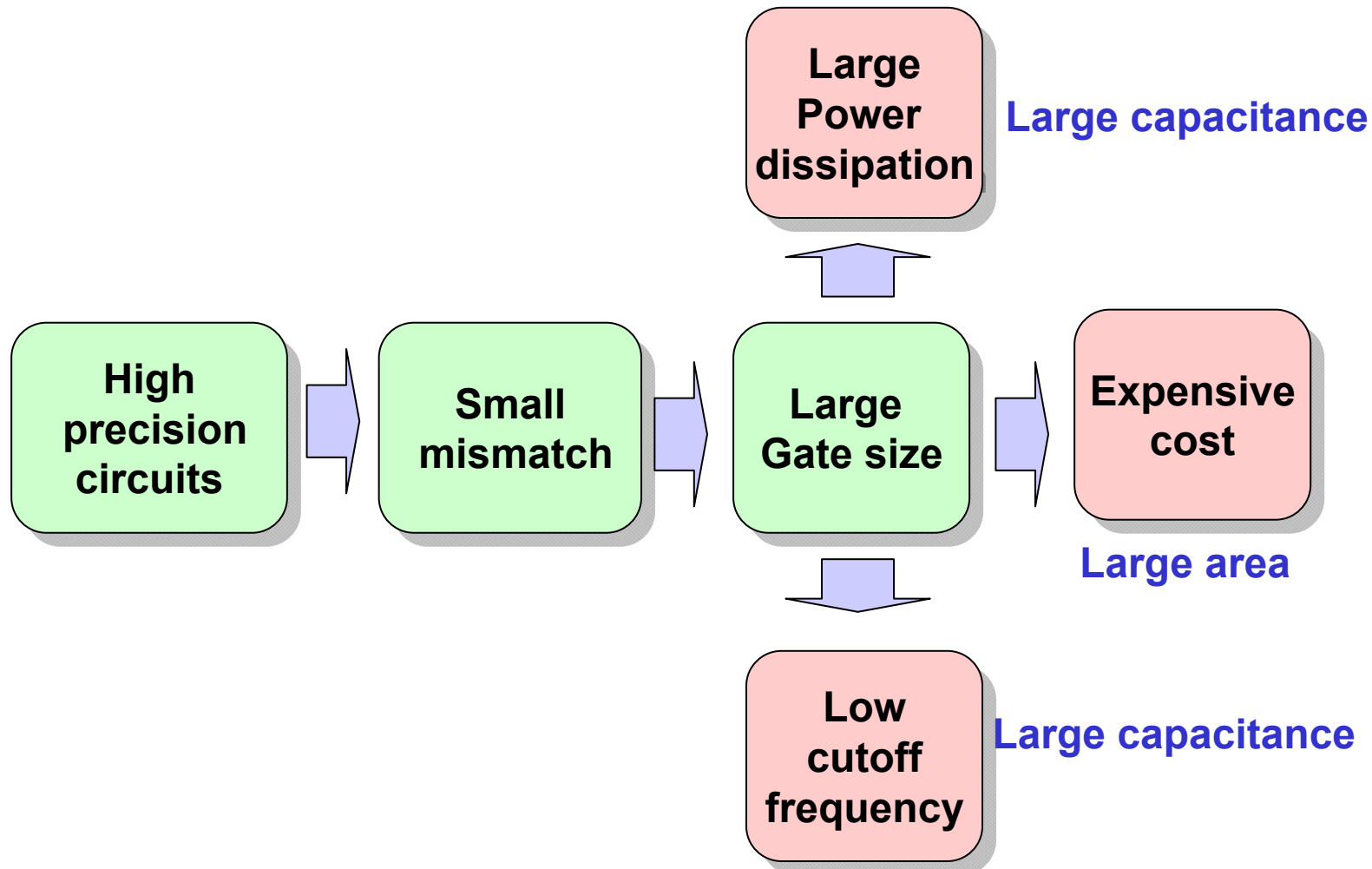
$$\left(\frac{\sigma(I)}{I}\right)^2 \propto \frac{1}{2^N}$$

Van den Bosch,.. Kluwer 2004



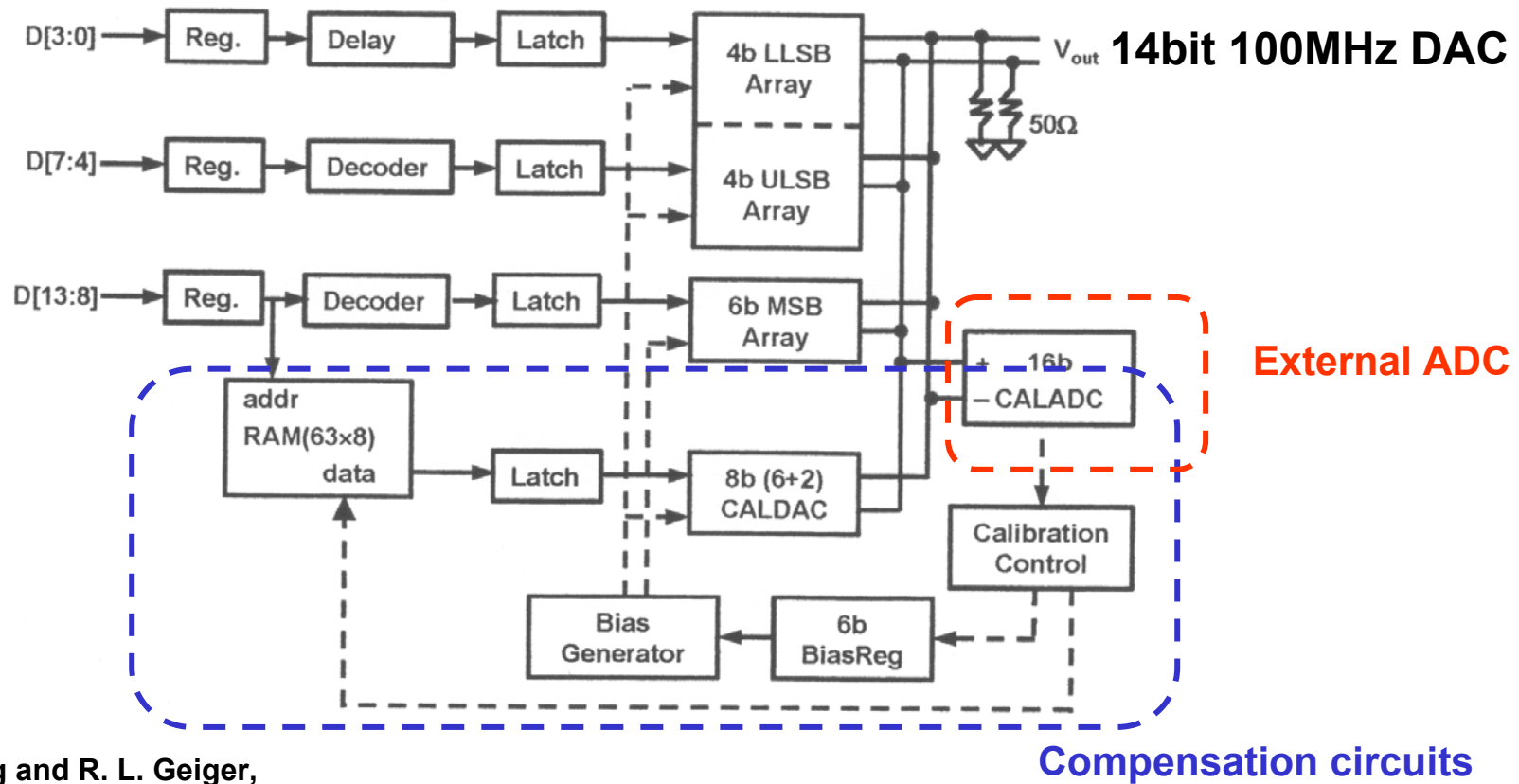
高精度アナログ回路の課題

高精度アナログ回路ではデバイスの面積が大きくなる。したがってコスト増の他、容量の増大により周波数特性劣化と消費電力増大を招く。



デジタル補正を用いた DAC

CAL-ADC measures non-linearity of DAC
and compensates it's non-linearity by CAL-DAC with logic



Y. Cong and R. L. Geiger,
Iowa State University, ISSCC 2003

デジタル補正の効果

デジタル補正により、小さなデバイスを用いても高精度化が可能となった
従来と比べ、面積は1/50, 消費電力は1/20になった。

しかしこの方法は外部に高精度ADCが必要なため、非現実的である。

14bit DAC

INL

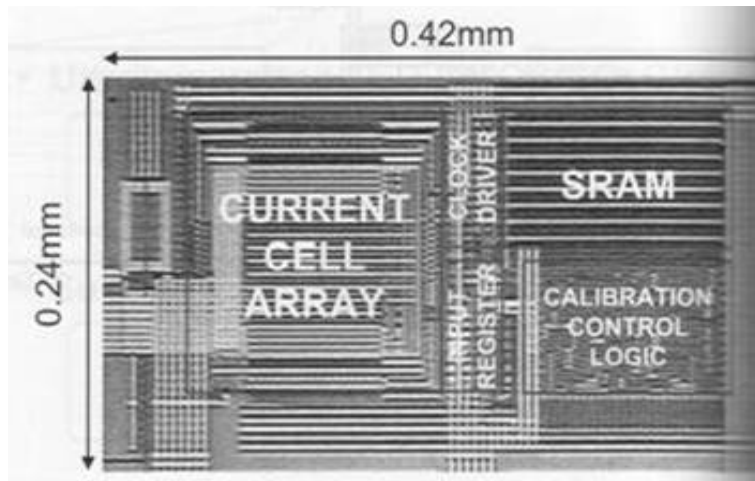
DNL

14b 100MS/s DAC

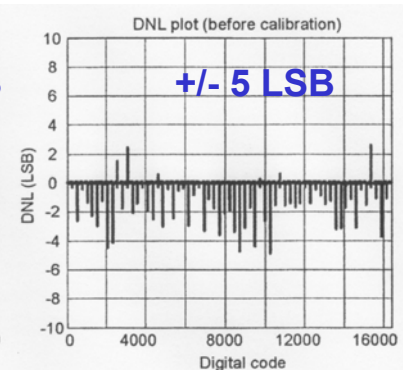
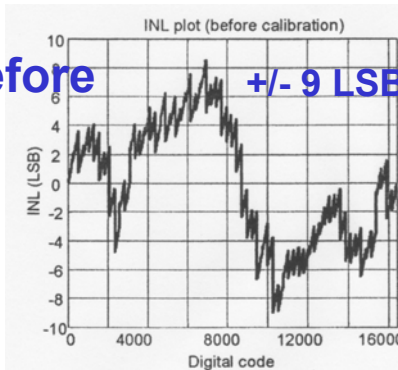
1.5V, 17mW, 0.1mm², 0.13um

SFDR=82dB at 0.9MHz, 62dB at 42.5MHz

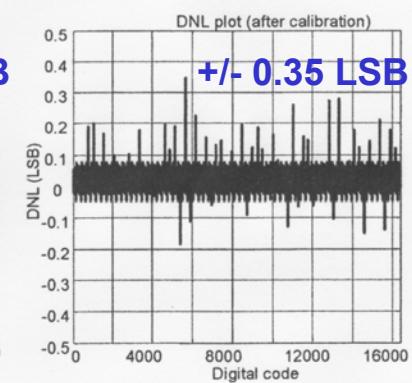
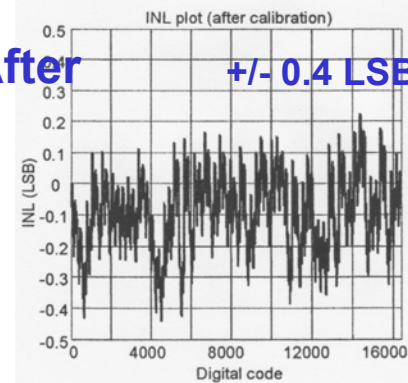
Area: 1/50 Pd: 1/20



Before



After

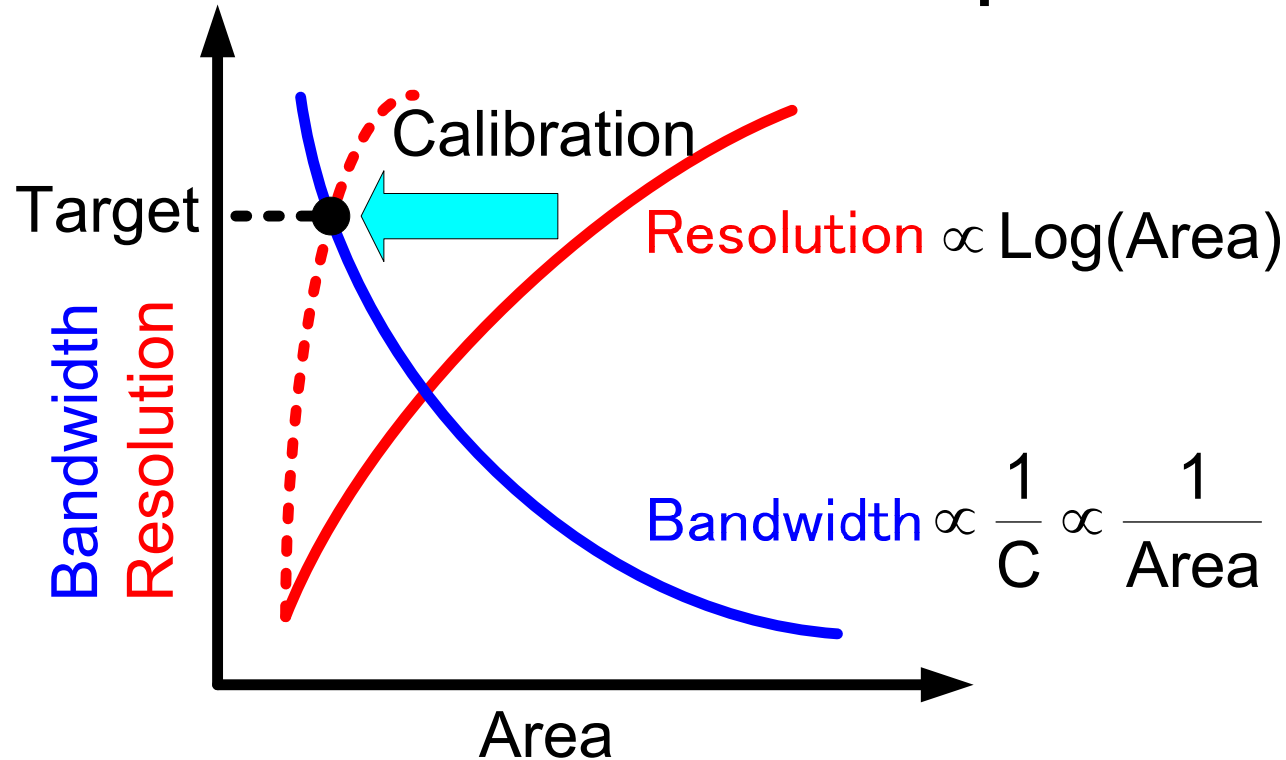


A 14-bit 100-MS/s Digitally Calibrated Binary-Weighted Current-Steering CMOS DAC without Calibration ADC

Yusuke Ikeda, Matthias Frey,
and Akira Matsuzawa
Tokyo Institute of Technology, Japan

Motivation

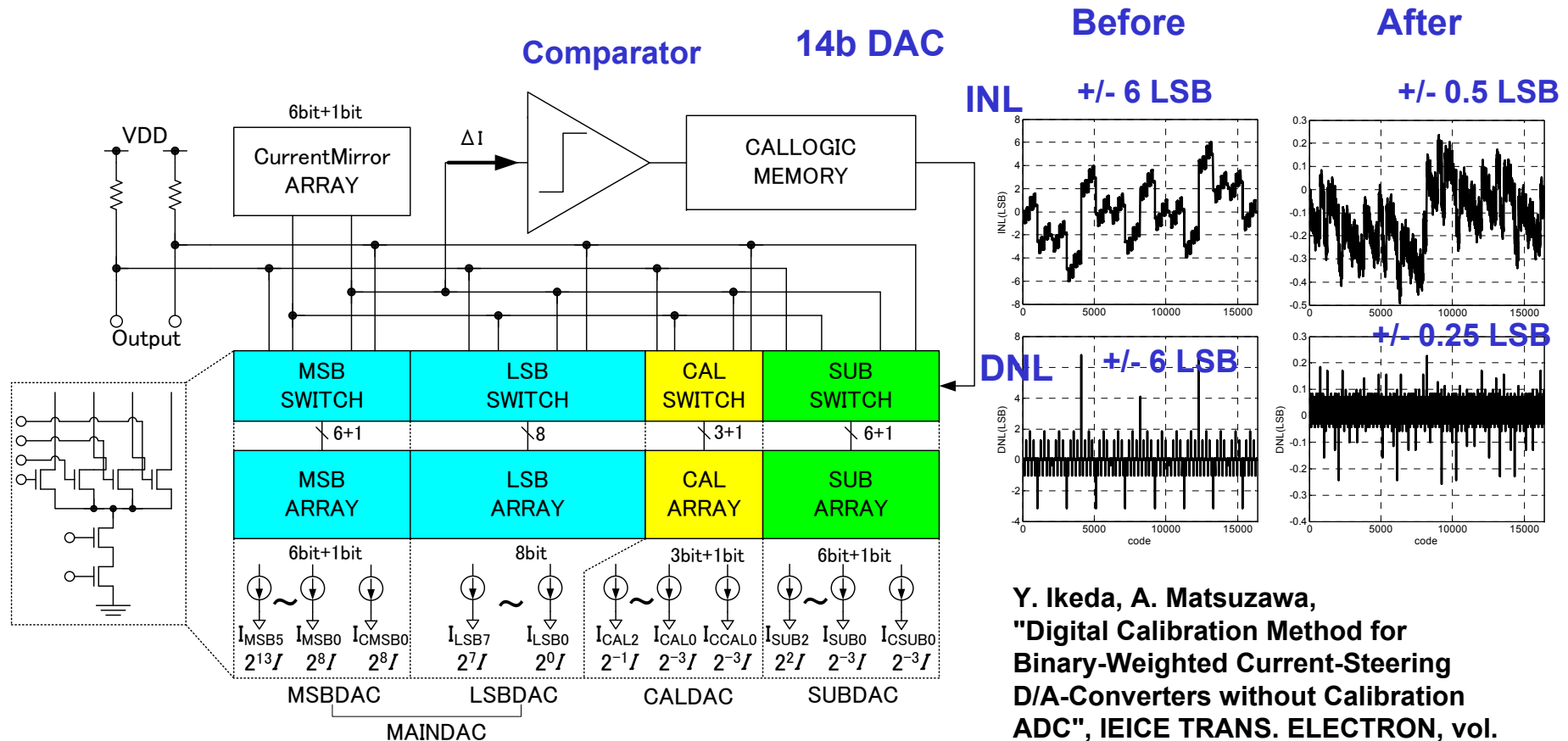
The relation between the area and the performance



- To realize a high speed and a high resolution DAC, It is necessary to utilize the calibration technique.
- Keep the total area small.

デジタル補正を用いた DAC

当研究室が提案したDACは比較器で補正するもので、ADCが不要である。



Y. Ikeda, A. Matsuzawa,
 "Digital Calibration Method for
 Binary-Weighted Current-Steering
 D/A-Converters without Calibration
 ADC", IEICE TRANS. ELECTRON, vol.
 E90-C, No.6, pp.1172-1180, June. 2007

Error compensation by comparator

Nature of binary weighted values

Example

$$\frac{1}{2^m} = \sum_{n=1}^i \frac{1}{2^{m+n}} + \frac{1}{2^{m+i}} \quad \frac{1}{2^4} = \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^7} + \frac{1}{2^8} + \frac{1}{2^8}$$

1) Measure LSB value by CAL DAC with certain accuracy.

2) Measure the error of each current source by comparator with binary search .

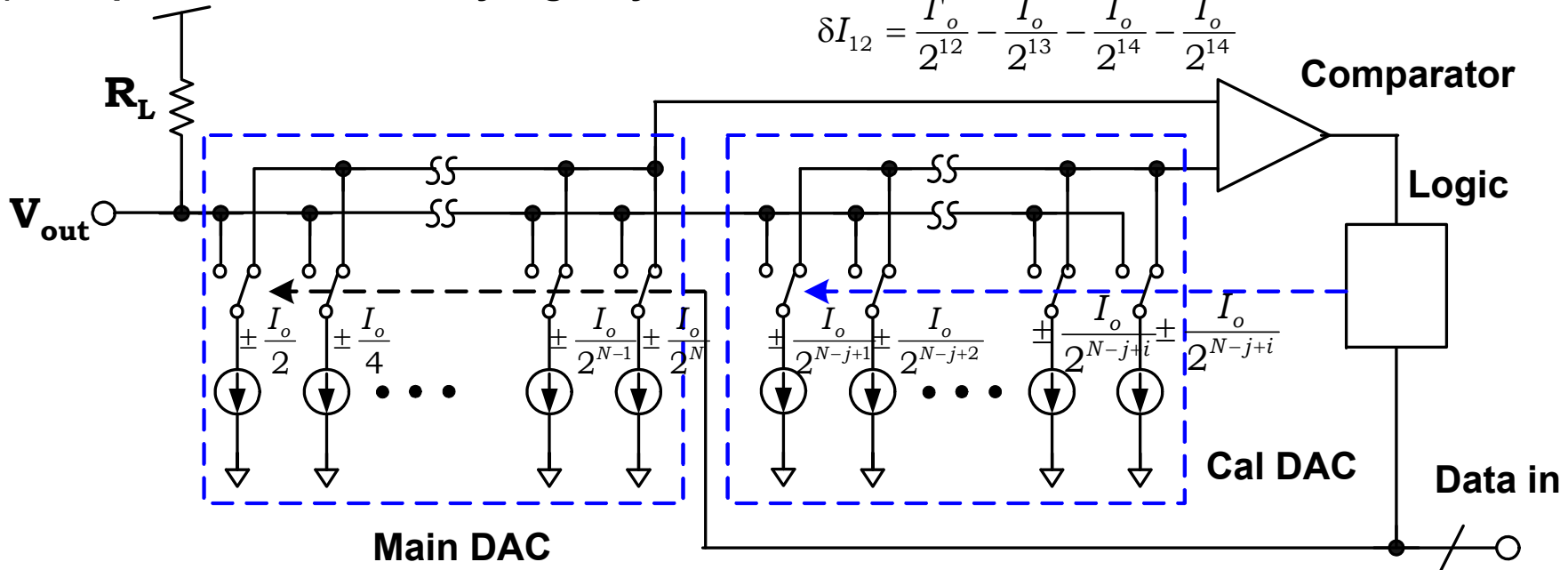
3) Compensate the errors by digitally

$$\frac{I_o}{2^N}$$

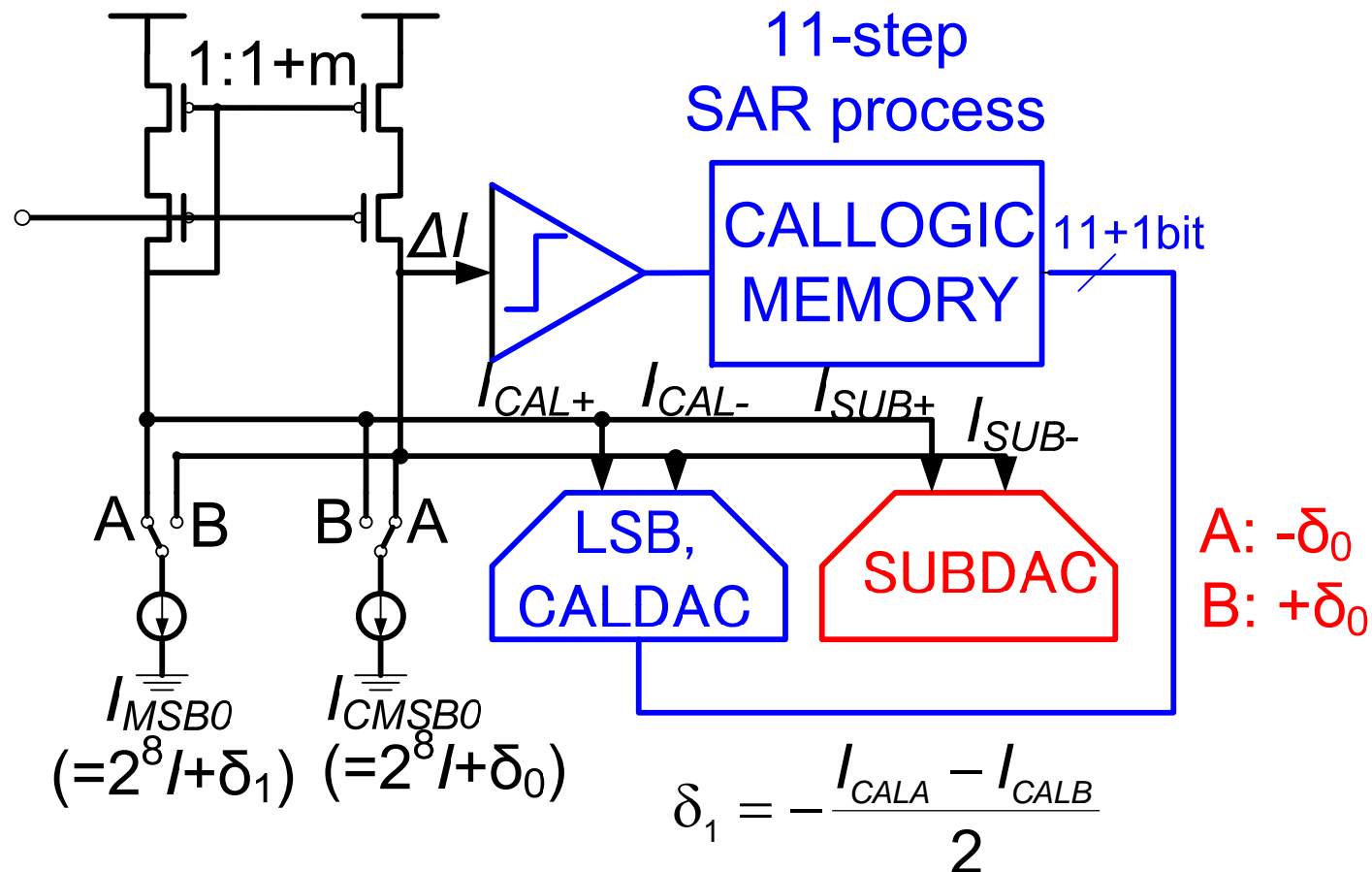
$$\delta I_m = \frac{I'_o}{2^m} - \sum_{n=1}^{N-m} \frac{I_o}{2^{m+n}} - \frac{I_o}{2^N}$$

$$\delta I_{13} = \frac{I'_o}{2^{13}} - \frac{I_o}{2^{14}} - \frac{I_o}{2^{14}}$$

$$\delta I_{12} = \frac{I'_o}{2^{12}} - \frac{I_o}{2^{13}} - \frac{I_o}{2^{14}} - \frac{I_o}{2^{14}}$$

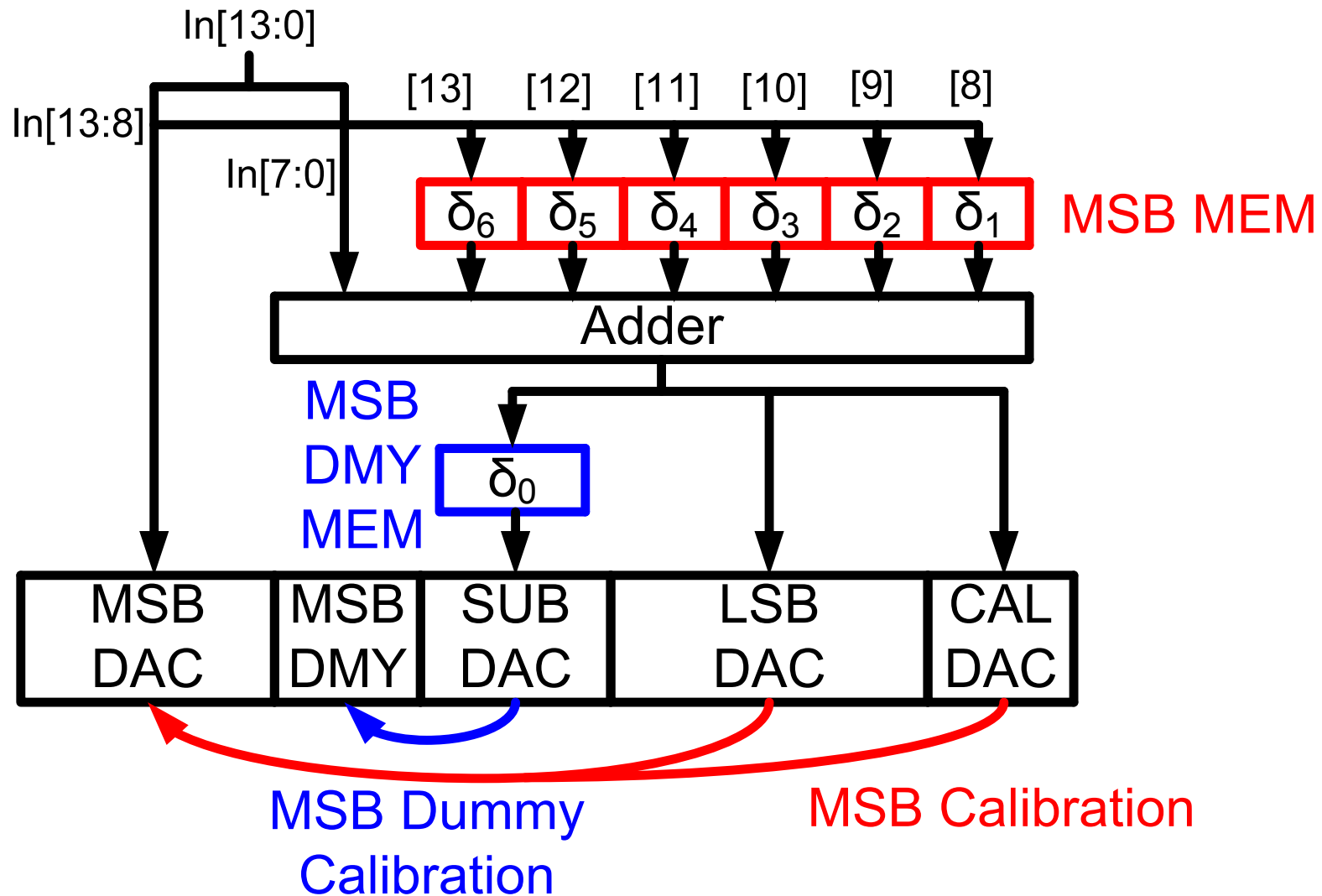


MSB calibration

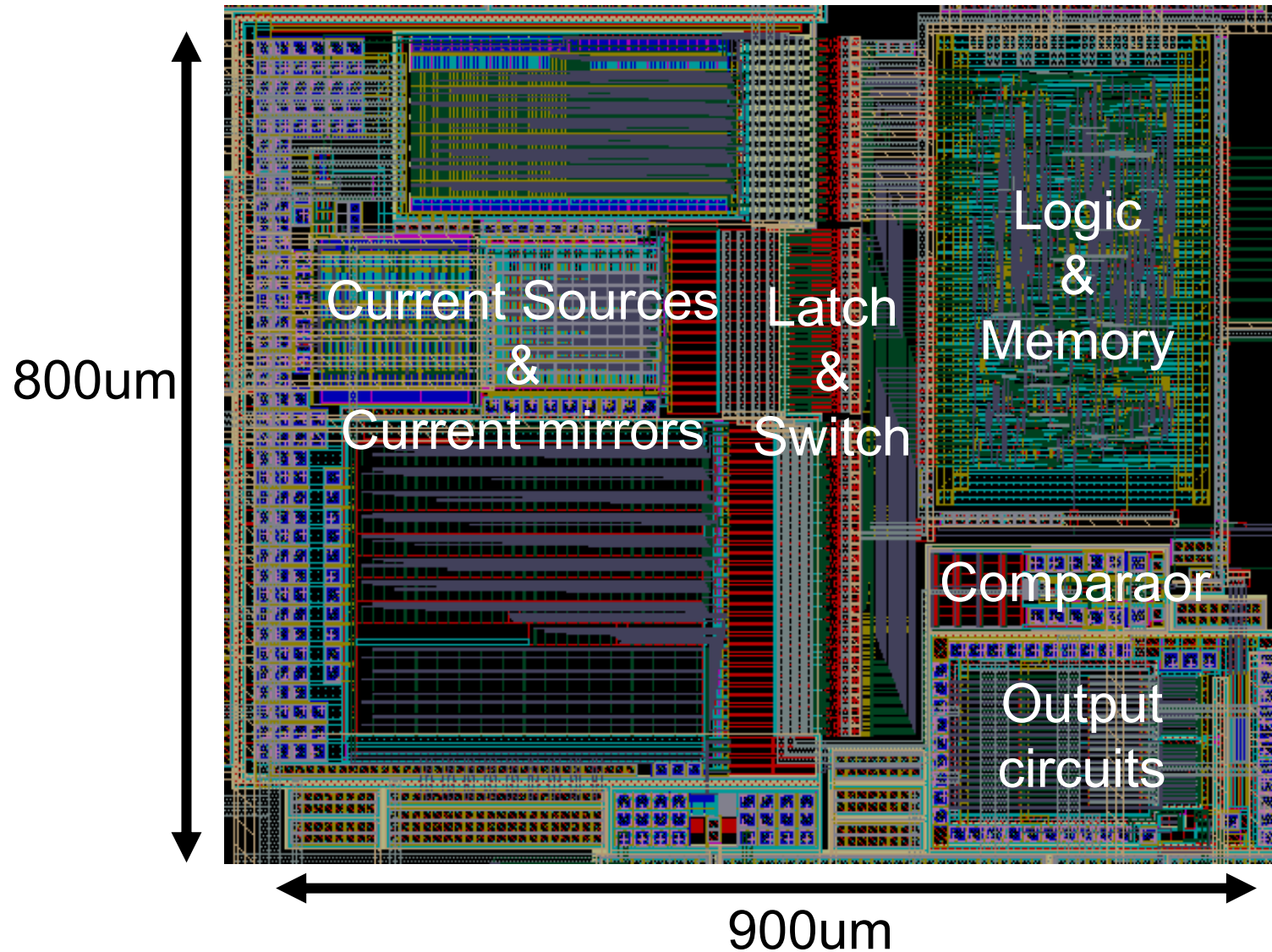


- Comparing I_{MSB0} with I_{CMSB0} calibrated by SUBDAC
- Current mirror mismatch and comparator offset are canceled by change the switch position.

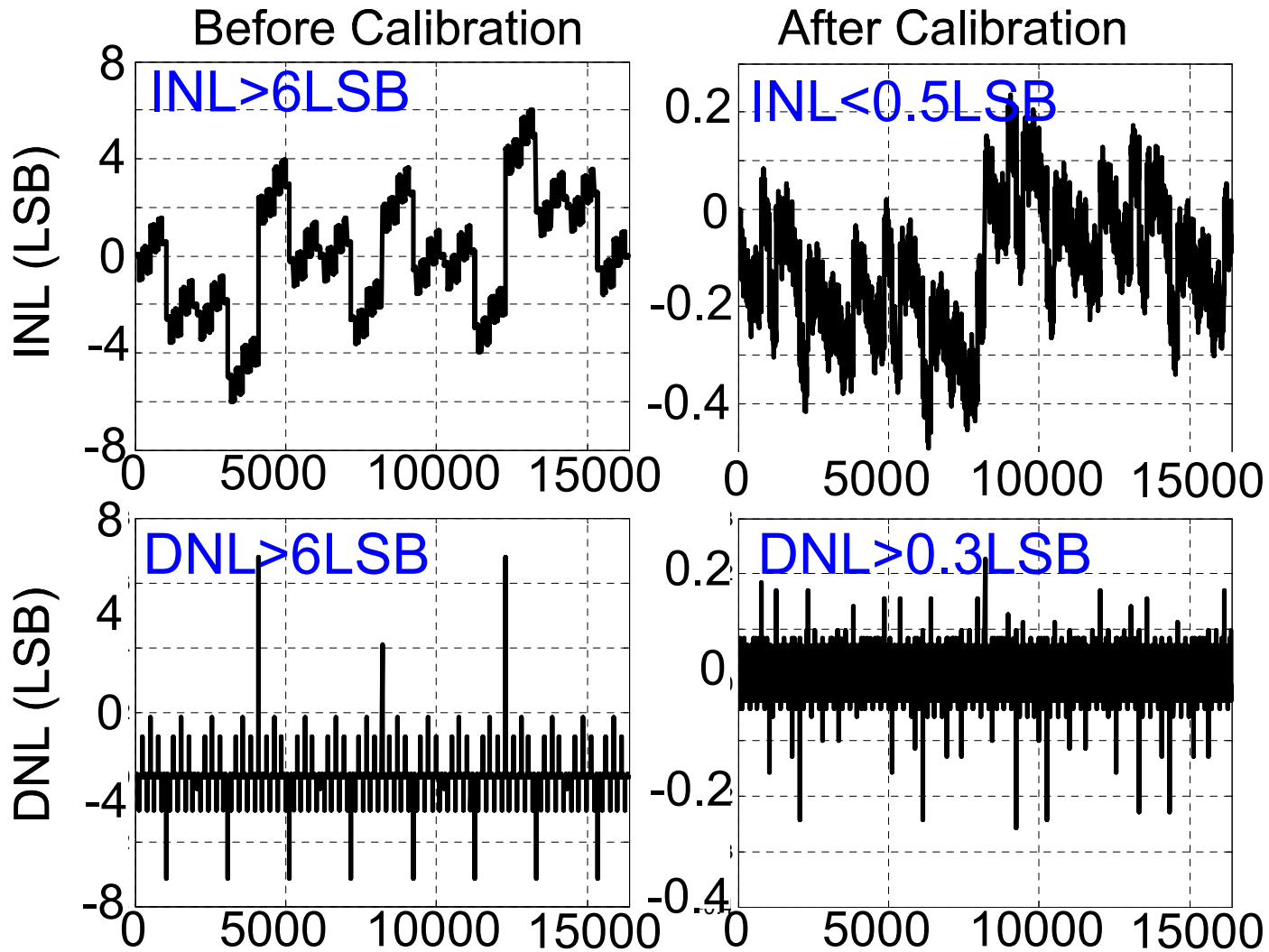
The conversion operation



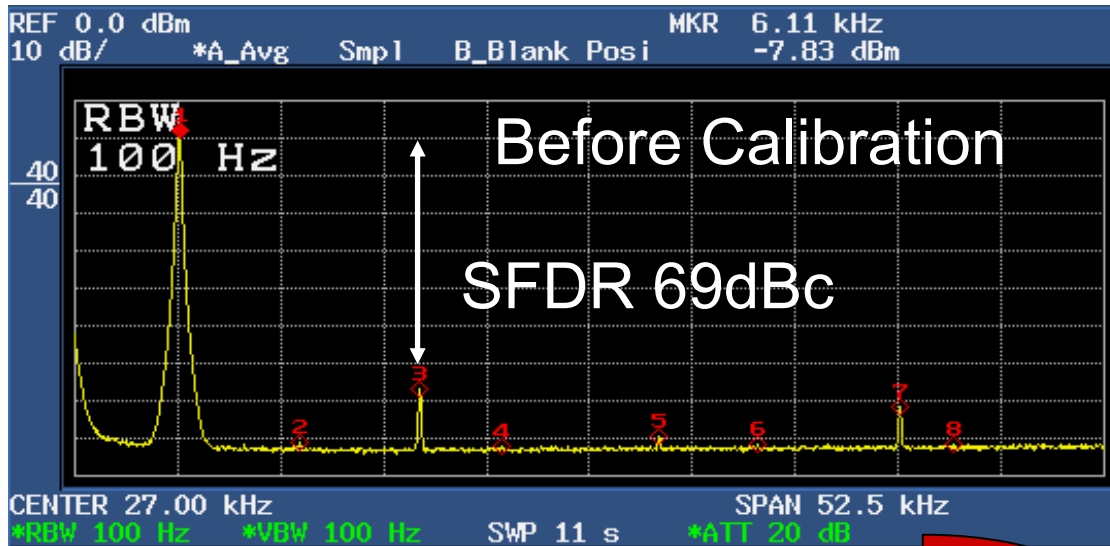
Layout (0.18um CMOS)



The Simulation Results

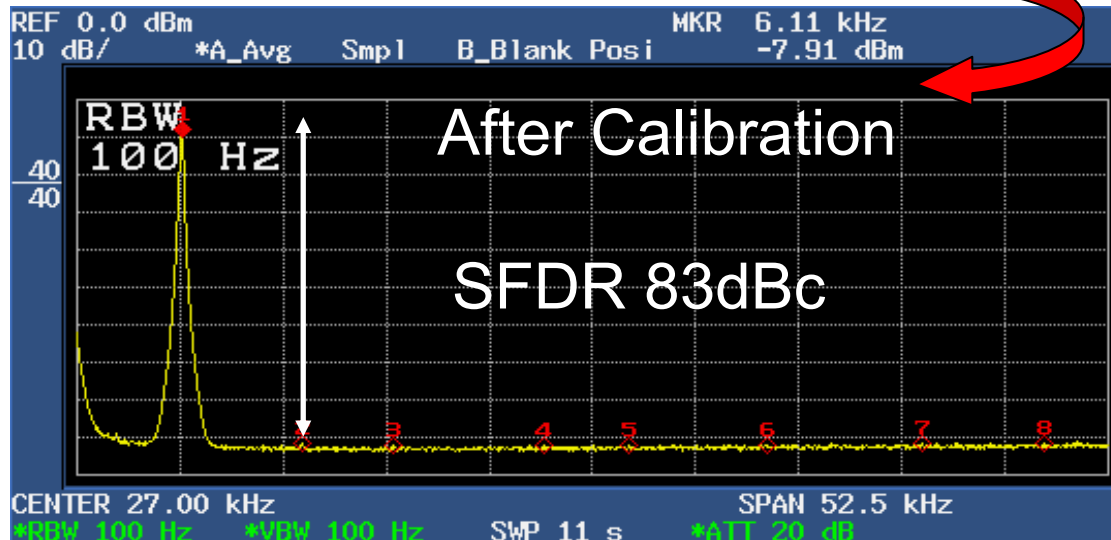


The Measurement Results



@100MSps
6kHz Signal

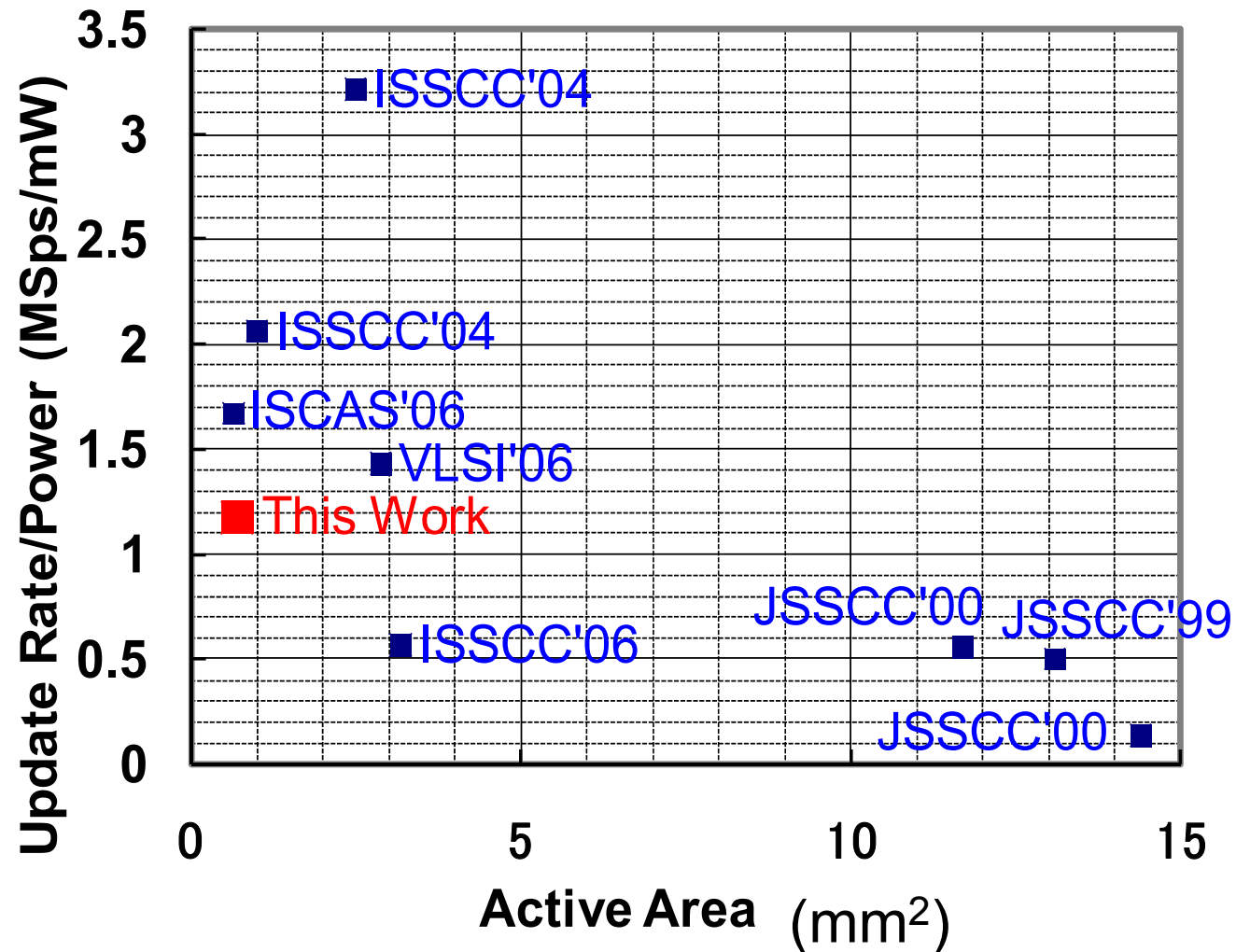
SFDR
14dBUP



The Performance Summary

Technology	0.18 um CMOS
Resolution	14 bit
Update Rate	100 MSps
Full-Scale Current	11.5 mA
Supply Voltage	1.8 V
SFDR (Before Calibration)	69.2 dBc @fsig=6kHz
SFDR (After Calibration)	83.4 dBc @fsig=6kHz 46.6 dBc @fsig=30MHz
Power Consumption	79.2 mW (analog) 5 mW (digital)
Active Area	0.74 mm²

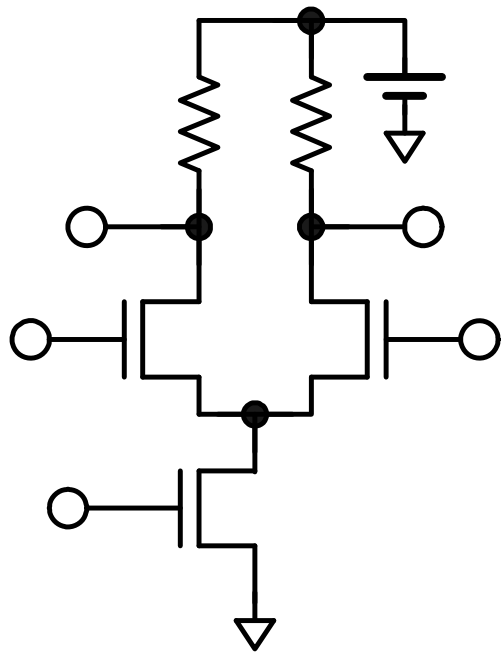
The Comparison of other DACs



Comparator and offset suppression

Store the offset voltage in capacitor and subtract it from the signal

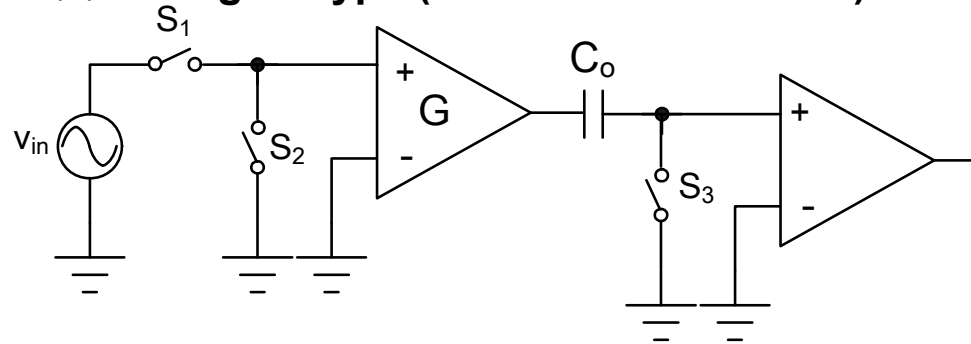
V_{off} at sigma reaches 30mV
in CMOS comparator



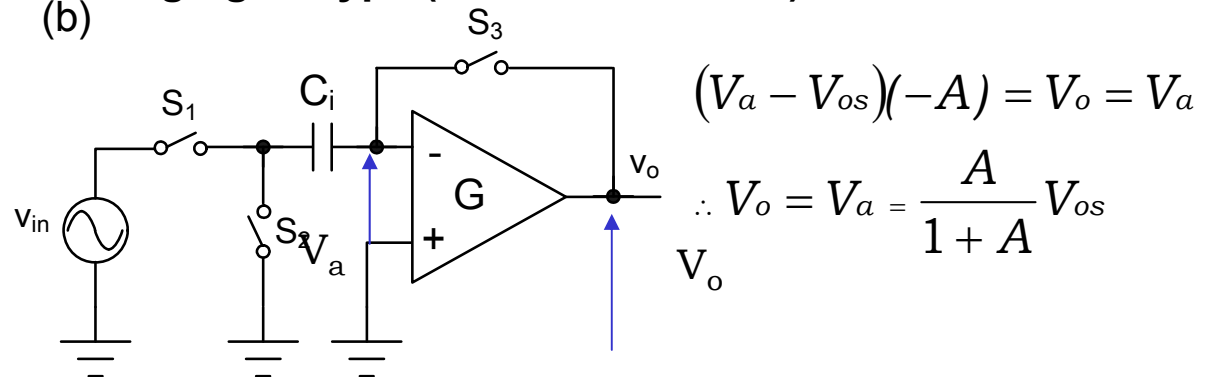
Basic CMOS comparator

Offset suppression

(a) Low gain type (feed forward method)



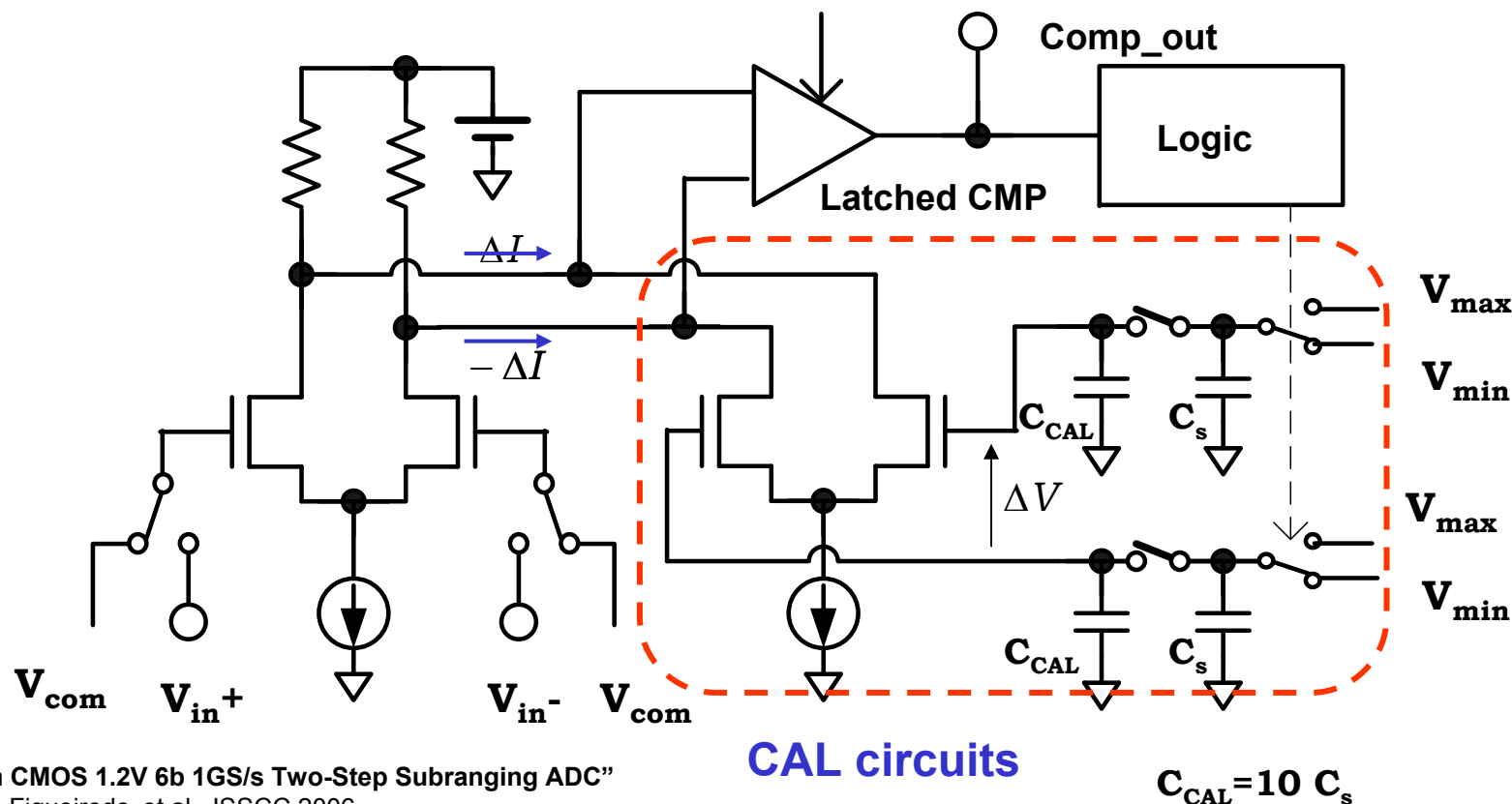
(b) High gain type (feedback method)



Digital Comparator offset compensation

Offset voltage of latched comparator can't be compensated by previous method. Because it has no bias point. In this case, digital method should be applied.

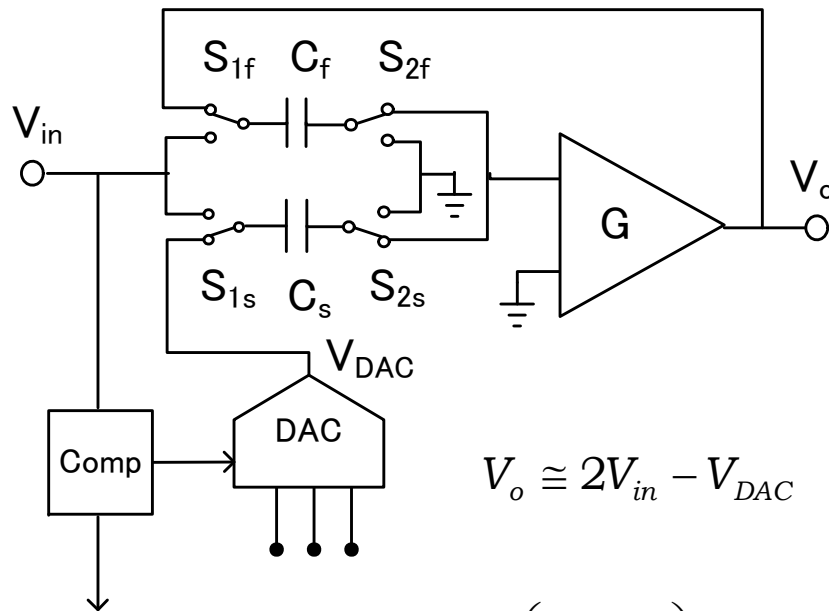
Input terminals are shorted and the output signal controls applied voltage to the differential pair in CAL circuits so that the frequency of occurrence in differential output signals become equal.



"A 90nm CMOS 1.2V 6b 1GS/s Two-Step Subranging ADC"
Pedro M. Figueiredo et al., ISSCC 2006

Capacitor mismatch in pipelined ADC

Capacitor mismatch in pipelined ADC determines the conversion accuracy. For the higher resolution, the larger capacitance is needed.

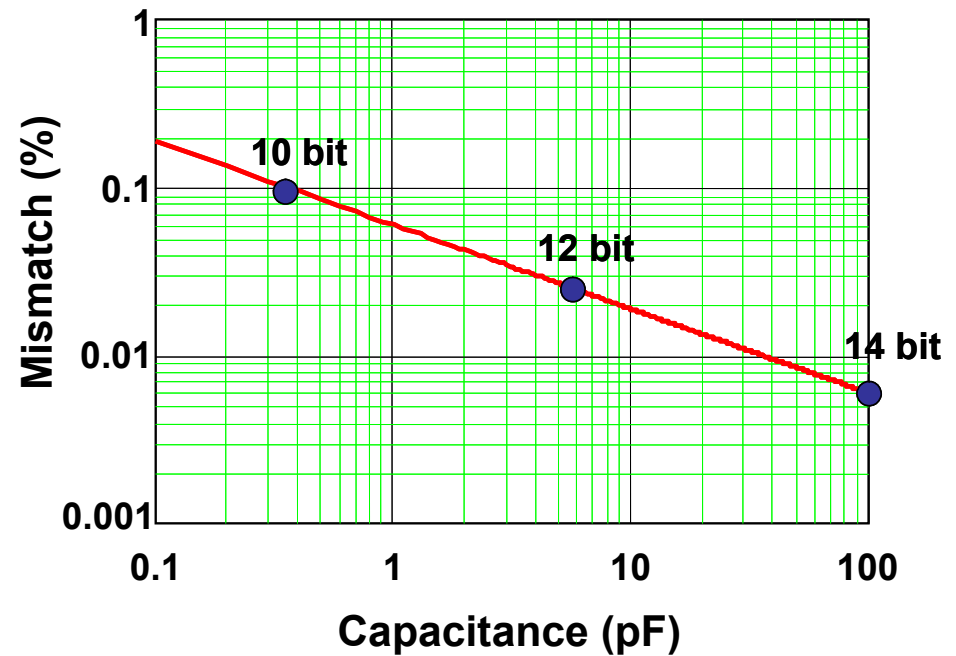


$$V_o \cong V_{in} \left(1 + \frac{C_s}{C_f} \right) - \frac{C_s}{C_f} V_{DAC}$$

$$\Delta V_o = \left(\frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (V_{in} - V_{DAC})$$

$$\frac{\Delta C}{C} < \frac{1}{2^N}$$

$$\frac{\Delta C}{C} (\sigma) = \frac{2 \times 10^{-4}}{\sqrt{C (pF)}}$$

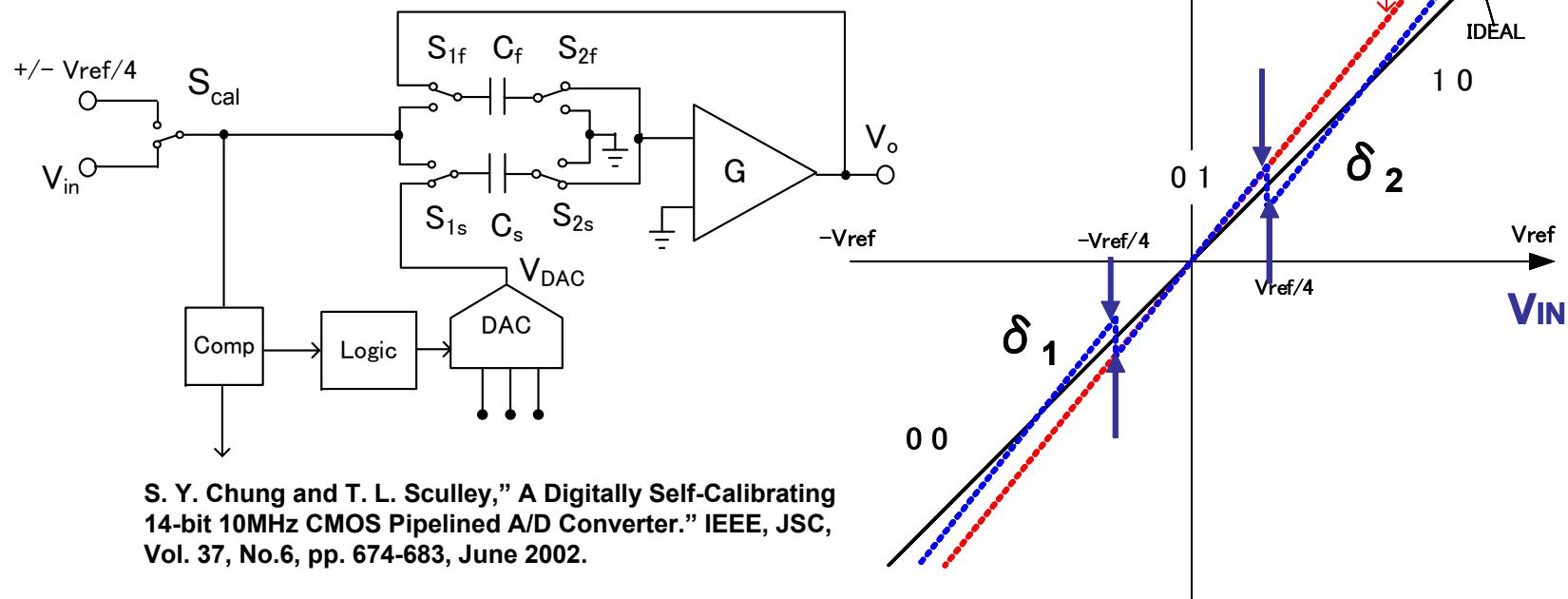


Capacitor mismatch compensation

Capacitor mismatch causes the large conversion value differences at the input voltage where the comparator changes the DAC voltage.

Compensation method:

- 1) Select input signal to $\pm V_{ref}/4$
- 2) Convert this value with $V_{DAC}=0$ and $\pm V_{ref}$ and obtain δ_1 and δ_2 .
- 3) Add or subtract this δ_1, δ_2 to or from the output values



S. Y. Chung and T. L. Sculley, "A Digitally Self-Calibrating 14-bit 10MHz CMOS Pipelined A/D Converter." IEEE, JSC, Vol. 37, No.6, pp. 674-683, June 2002.

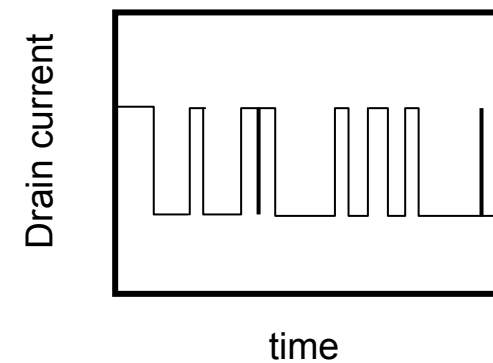
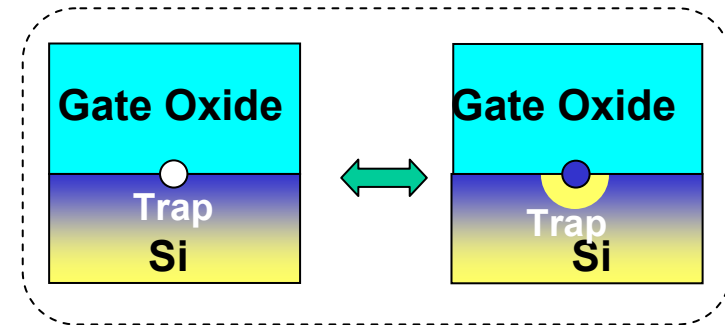
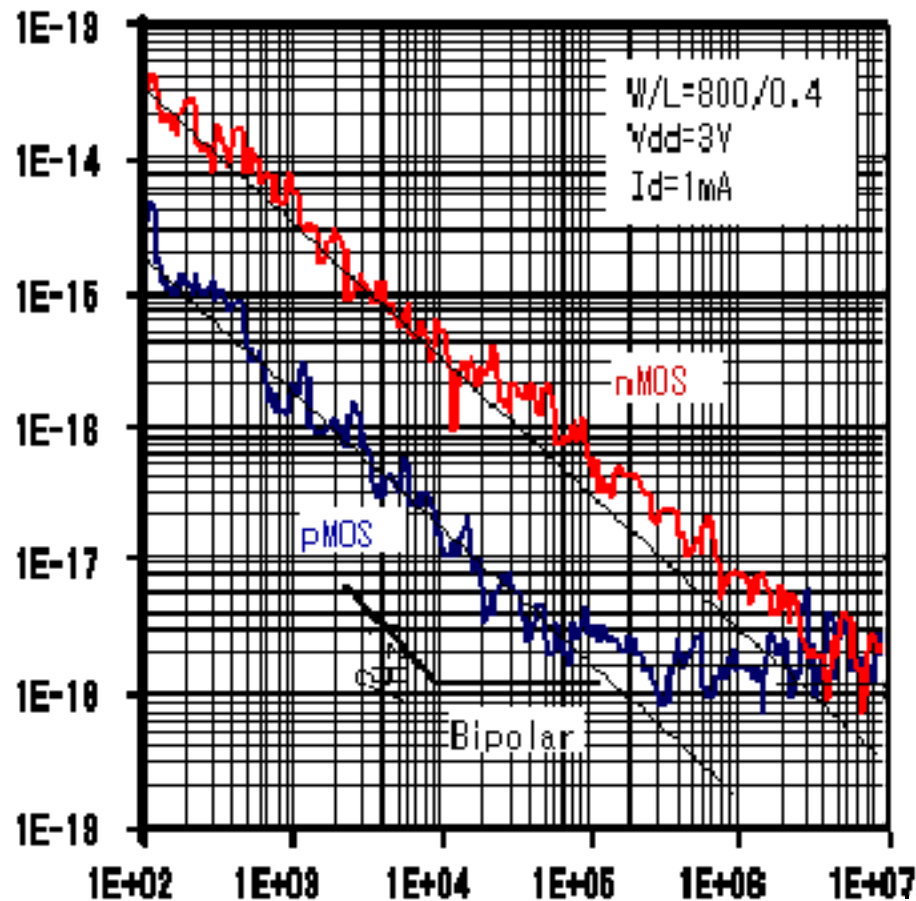
1/fノイズ

1/f noise degrades SNR of base-band signal seriously.

The 1/f noise from MOS is one or two order of magnitude higher than bipolar.

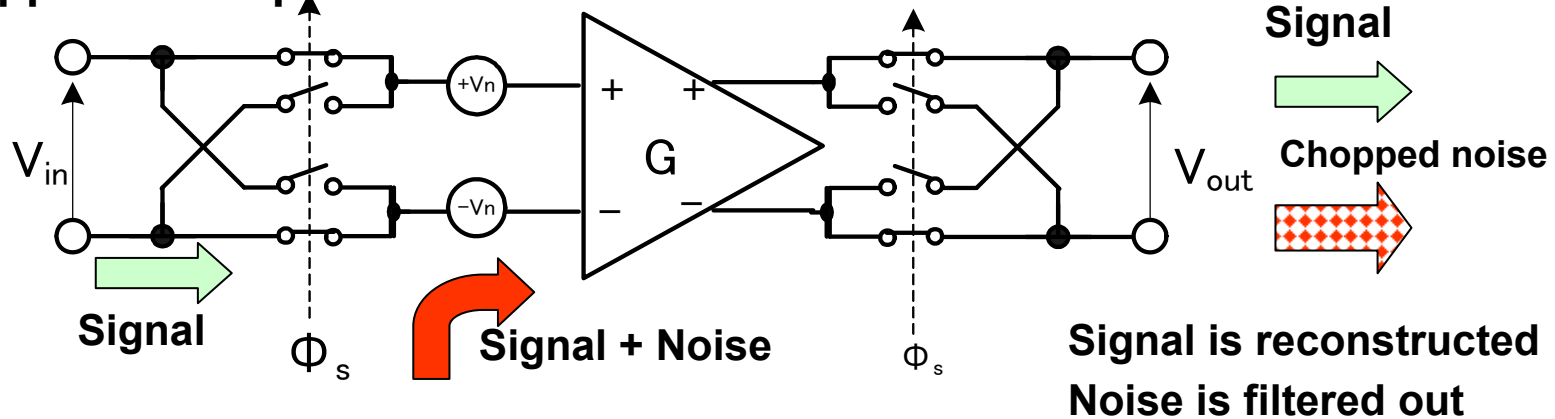
The larger gate area is needed to reduction this noise.

$$S_{\Delta V_G} = \frac{K}{C_{ox} WL} \cdot \frac{1}{f}$$

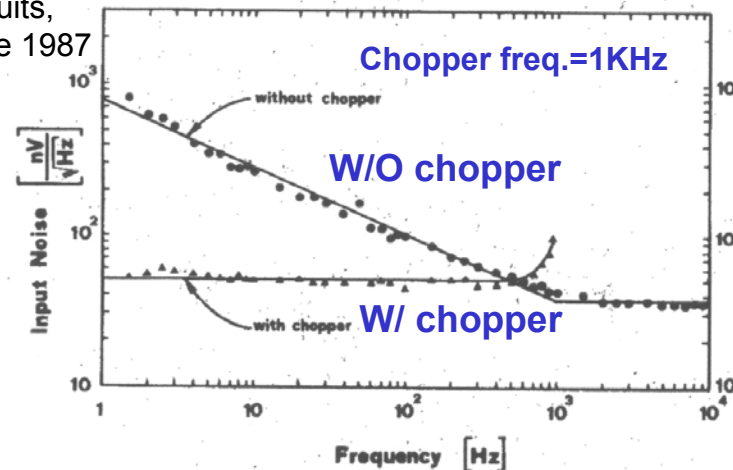
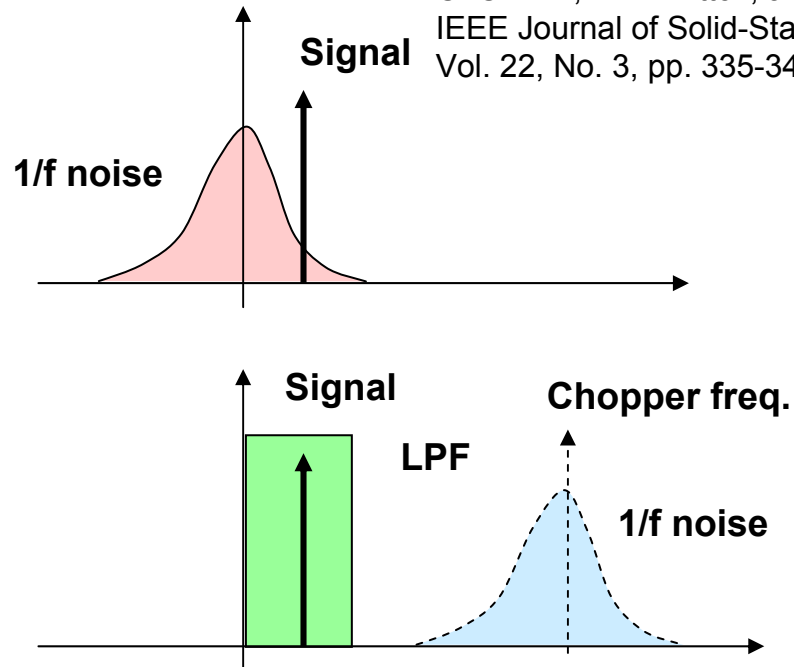


Chopper amplifier

Chopper technique is often used to reduce the effect of 1/f noise.



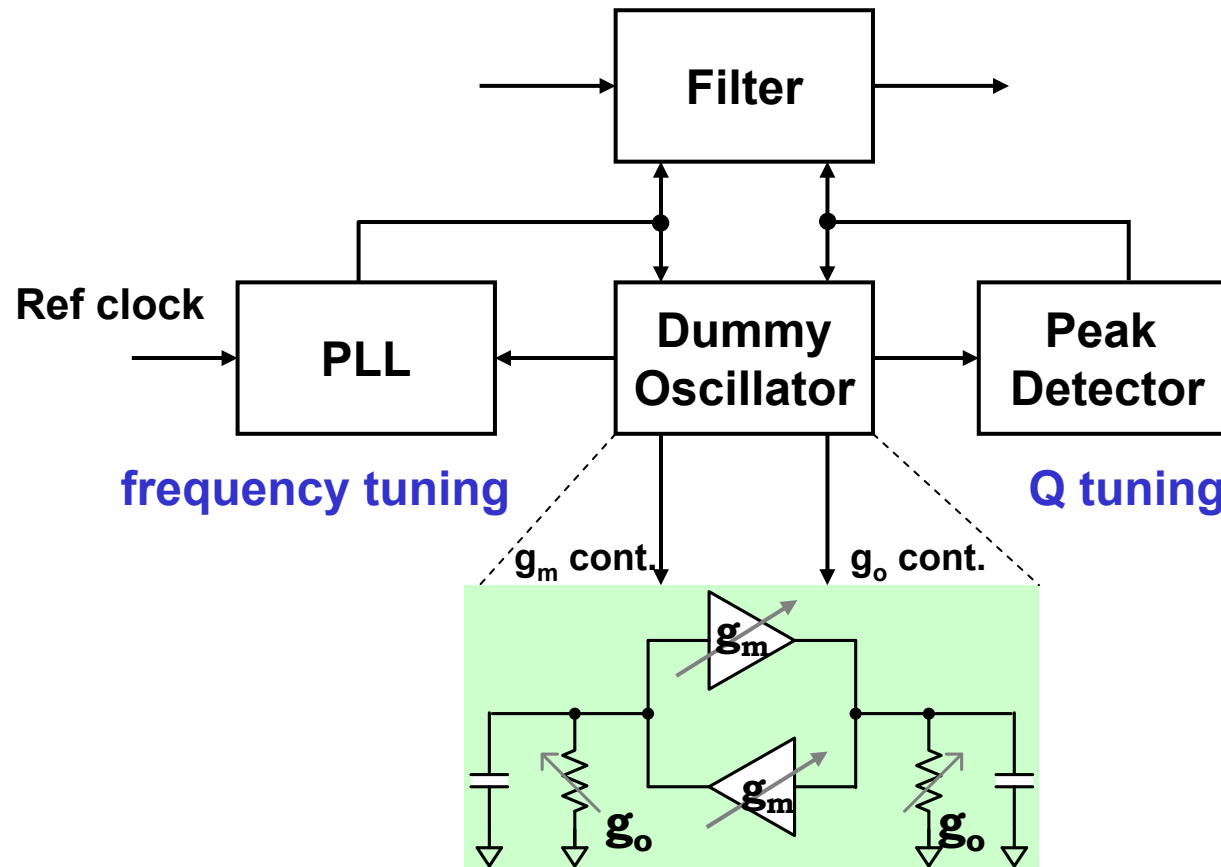
C. C. Enz, E. A. Vittoz, and F. Krummenacher,
IEEE Journal of Solid-State Circuits,
Vol. 22, No. 3, pp. 335-342, June 1987



$$S_{Nout}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{\substack{n=-\infty \\ n:\text{odd}}}^{\infty} \frac{1}{n^2} |G(f - nf_s)|^2 S_{Nin}(f - nf_s)$$

CT filter tuning

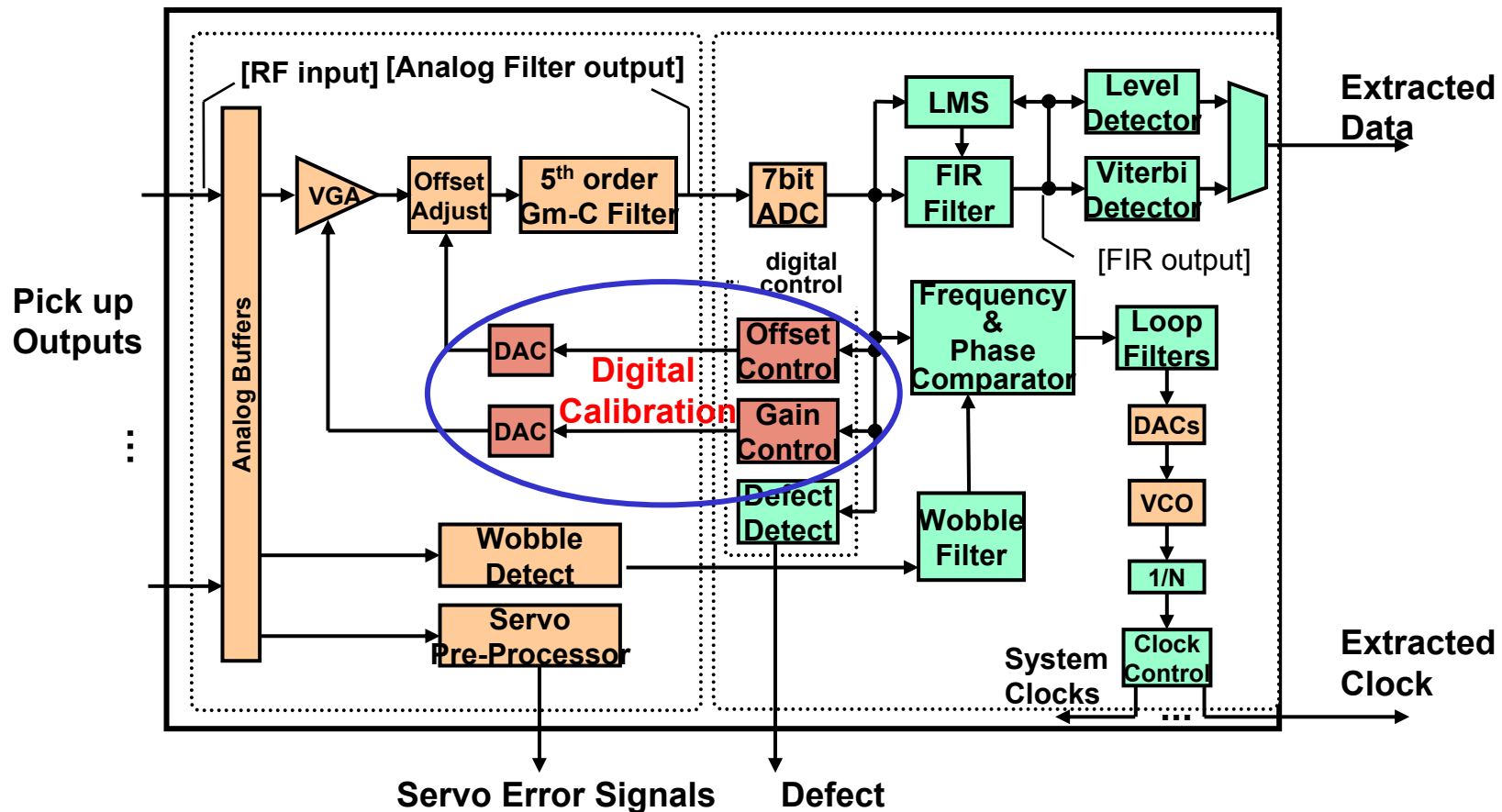
RC or gmC circuits can realize active filter circuits,
However, frequency characteristics and Q of the filter are strongly affected by
Absolute value of R, C, gm and PVT fluctuation.
Then, the filter tuning circuit is vital.
Filter circuit can be used as oscillator, if the Q become infinity.



Digital calibration in mixed signal SoC

To keep high production yield and stable operation against PVT fluctuation, mixed signal SoC has many digital self calibration circuits. MCU controls many analog parameters.

PRML circuit for DVD recorder



Issues of analog compensation techniques

- **Basically use discrete-time technology**
 - **Difficult to apply Continuous-Time circuits.**
 - **Needed clock causes another noise.**
- **Some need calibration period**
 - **At power on**
 - **Needs not short time to wait the system becomes stable.**
 - **Some different situation at the power on.**
 - **Idling time on the job**
 - **Can get sufficient time for calibration?**
 - **Too much system depended.**
- **Calibration on the job**
 - **Conventionally needs extra circuits.**
Cost and power consumption increase.
 - **Needs many calibration time, if statistical methods are used.**

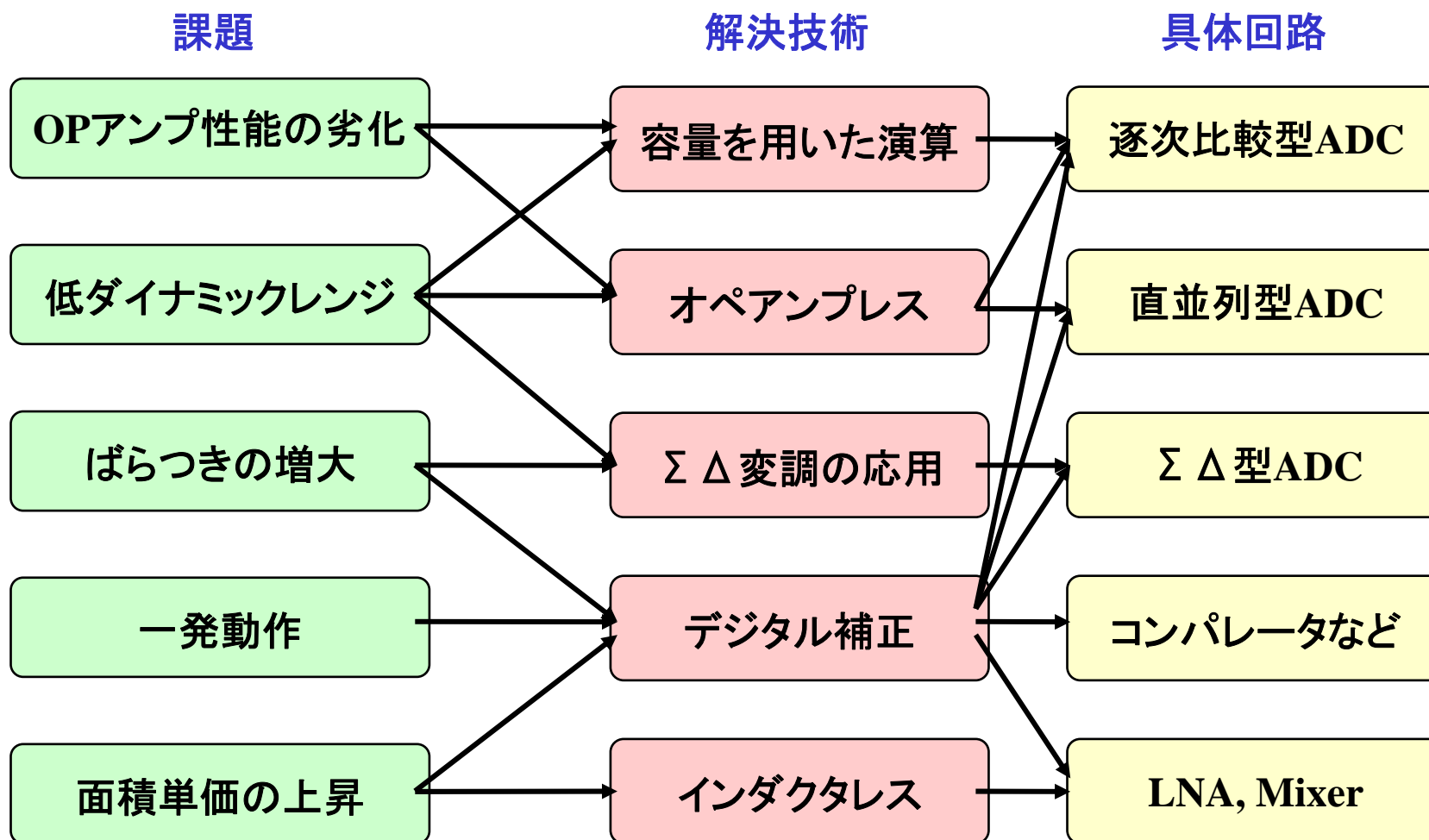
Conclusion

- **Analog circuits require compensation technique**
 - **Mismatch is inversely proportional to the square root of area.**

$$\Delta V_T, V_{n-1/f}, \left(\frac{\Delta C}{C}\right), \left(\frac{\Delta R}{R}\right) \propto \frac{1}{\sqrt{S}}$$

- **Control of absolute value of device parameters is difficult.**
 - **Also, device parameters are affected PVT fluctuation easily.**
 - **If not use of compensation techniques**
 - **Large area, large power consumption, poor frequency performance.**
- **Compensation techniques are very effective to improve precision of circuits, production yield, and durability to PVT fluctuations**
- **However, they have many issues**
 - **Basically DT method are used and difficult to apply CT circuits.**
 - **Need calibration periods**

微細プロセスを用いたアナログ回路の開発戦略



今までのまとめ

- ・ CMOSの微細化
 - 高周波化→60GHz応用が可能に
 - OPアンプ性能が課題に
 - ・ 低利得
 - ・ 低振幅
 - 低電圧・低振幅化→SNR確保のため容量増大
 - ・ 低SNR・低分解能については高速化・低電力化を促進
 - ・ 高SNR・高分解能については高速化・低電力化が困難
 - アナログ部の面積とコスト抑制が不可欠
 - ばらつきの抑制が課題
 - ・ 高精度化はコア面積増大と性能劣化をもたらす
 - デジタル補償技術が不可欠
 - ・ DAC, ADC
 - ・ イメージ信号抑制

A/D変換器

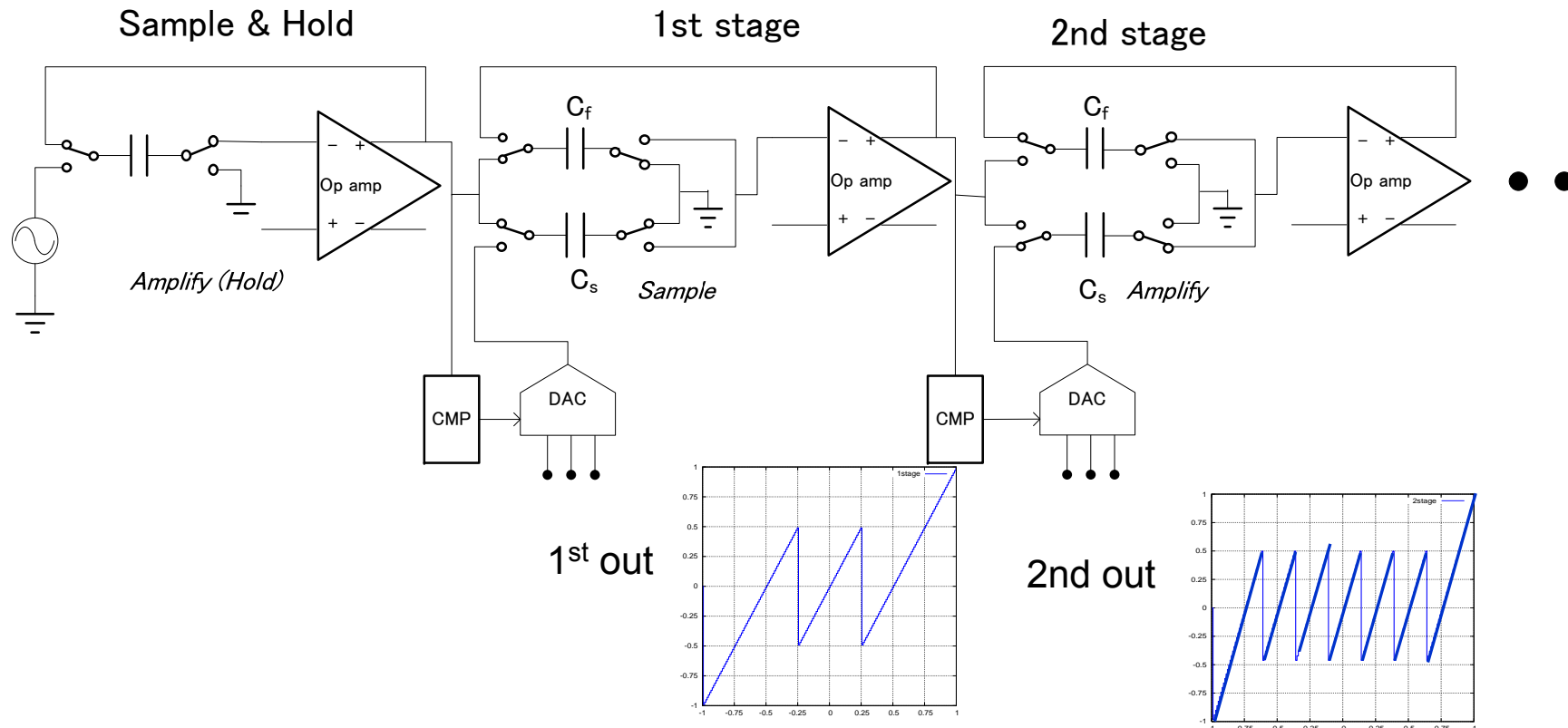
- ・パイプライン型ADC
- ・直並列型ADC
- ・逐次比較型ADC
- ・ $\Delta \Sigma$ 型ADC

ADCはOPアンプを用いない方式が検討されはじめている

パイプライン型ADC

現在の高速・高精度ADCの主流

- パイプライン型ADCは
- ・ 標本化
 - ・ 電圧比較 (ADC)
 - ・ 比較結果に応じたDAC電圧設定
 - ・ (信号-DAC電圧)の増幅(通常2倍)
- をパイプライン的に行う



OPアンプから比較器+電流源へ

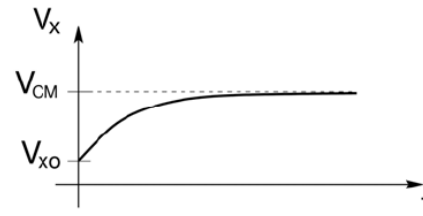
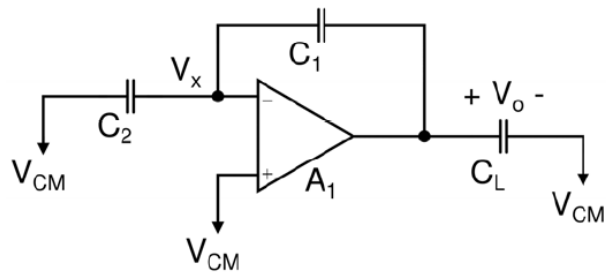
パイプライン型ADCは高利得のOPアンプが必要だが、微細化・低電圧化に伴い実現が困難に

$$G(\text{dB}) > 6N + 10 \quad \text{分解能14ビットでは94dB以上の利得が必要}$$

N:分解能

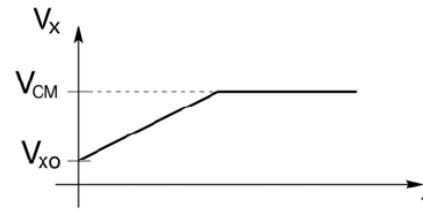
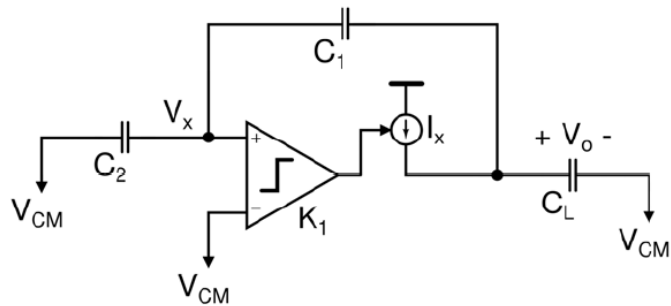
増幅回路1段あたり20dB程度、4段が上限なので12ビット以上は困難に

→OPアンプをやめて、その機能を比較器と電流源に置き換える



OPアンプの負帰還回路は
入力が仮想接地になる。
出力は V_x が V_{CM} 漸近するように
決まる。

従来のOPアンプ回路

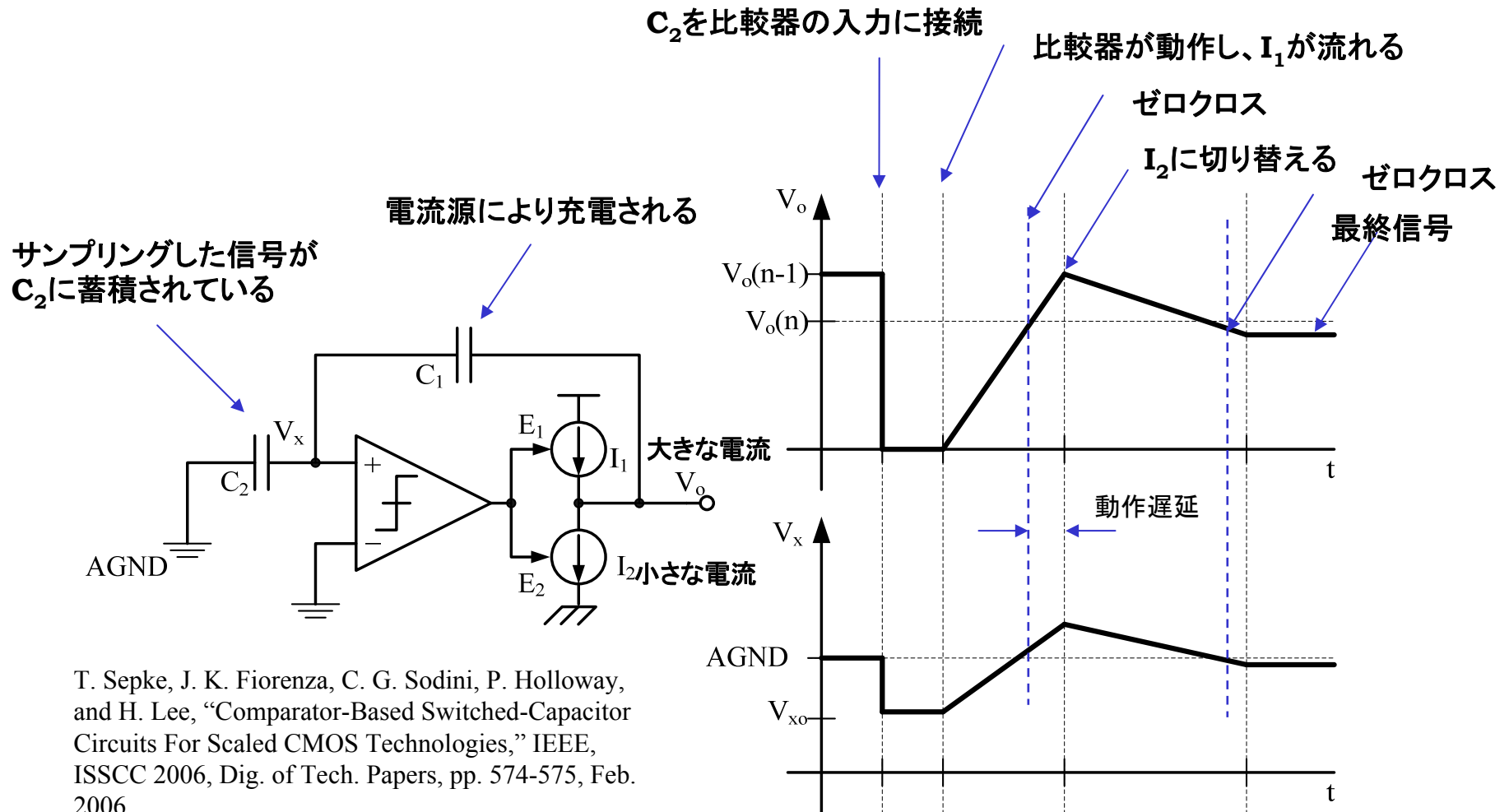


Comparator-Based Switched-Capacitor

コンパレータのディレイが無いと
仮定すれば、 $V_x = V_{CM}$ となる時点で
出力が決定される。
OPアンプの負帰還回路と同様な
動作が可能。

ADCへの応用

比較器と大・小2つの電流源を用いることで
比較器の動作遅延による誤差を少なくなるようにしている。

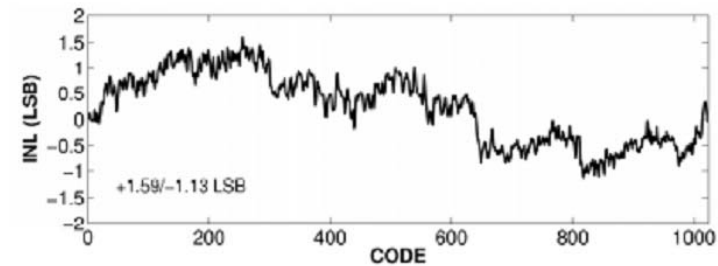
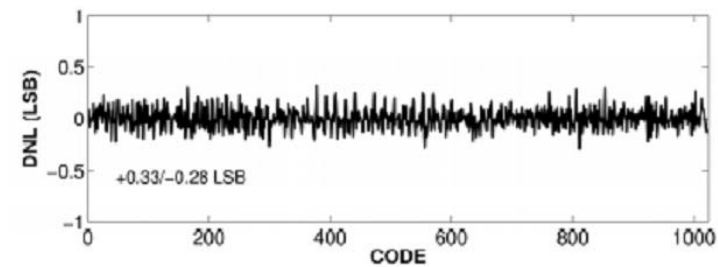
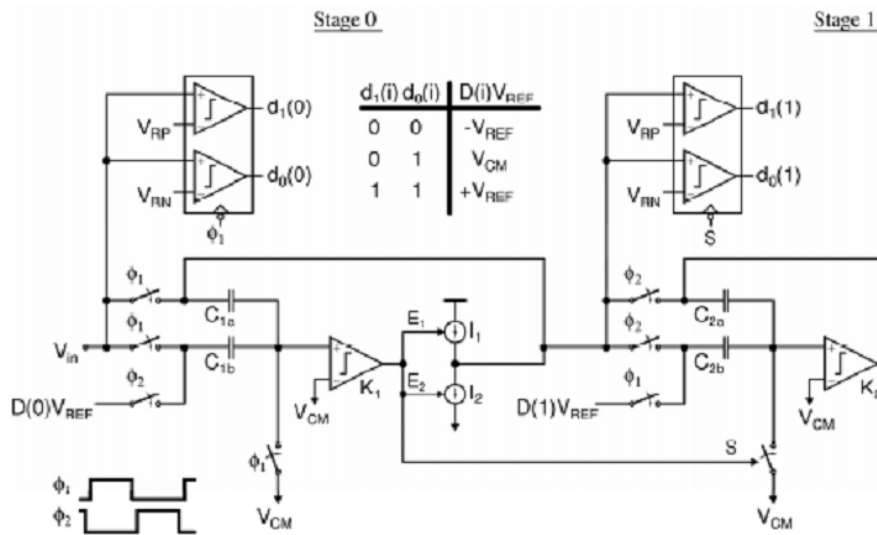


構成と試作結果

分解能10bitのパイプライン型ADCを設計・試作。
8MHz動作時の消費電力は2.5mW, FoM=0.3pJ/b

FoMは低いが、驚くほど低くはない

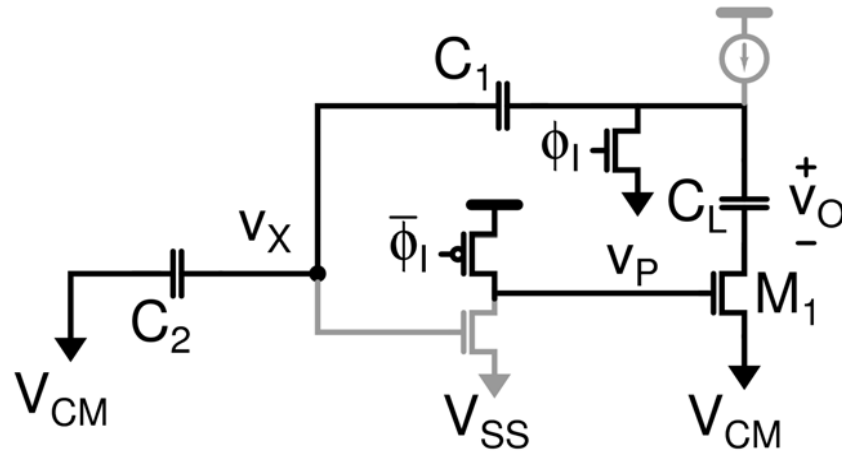
全体構成 1.5bit冗長型
分解能10bit



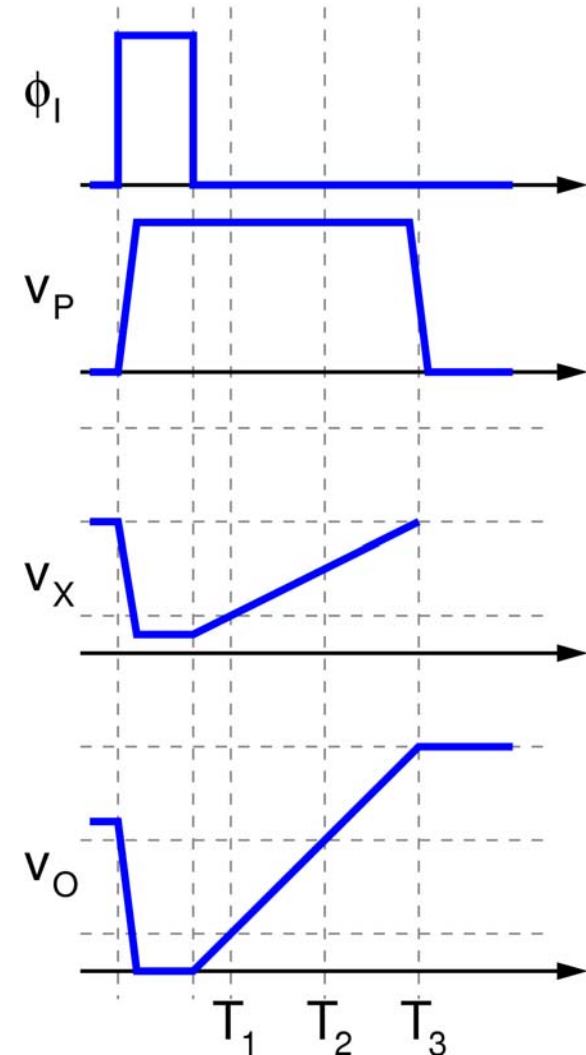
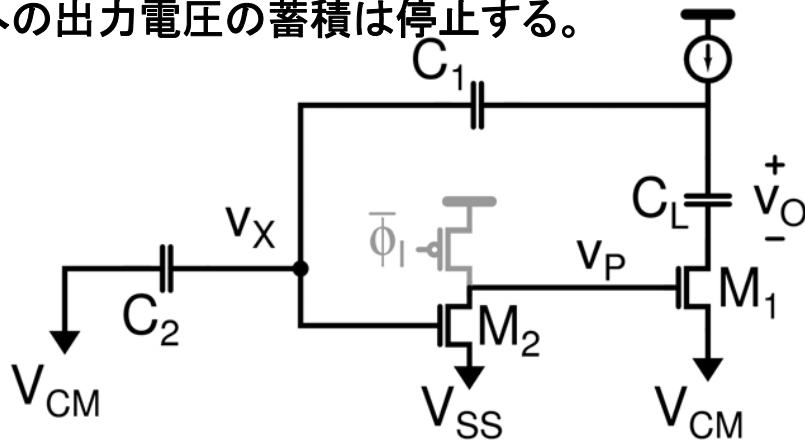
ダイナミック型比較器の採用

貫通電流が流れない比較器の採用で更に低電力化を図る

$V_x < V_T$ においては M_2 はオフ、 M_1 はオンとなり、 C_1 は電流源で充電され、出力電圧は C_L に蓄えられる。

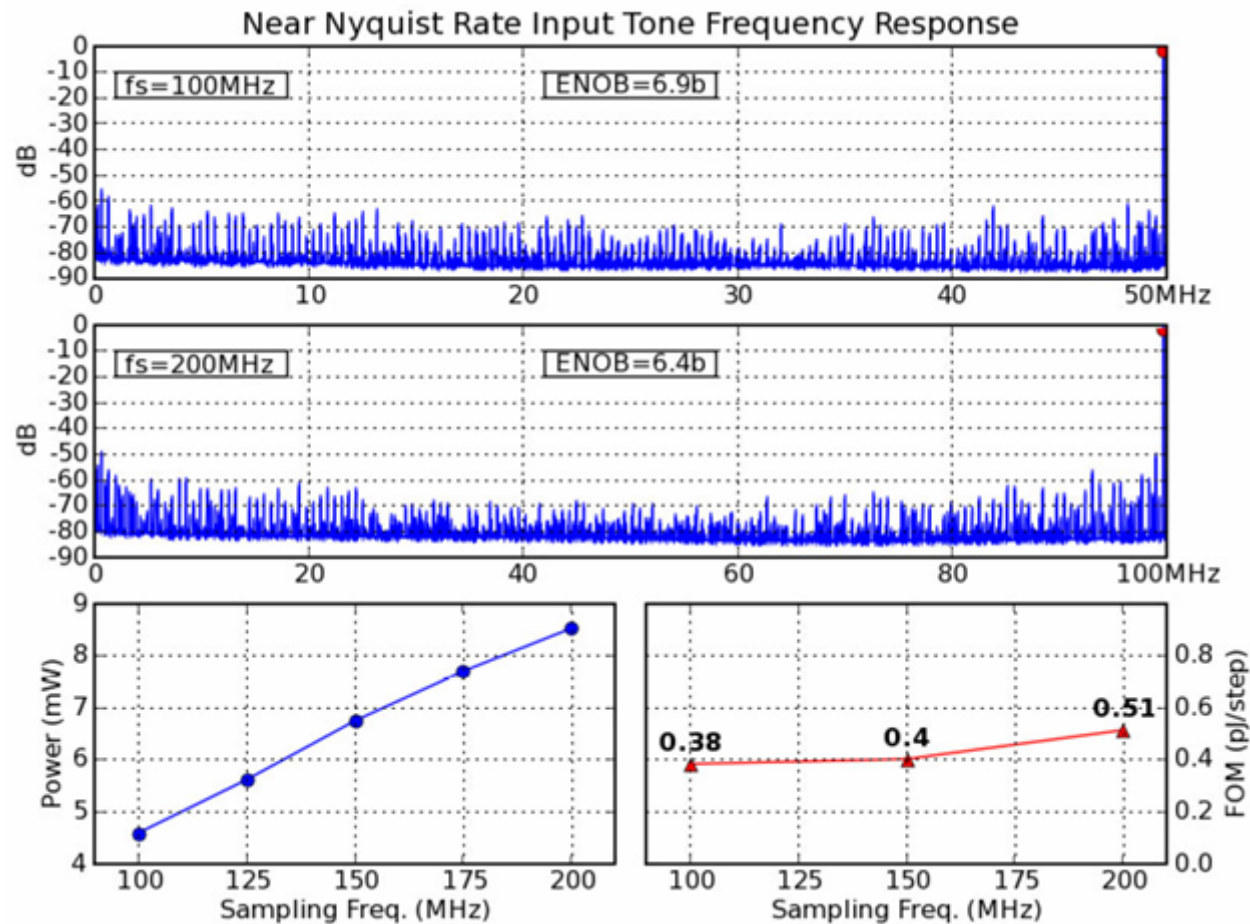


$V_x > V_T$ においては M_2 はオン、 M_1 はオフとなり、 C_L への出力電圧の蓄積は停止する。



得られた性能

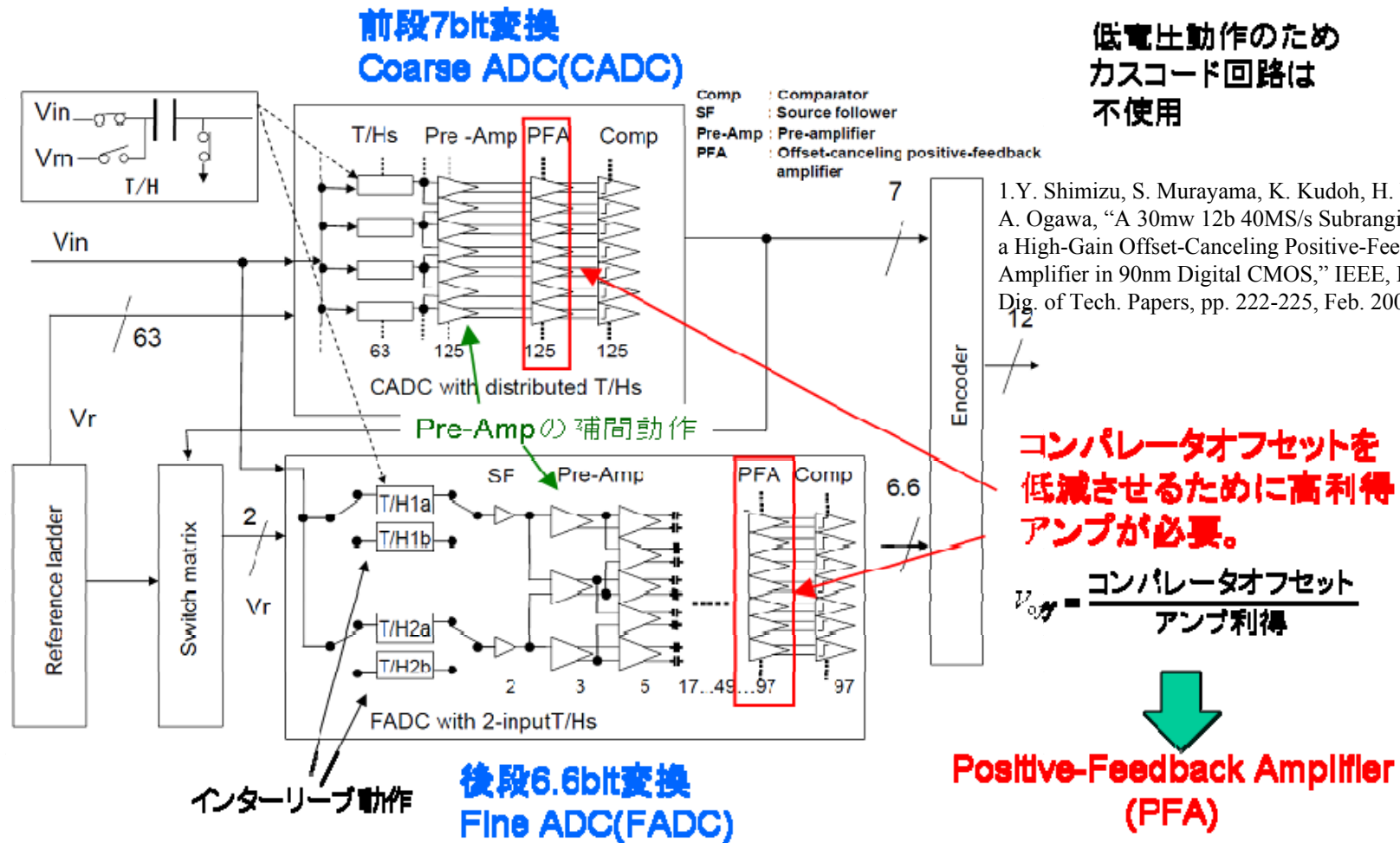
8bit ADCを設計・試作。200MHzにて有効ビット6.4bit Pd=9mW
FoMは0.5pJ/stepが得られた。



L. Brooks and H. Lee, "A Zero-Crossing-Based 8b 200MS/s Pipelined," IEEE, ISSCC 2007, Dig. of Tech. Papers, pp. 460-461, Feb. 2007.

直並列型ADC

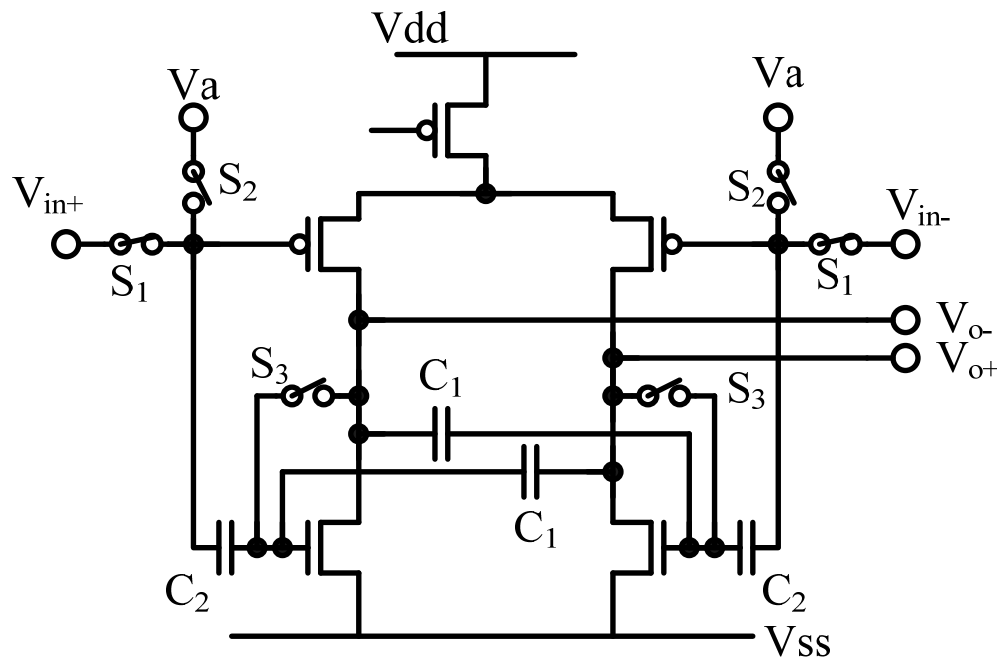
直並列型ADCはOPアンプを用いないので低電力だが比較器の高精度化が不可欠である



I.Y. Shimizu, S. Murayama, K. Kudoh, H. Yatsuda, and A. Ogawa, "A 30mw 12b 40MS/s Subranging ADC with a High-Gain Offset-Canceling Positive-Feedback Amplifier in 90nm Digital CMOS," IEEE, ISSCC 2006, Dig. of Tech. Papers, pp. 222-225, Feb. 2006.

正帰還を用いた比較器

従来の回路では15倍の利得しか得られないが
正帰還により200倍まで向上
→オフセット電圧が減少



Reset時

S1が開、S2, S3が閉。
T3, T4がダイオード接続され、
C1, C2にオフセット電圧がストアされる。

Amp時

S1が閉、S2, S3が開。
C2によりDCシフトされながら、
T1, T3及びT2, T4をドライブできる。
更にC1により正帰還がかかり利得が上がる。

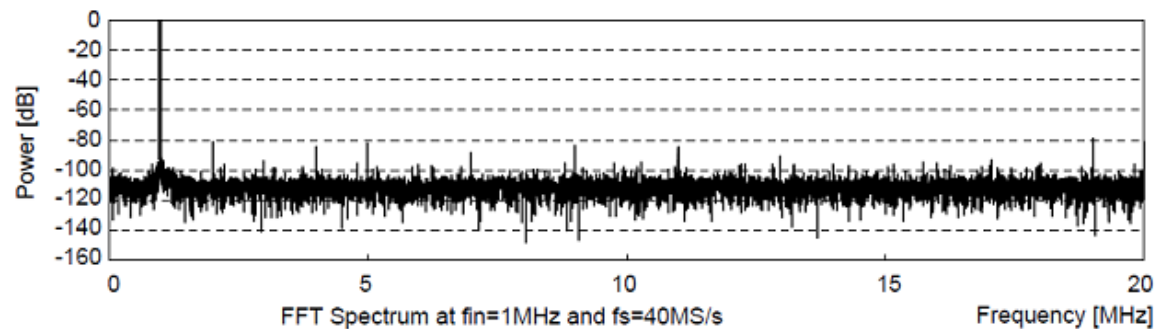
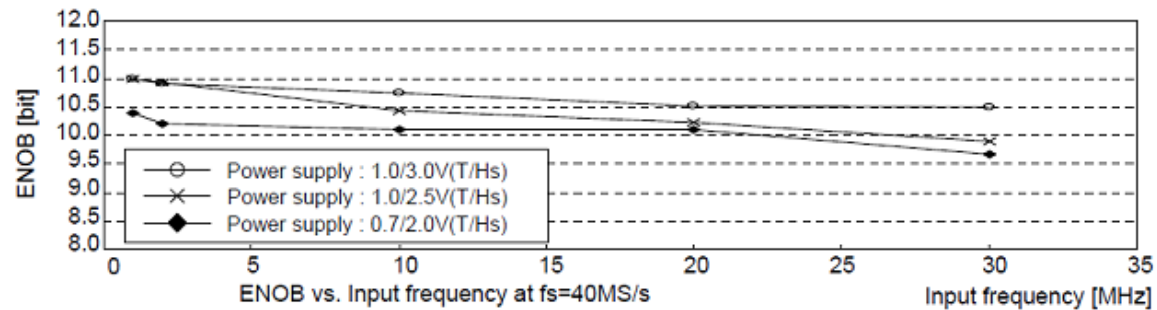
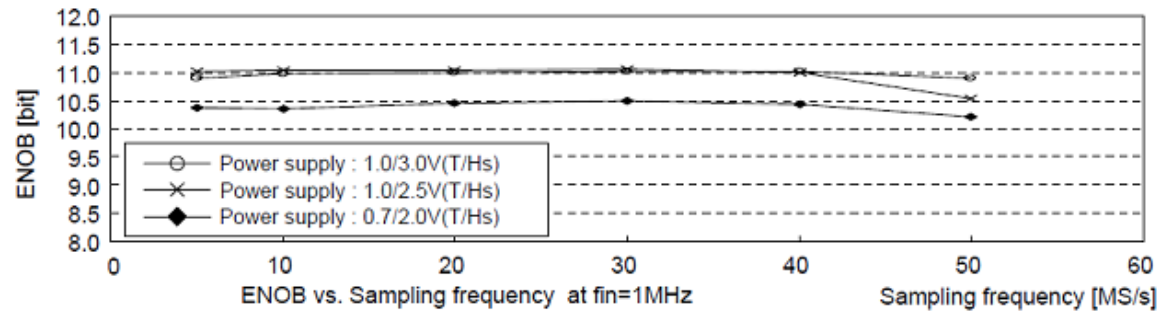
評価結果

10.5から11.0の高い有効ビットを実現。
40MHz動作時に30mWの消費電力

90nm CMOS 1V動作

0.4pJ/step

高分解能の割には低電力



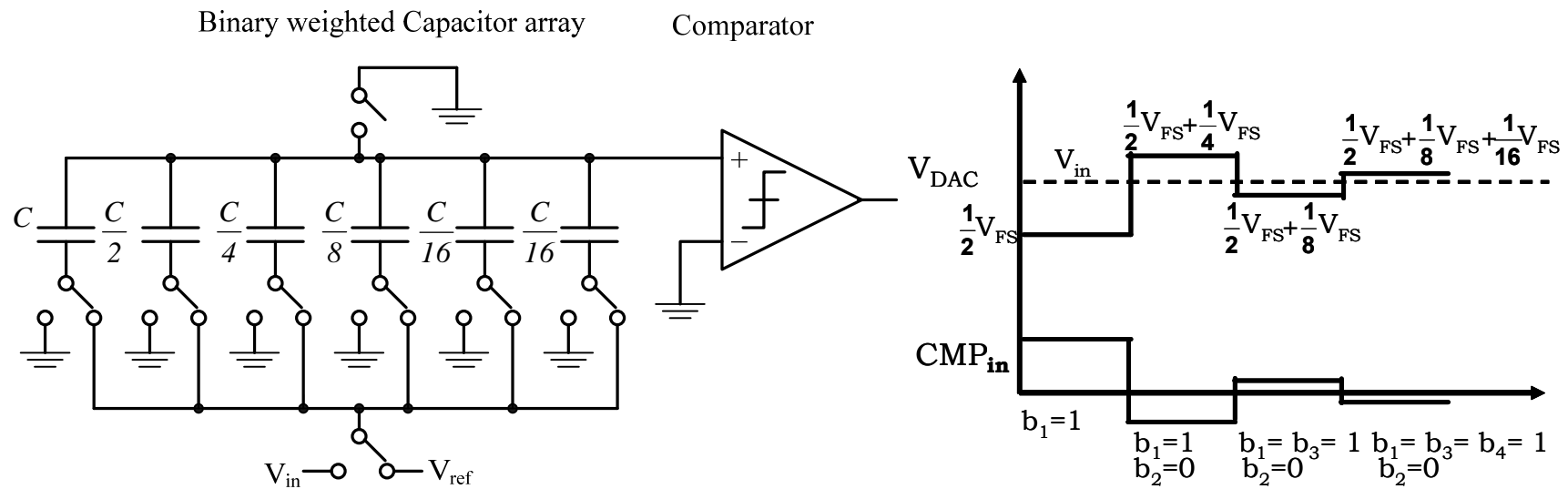
逐次比較型(SA型)ADCの革新 (低 FoM ADC アーキテクチャ)

逐次比較型 ADC

バイナリサーチのアルゴリズムを用いたものが逐次比較型ADCである。

OPアンプを用いないので元々低電力であるが
高速化・高精度化が必要

- ・比較的高精度 16bit程度
- ・低消費電力(OPアンプを使用しない)
- ・低速(マルチサイクル)



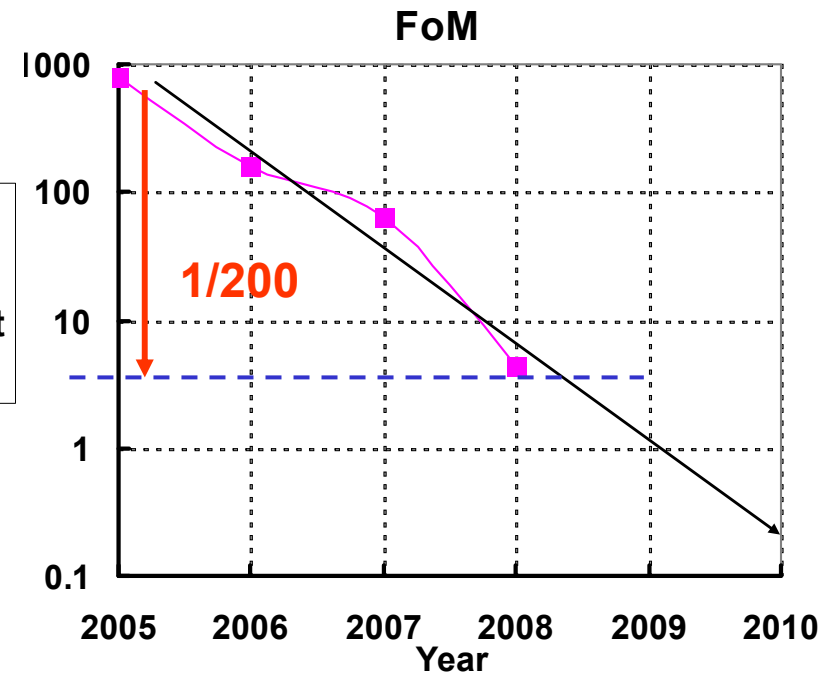
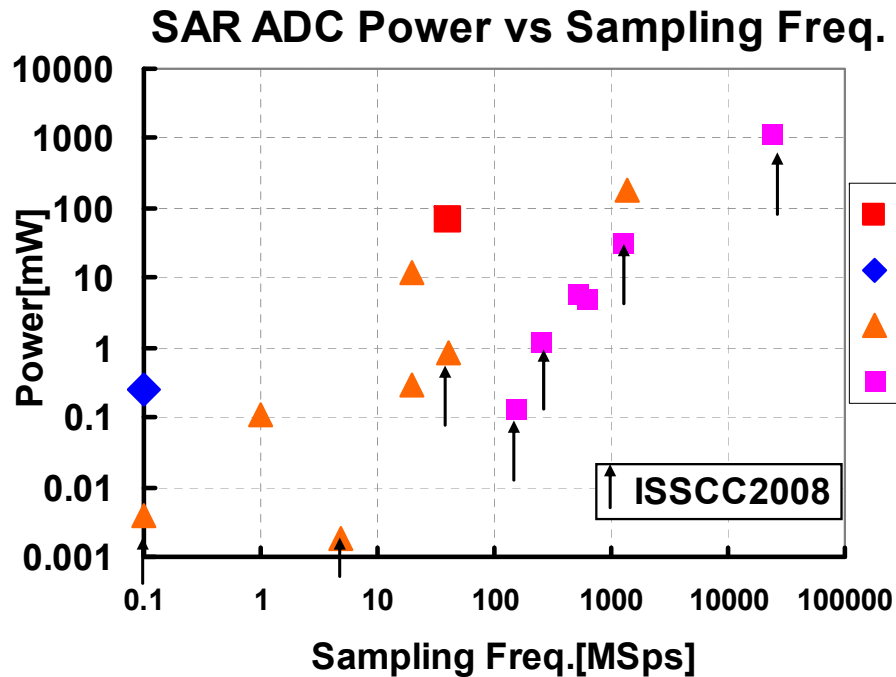
SA ADCの性能

SA ADCは高分解能から高速まですべての領域で開発が進められている。
FoMは3年間で1/200まで低下した。

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

Courtesy Y. Kuramochi

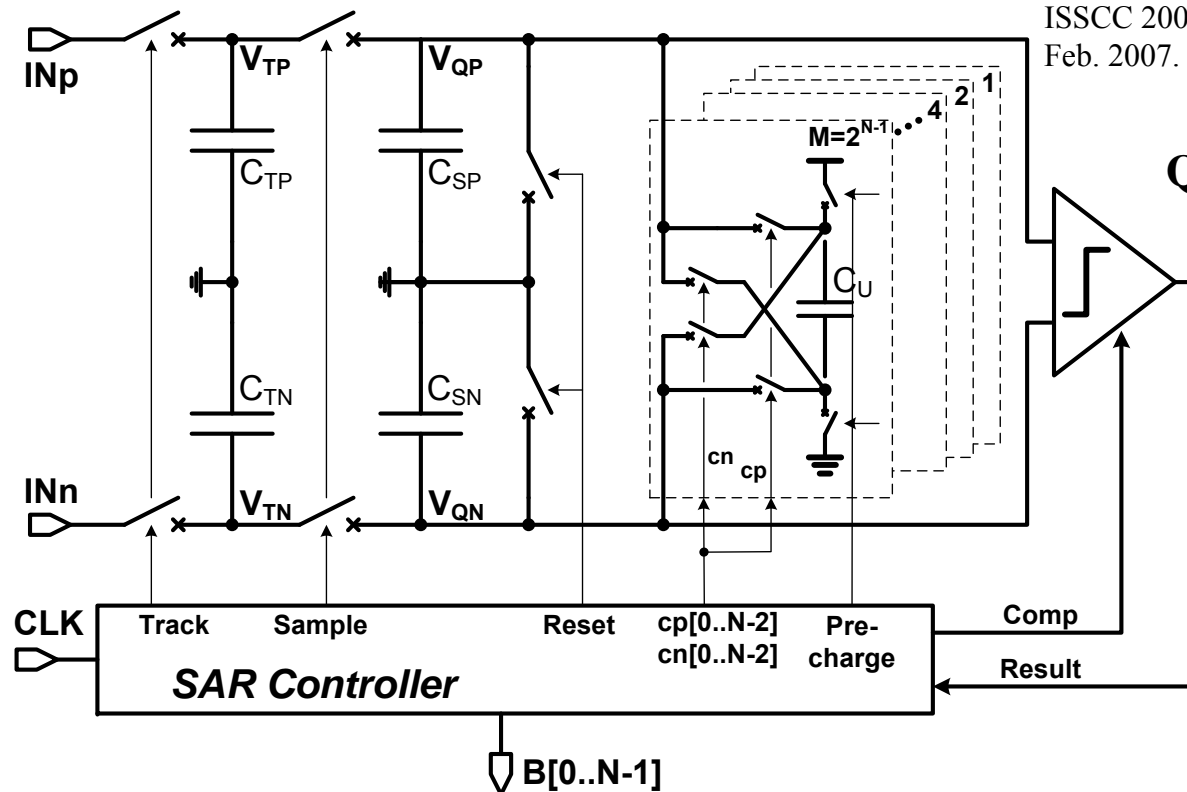
3年間で FoMは 1/200に減少



65fJ/conv. を達成した逐次比較型ADC

あらかじめ参照電圧を重み付けされた容量に保存しておき
 V_{QP} , V_{QN} 間を比較して極性を変えながら接続することで逐次比較を実現する。
 参照電圧の逐次印加が不要なのでセットリングが速く、バッファが要らないので低電力

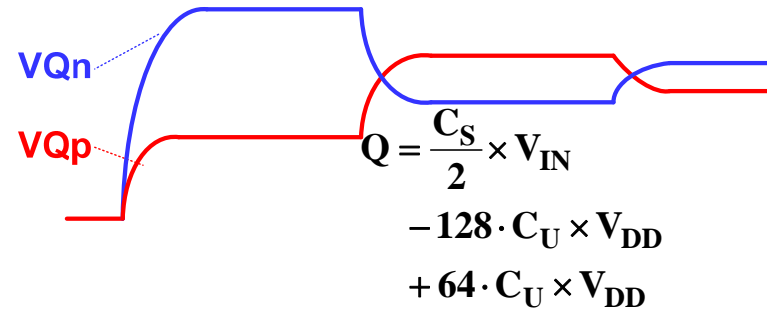
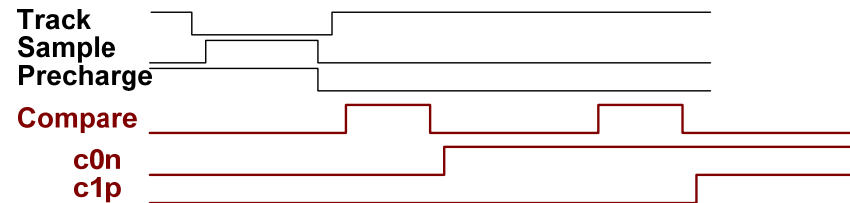
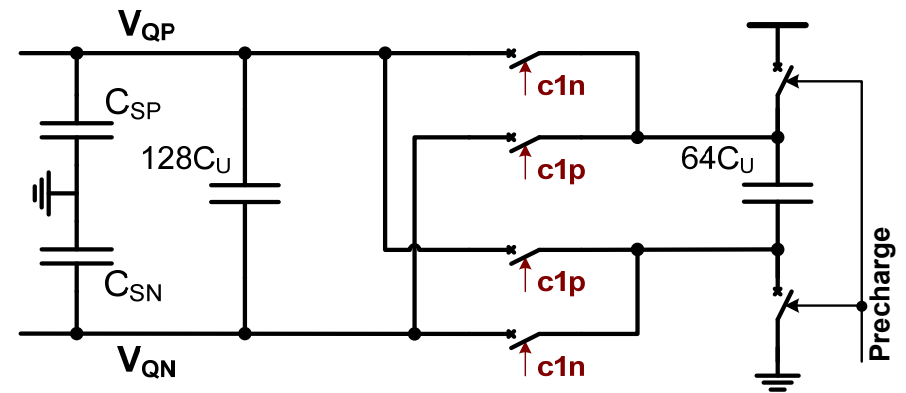
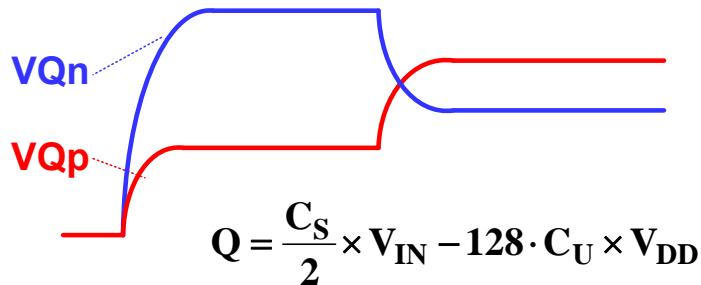
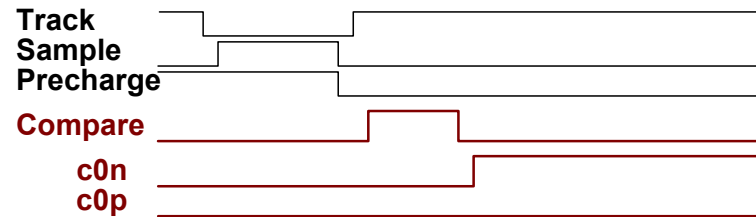
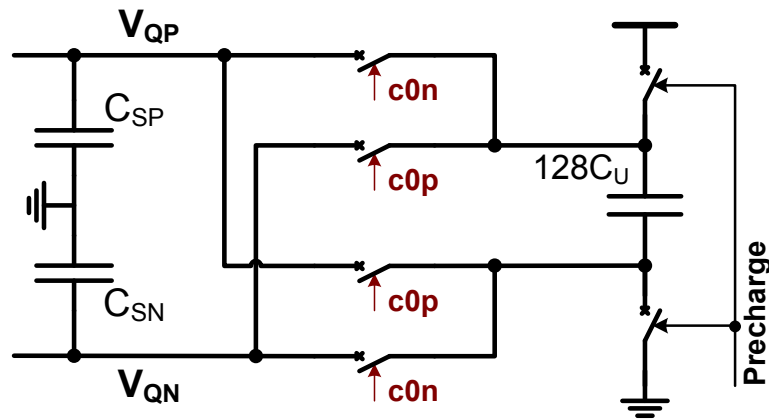
J. Craninckx and G. Van der Plas,
 "A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," IEEE
 ISSCC 2007, Dig. of Tech. Papers, pp.246-247,
 Feb. 2007.



$$Q_{REF} = \sum_i 2^i C_U \cdot V_{DD}$$

逐次変換の方法

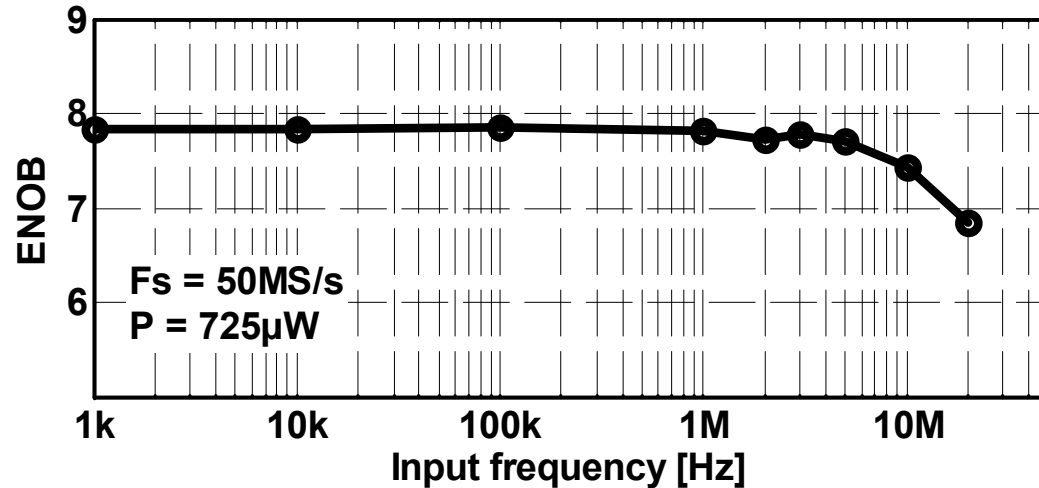
1. 差動入力信号を C_{sp} , C_{sn} に保存し、 V_{QP} , V_{QN} 間を比較してMSBを決定する。
2. MSBの状態に応じて容量 $128C_U$ の接続極性を切り替えて C_{sp} , C_{sn} に接続
3. 減少した差動電位を比較してMSB-1 bitを決定、以下繰り返す



± ...

評価結果

FoM=65fJ/stepの驚異的な低FoMを達成



変換周波数20MHzで
ナイキスト周波数まで
7.8bitの有効ビットを達成

20MHzで0.3mW
FoM=65fJ/stepの驚異的な低FoMを達成

90nm CMOS 1V動作

ISSCC06 Paper #	Arch.	Fs [MS/s]	ENOB	P [mW]	FoM [fJ]	FoM includes		
						Ref.	Clock	Dec.
3.1	CTΔΣ	40	12	50	300	-	Yes	Yes
3.4	ΔΣ	4.4	12.6	13.8	500	-	No	No
12.1	PL	100	9.4	39	570	-	-	-
12.3	Subr.	50	10.4	30	440	-	-	-
12.4	PL-CBSC	7.9	8.7	2.5	760	-	-	-
12.5	SAR	0.1	10.5	0.025	170	No	No	-
12.7	PL	50	9.2	15	510	-	-	-
31.1	Flash	1250	3.7	2.5	160	-	-	-
31.5	SAR	300	5.3	2.65	220	No	Yes	-
This work	CS-SAR	20	7.8	0.29	65	Yes	Yes	-

世界最小の FoM を達成した ADC

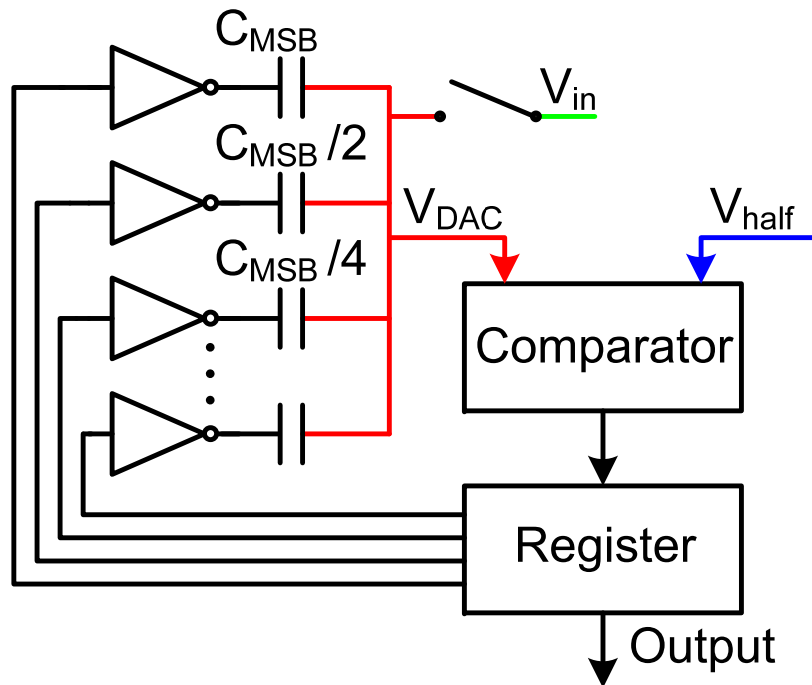
断熱充電技術により驚異的な FoM= 4.4fJ/Conv-step. を達成した

M. van Elzaker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B. Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

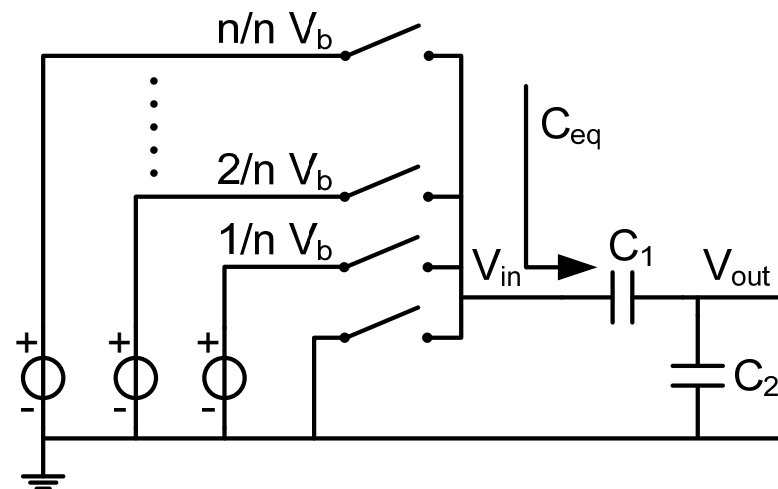
Multi-step charging can reduce energy more

$$E_{\text{diss}} = n \cdot \frac{1}{2} \cdot C_{\text{eq}} \cdot \left(\frac{V_b}{n} \right)^2 = \frac{1}{n \cdot 2} \cdot C_{\text{eq}} \cdot V_b^2$$

Simple SA architecture



Multi-step charging (断熱充電)

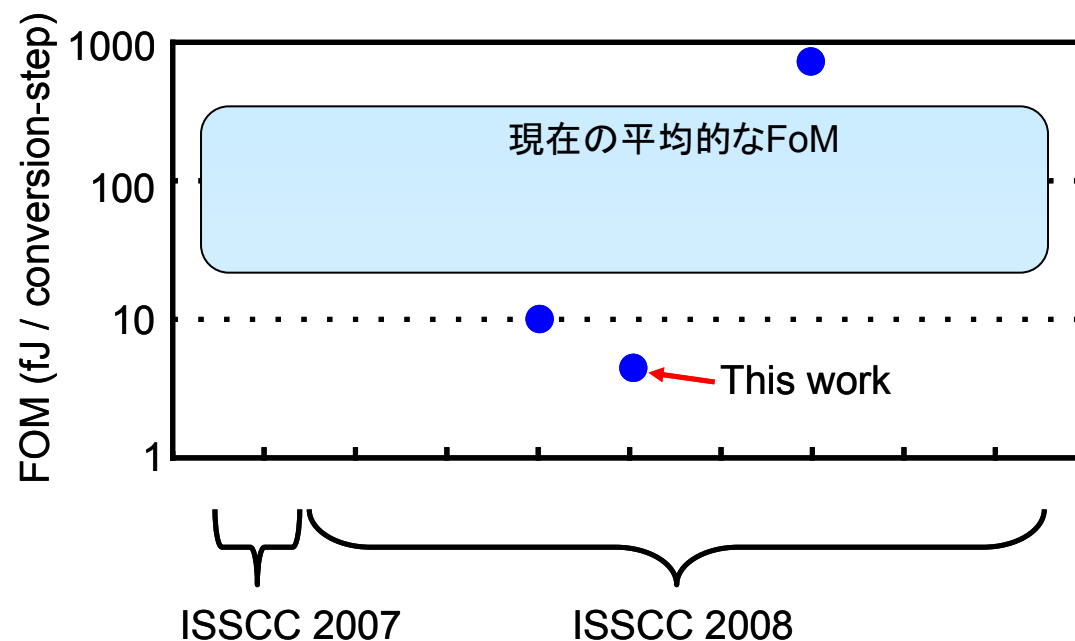


得られた性能

驚異的な FoM, 4.4fJ/conv-step. を達成した。

1.9uW, 10bit, 1MSps @ 90nm CMOS

	Average
SNR (dB)	55.6
THD (dB)	-61.1
DNL (LSB)	0.49
INL (LSB)	2.24
SNDR (dB)	54.4
ENOB (bit)	8.75
$E_{\text{conversion}}$ (pJ/conversion)	1.9
Figure Of Merit (fJ / conversion-step)	4.42

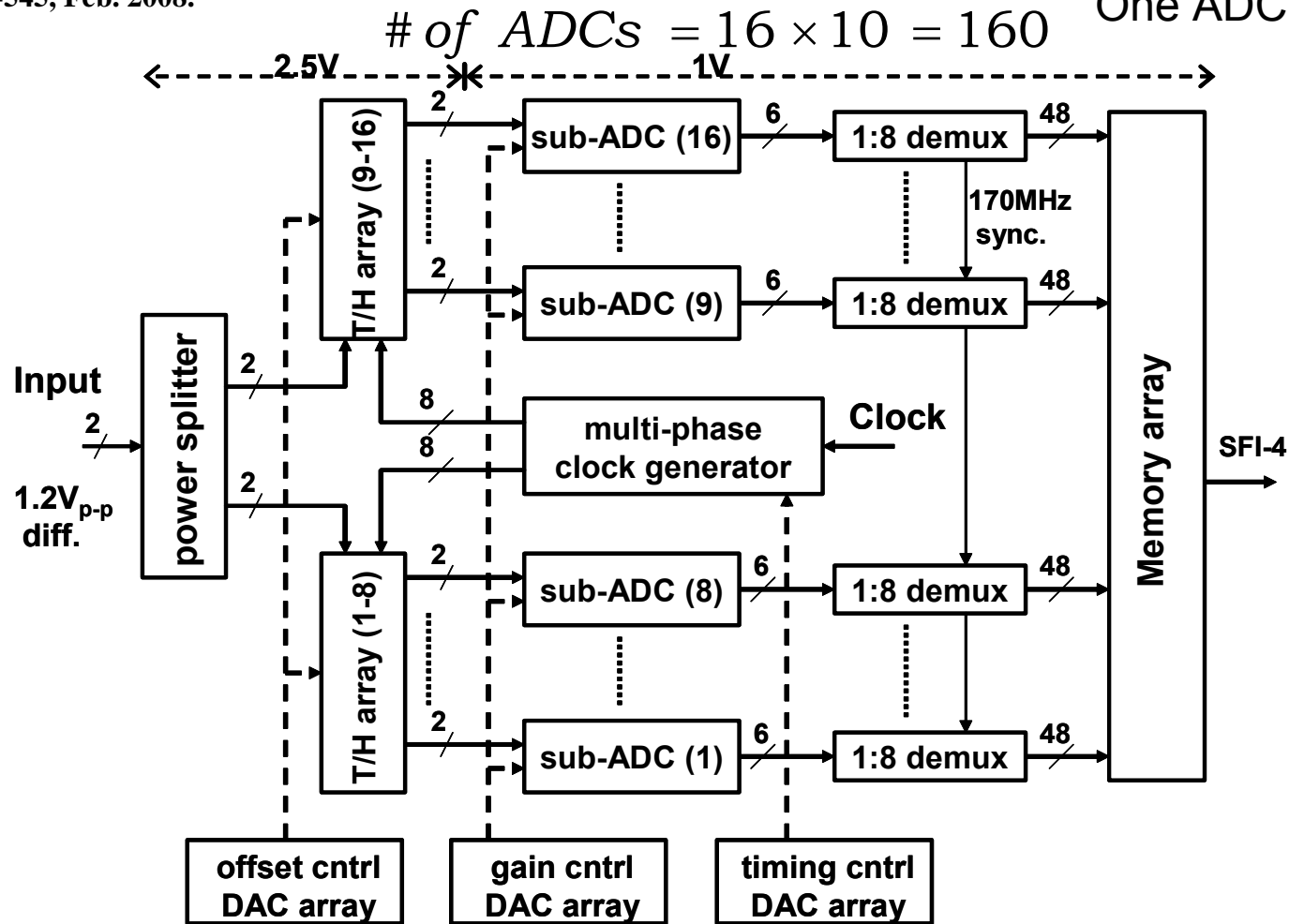


SA-ADCを並列動作:24GS/sの超高速ADC

P. Schvan, et. al., "A 24GS/s 6b ADC in 90nm CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.544-545, Feb. 2008.

160 6b SA ADCs realize 24GS/s conversion

One ADC: 150MS/s

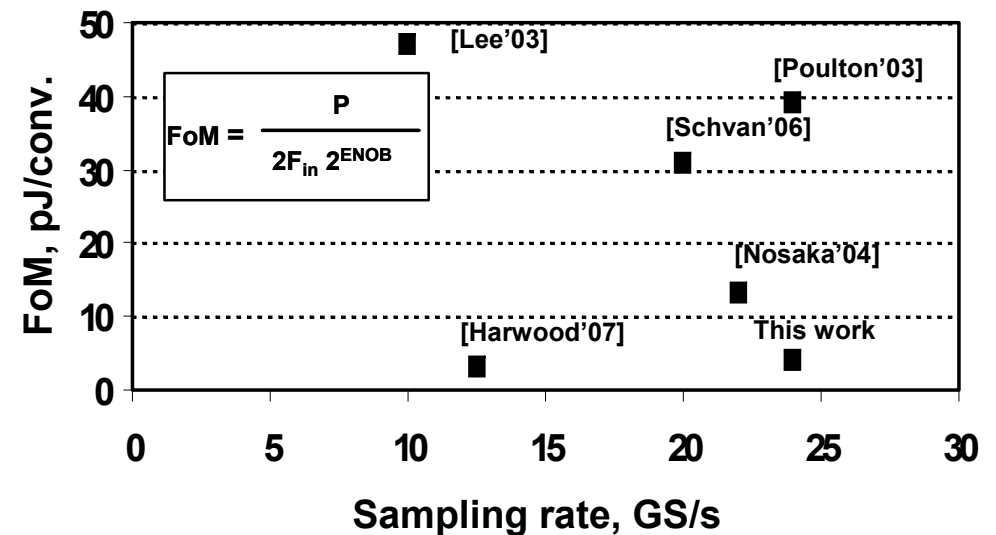


得られた性能

Packaged ADC performance

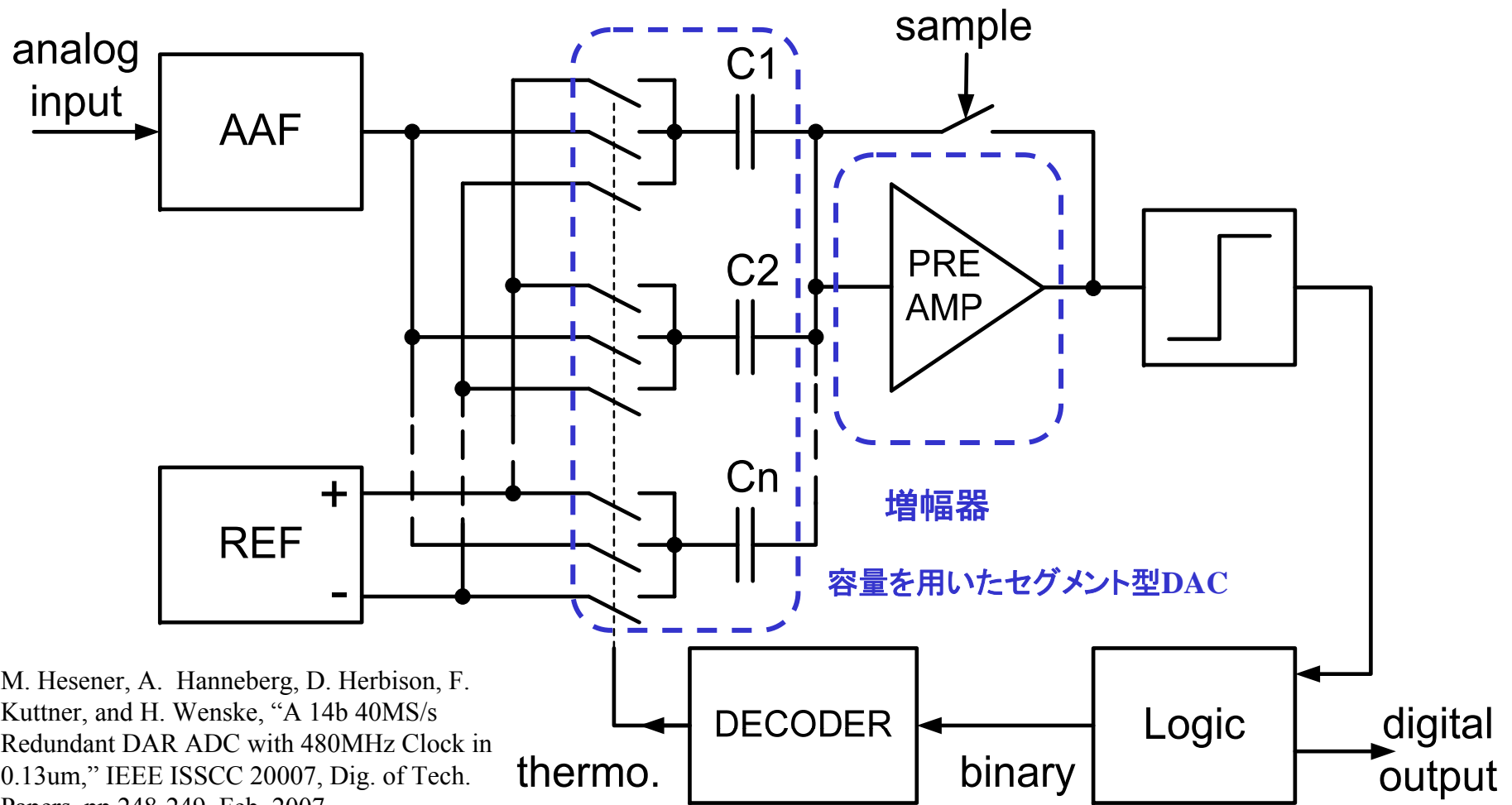
Resolution	6 bits
Conversion rate	0.1 - 24GS/s
Input range	1.2V_{p-p} diff.
ENOB	
average cal / cal each freq	4.2/4.8, $F_{in} = 8\text{GHz}$ 3.5/4.1, $F_{in} = 12\text{GHz}$
SFDR	40dB @ 8GHz 35dB @ 12GHz
Power	1.2W @ 1V and 2.5V
ADC core	4 x 4 mm²
Process	90nm CMOS

24GS/sの超高速動作は素晴らしいが、
FoM=3pJ/convは低くない
1pJ/conv.程度が欲しい。
並列動作のオーバーヘッドが大きい



セグメントDACと増幅器を用いた逐次比較型ADC

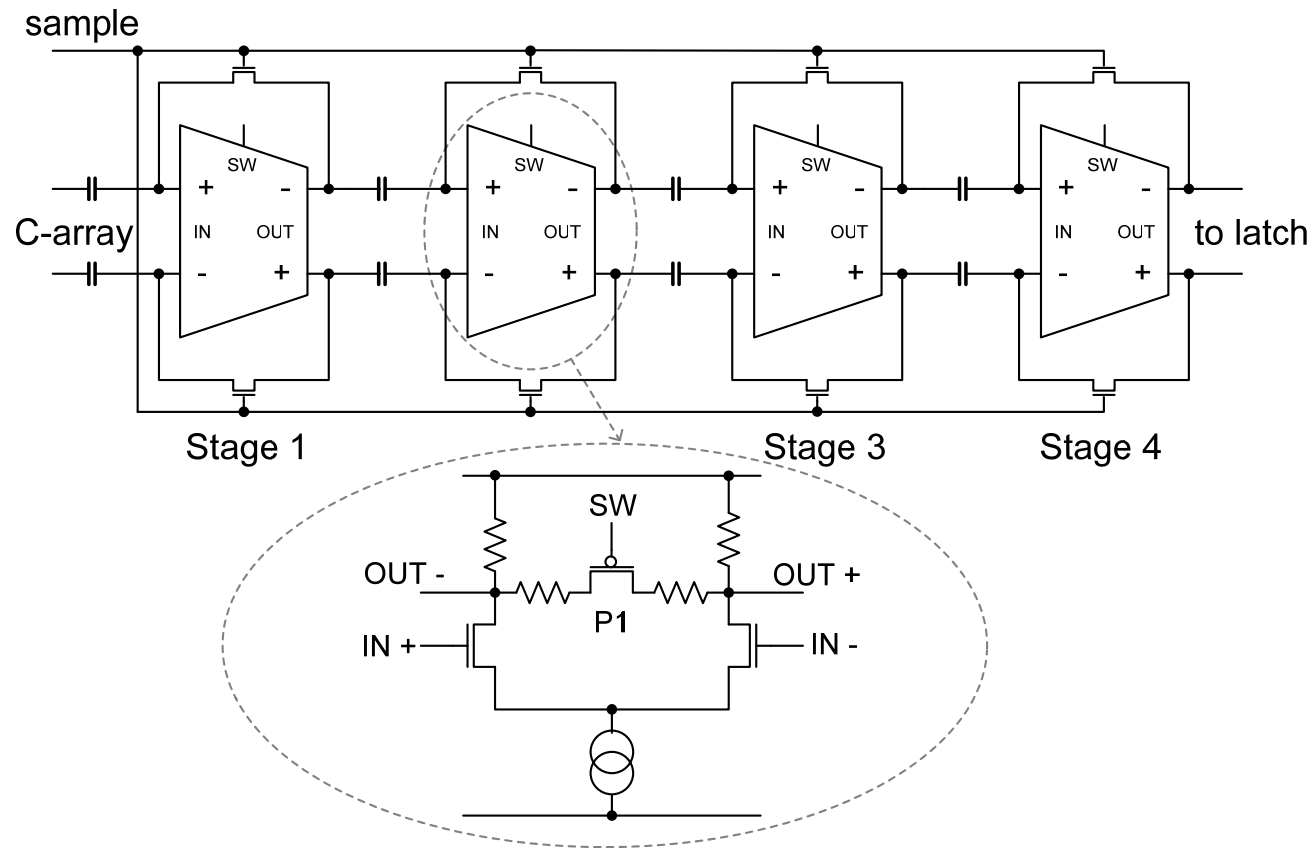
高精度化のために比較器の前に増幅器を配した
セグメント型容量アレーにより単調性を確保



M. Hesener, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, "A 14b 40MS/s Redundant DAR ADC with 480MHz Clock in 0.13um," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.248-249, Feb. 2007.

利得と帯域を可変にした増幅器

スイッチ電圧を制御することで利得と帯域を可変にできる。
→変換の初期フェーズでは利得を小さくして高速性を追求。
変換が進むに従い利得を大きくして変換精度を高めている。



評価結果

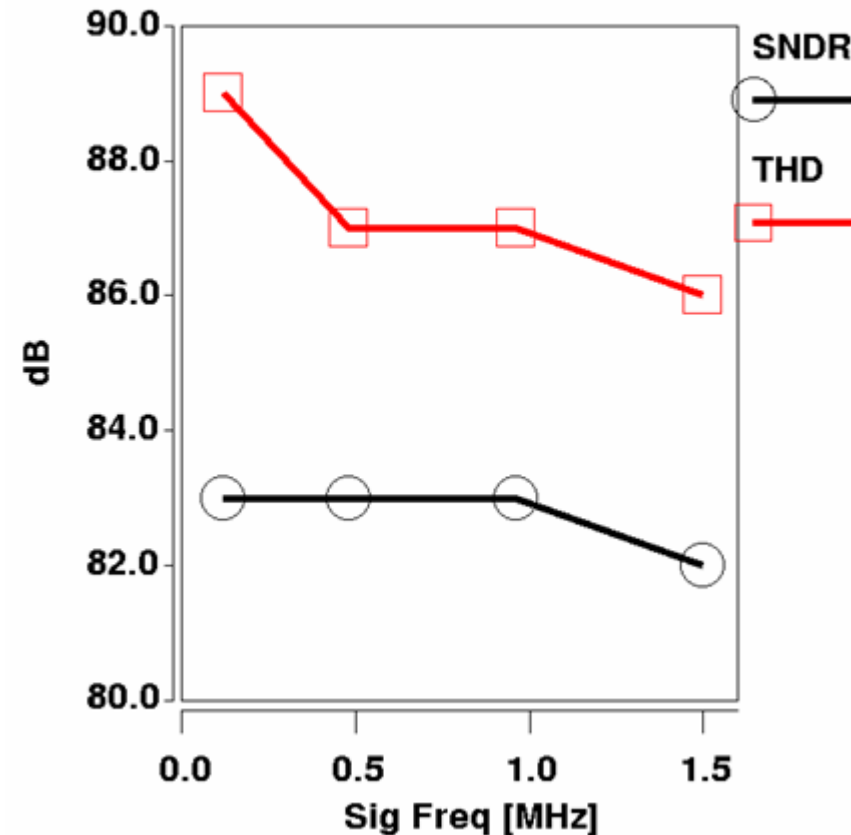
変換周波数40MHzにて実効分解能13.5bitを66mWで達成
(非常に完成度が高い発表である)

FoM=0.14pJ/step

0.13um CMOS

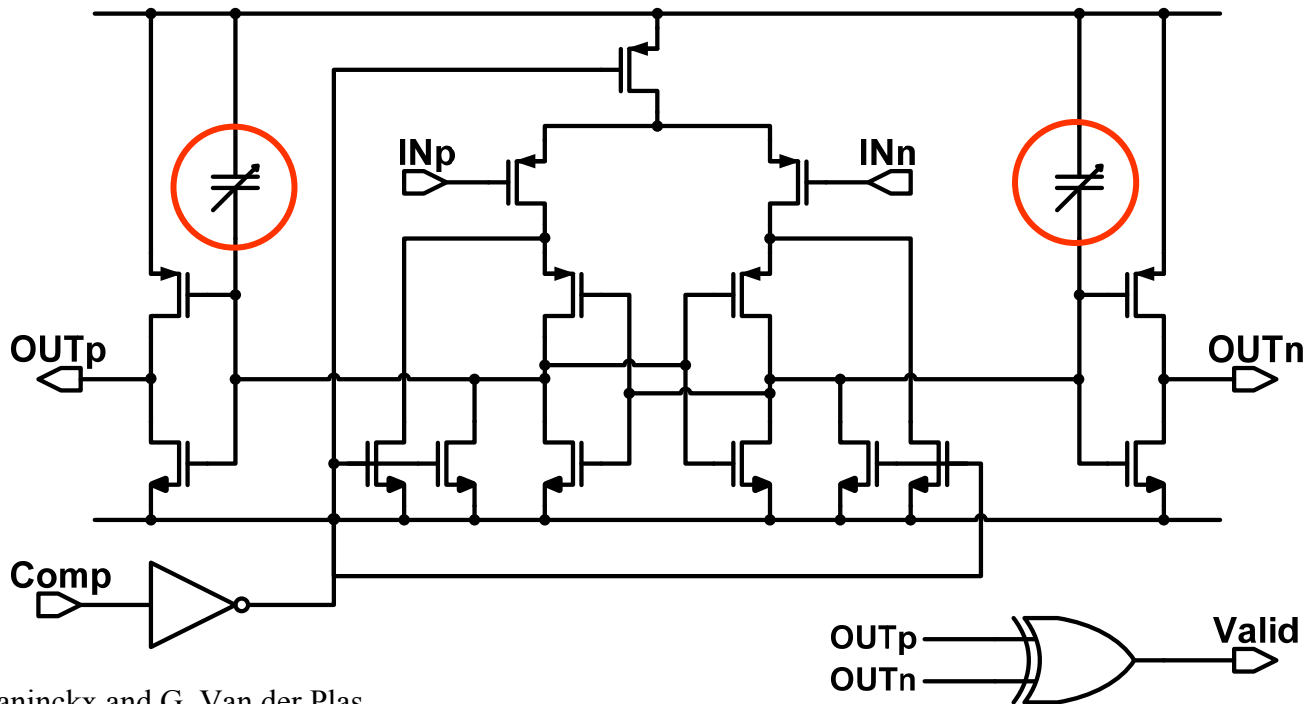
Supply voltage	1.5V
Input range	±0.9V diff.
Sample frequency	40MHz
Internal clock frequency	480MHz
Analog power	49mW
Digital power	17mW
Total power	66mW

THD & SNDR vs. Signal Frequency



ダイナミック型比較器とオフセット補正

最近よく用いられる比較器は定常電流が流れないタイプである。
容量アレーによる容量切り替えによりオフセット電圧を補償している。



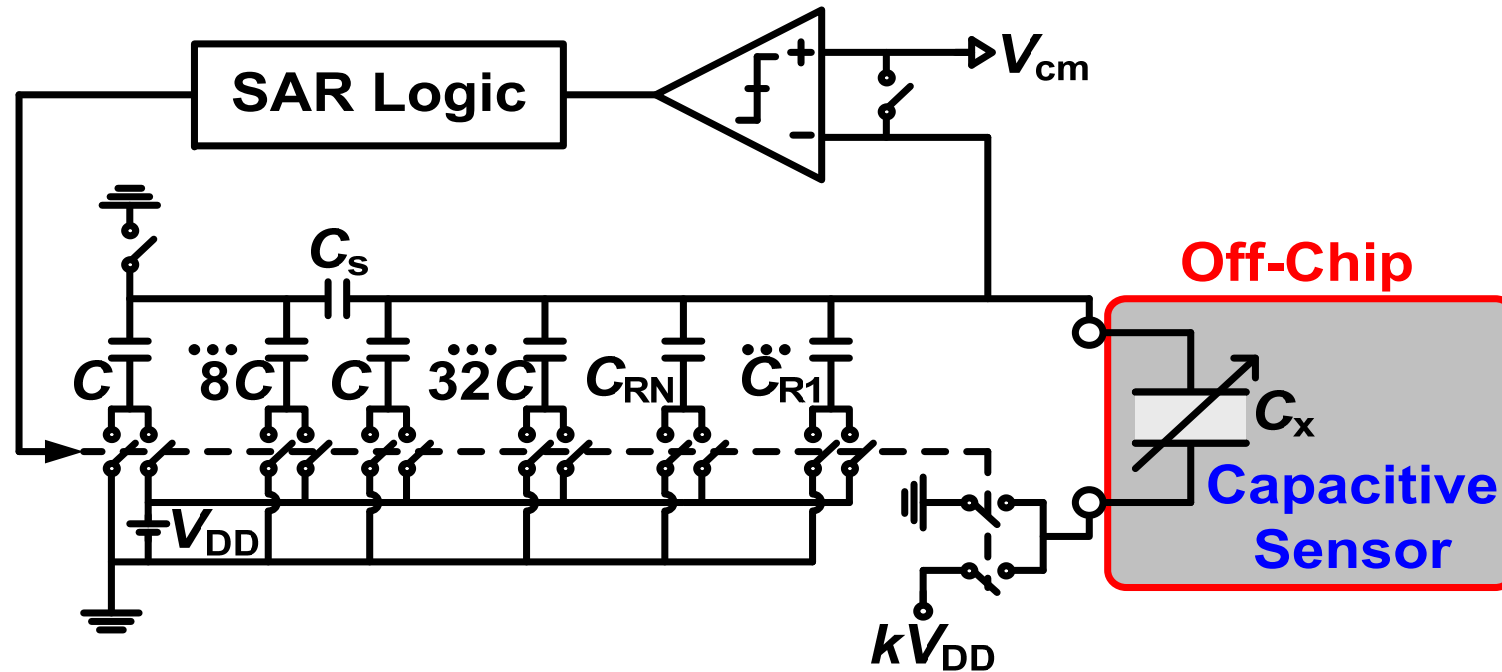
J. Craninckx and G. Van der Plas,
“A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-
Sharing SAR ADC in 90nm Digital CMOS,” IEEE
ISSCC 2007, Dig. of Tech. Papers, pp.246-247,
Feb. 2007.

A 0.026mm² Capacitance-to-Digital Converter for Biotelemetry
Applications Using a Charge Redistribution Technique

Kota Tanaka, Yasuhide Kuramochi,
Takashi Kurashina, Kenichi Okada,
and Akira Matsuzawa

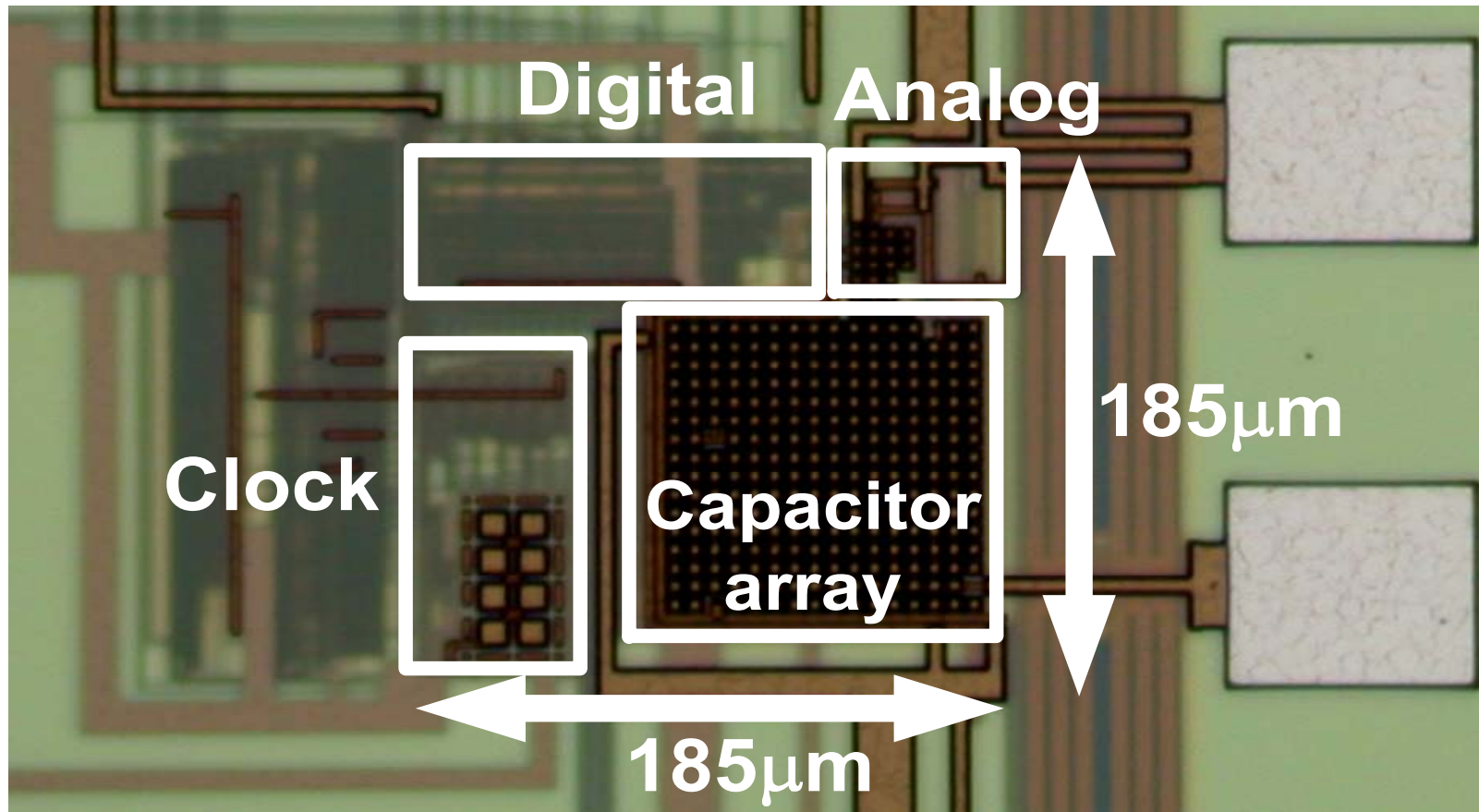
Tokyo Institute of Technology, Japan

Proposed circuit



**Capacitive sensor attachable,
but sensors have a problem.**

Chip photo



Small area (0.026mm²)

Measurement results (1)

Small area and low power consumption

Resolution	8 Bit
Supply Voltage	1.4 V
Sampling Rate	262 kHz
SNR	43.22 dB
ENOB	6.83 Bit
Current	169 μ A
Consumption	360 μ A (when using internal clock)
Minimum DNL	-0.97 LSB
Maximum DNL	0.79 LSB
Minimum INL	-1.27 LSB
Maximum INL	0.99 LSB
Area	0.026 mm ²
	0.034 mm ² (when including clock)

236.6 μ W

Ex) $\Delta\Sigma$ CDC 4.2mW [6]
 30mW, 20aF, 20bits, 4mm² [7]

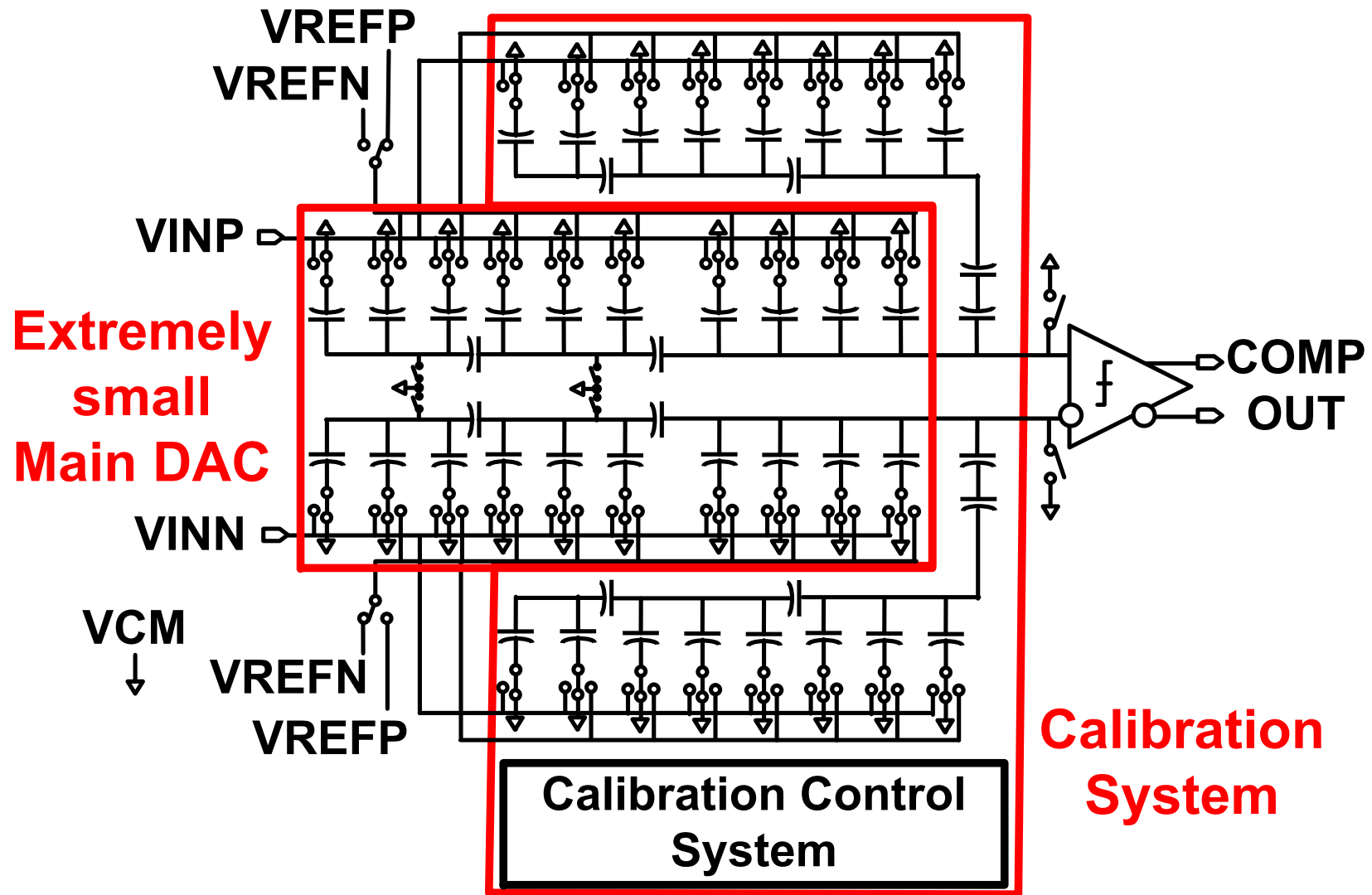
A 0.05-mm² 110- μ W 10-b Self-Calibrating Successive Approximation ADC Core in 0.18- μ m CMOS

**Yasuhide Kuramochi^{1,2}, Akira Matsuzawa²,
and Masayuki Kawabata¹**

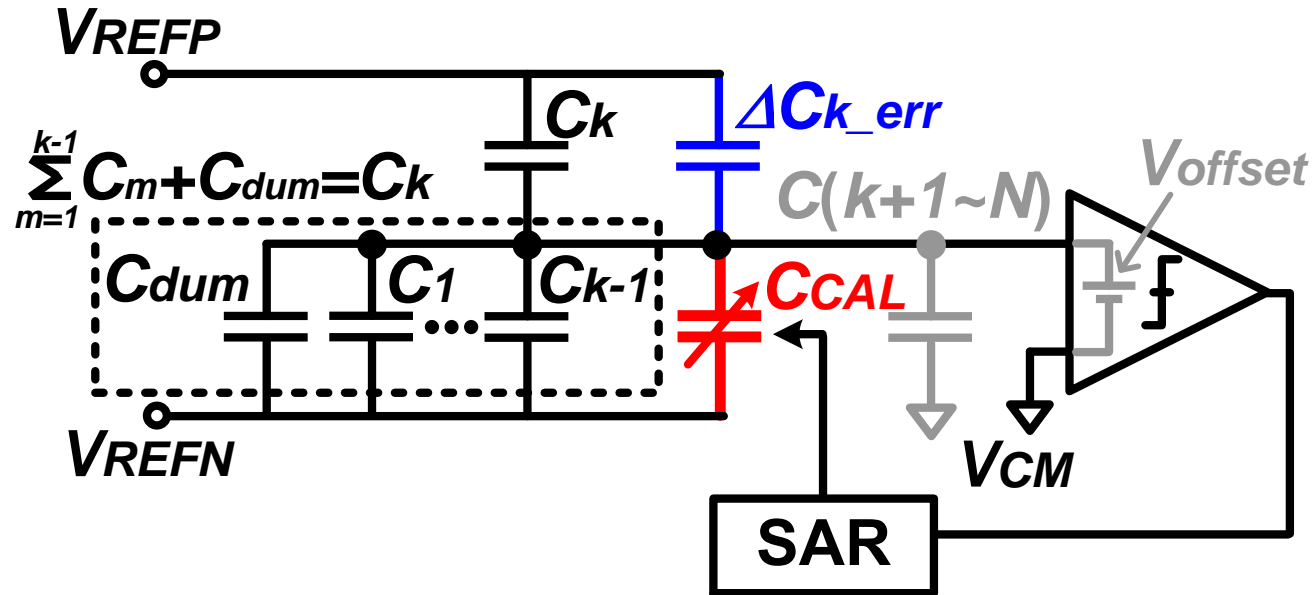
1 Advantest Laboratories Ltd., Miyagi, Japan

2 Tokyo Institute of Technology, Tokyo, Japan

Proposed ADC Core Circuitry



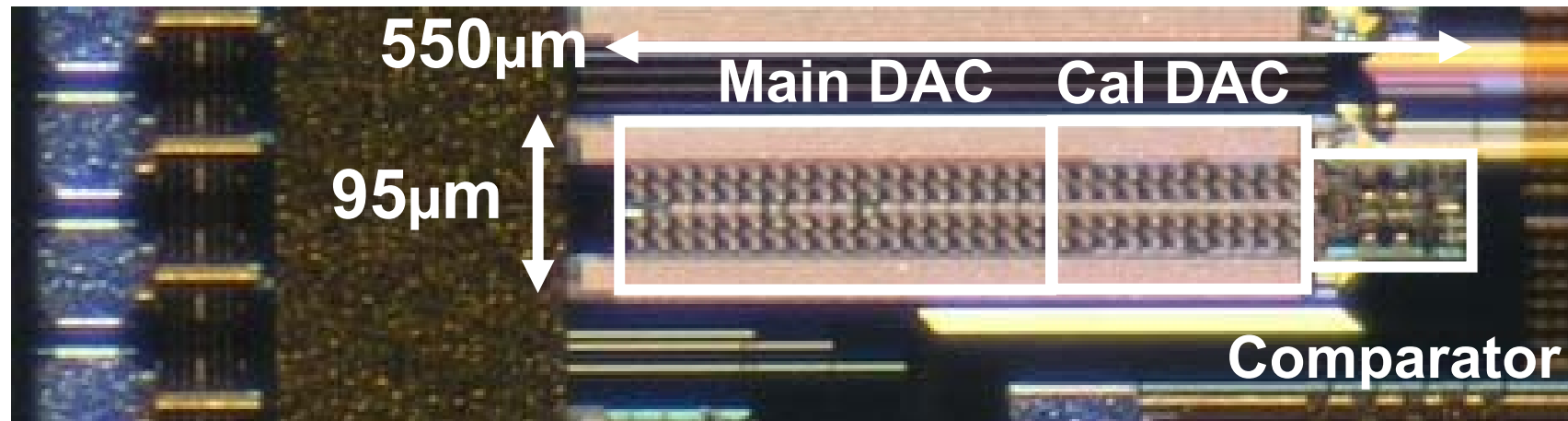
Measurements of Cap. Errors



- Measurement sequence :
 1. Measurement of the offset
 2. Measurement of the upper 5-bit
- CAL SAR search for $\Delta C_{k_err} - C_{CAL} = 0$

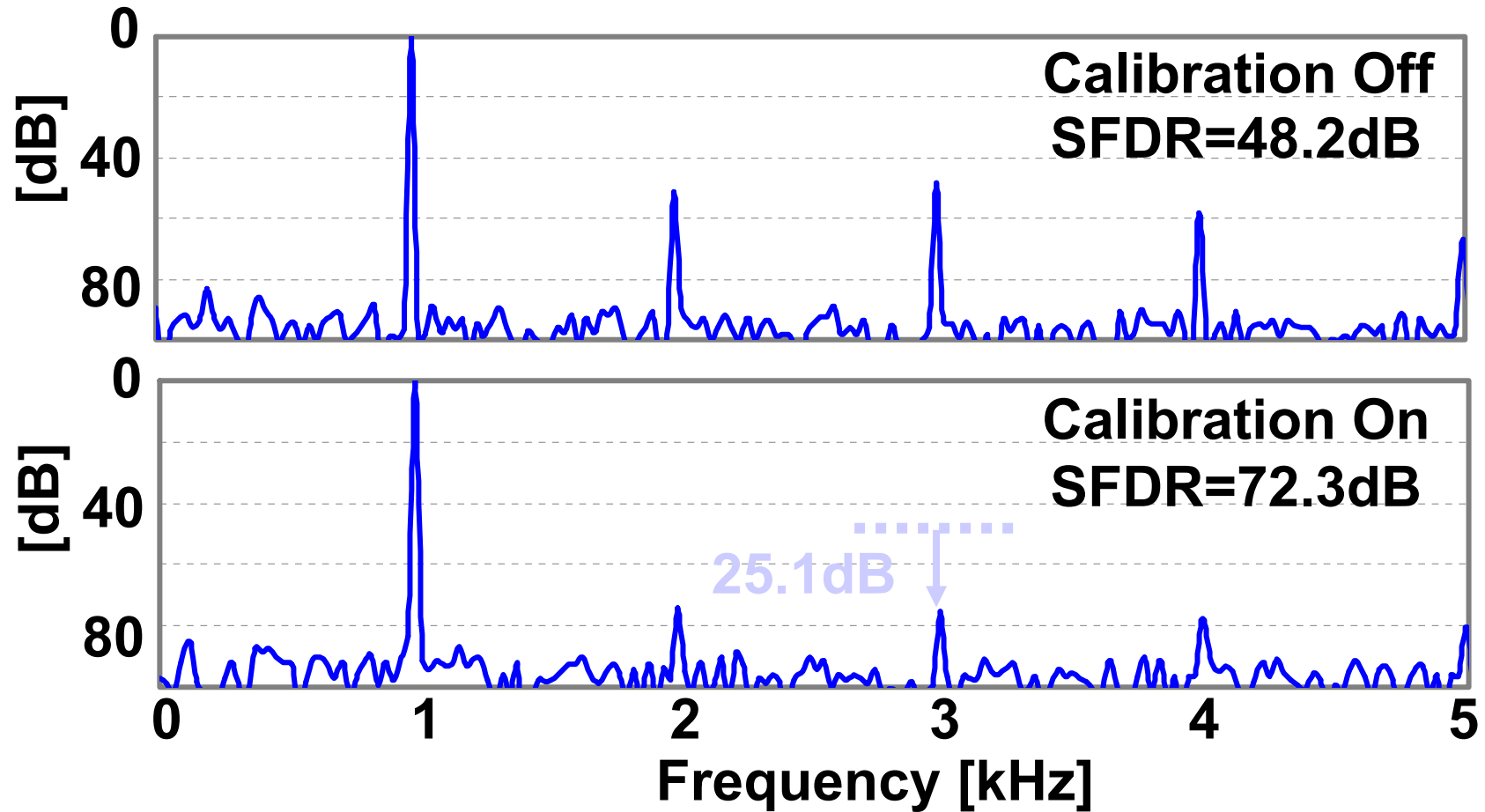
Chip Micrograph

- **0.18 μm CMOS, 1-poly, 6-metal Layers, MIM Capacitor**
- **Control logics are composed of an off chip FPGA**



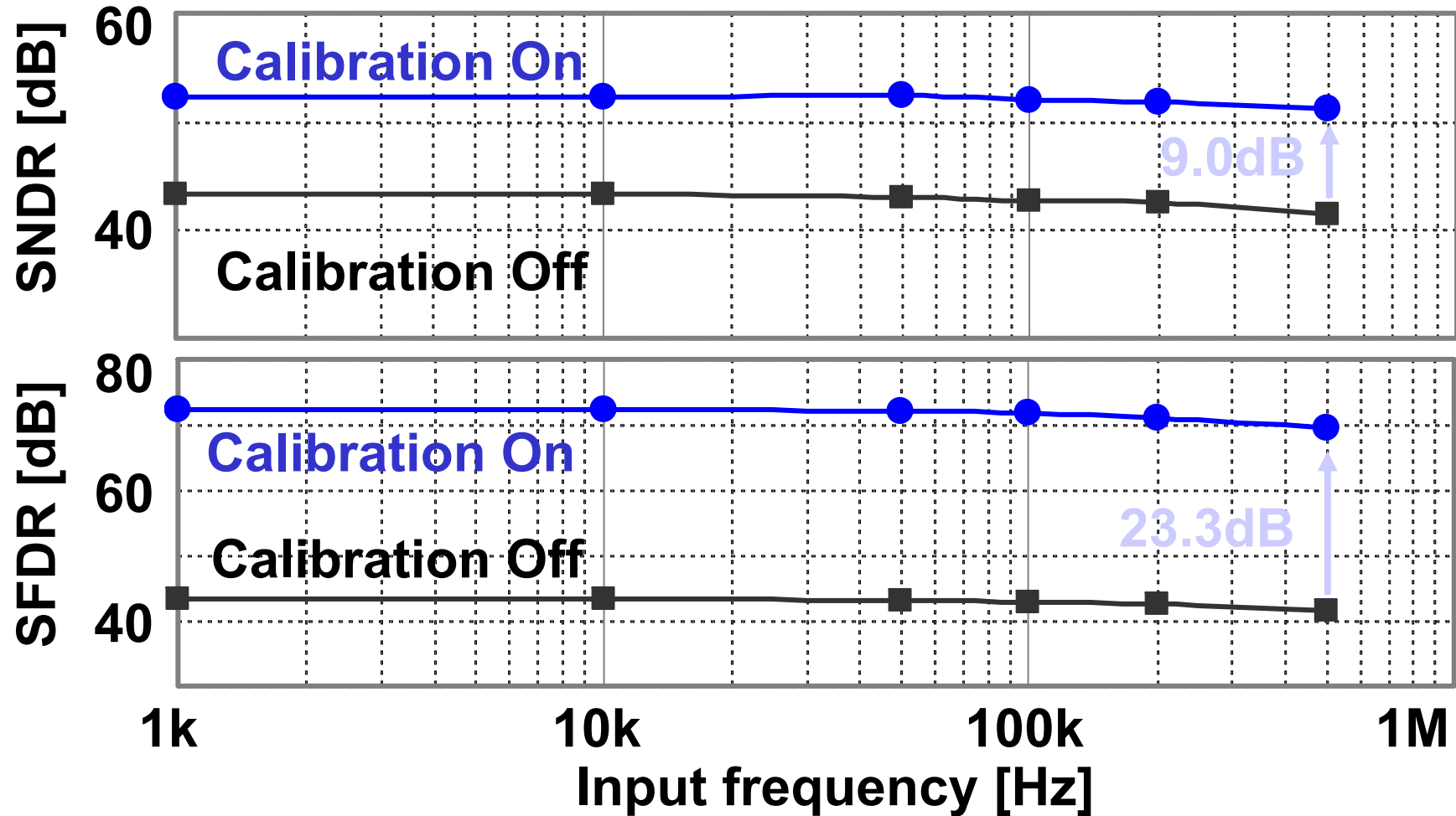
Measured Spectrum

- F_{sample} 1MS/s, F_{in} 1kHz, 1.8V Supply



Dynamic Performance

- F_{sample} 1MS/s, 1.8V Supply



ADC Performance Summary 1

Technology	0.18 μ m, 1poly, 6metal CMOS
Resolution	10bit
Active Area	95 μ m x 550 μ m=0.05mm ²
Sampling Rate	1MSps (12MHz clock)
SNDR@nyquist	51.1dB
SFDR@nyquist	69.8dB
Full Scale Voltage	2.2Vppd
Power Supply	1.8V
Power Consumption	110 μ W(Analog)

Conclusions

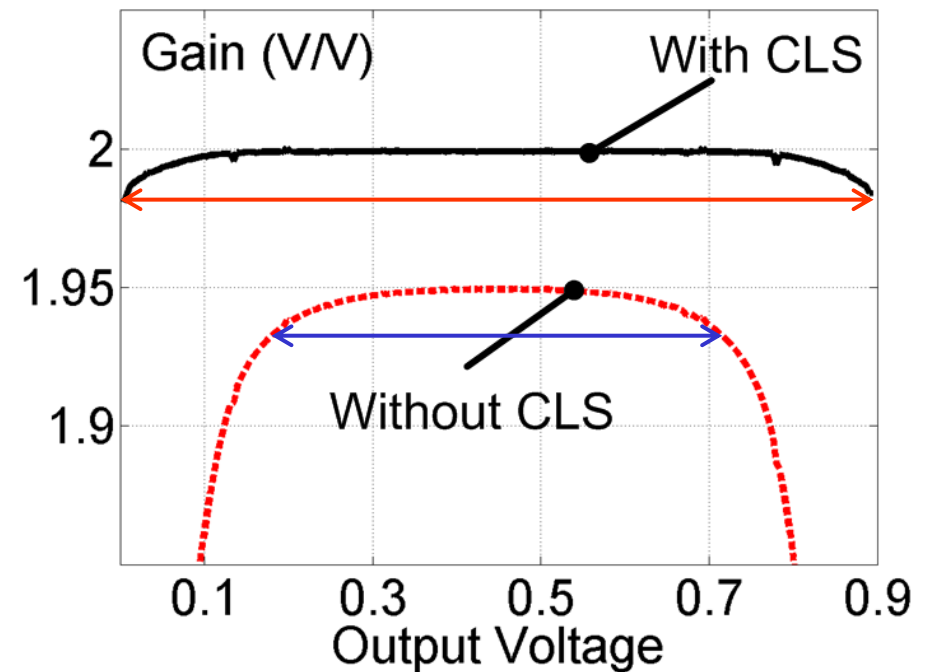
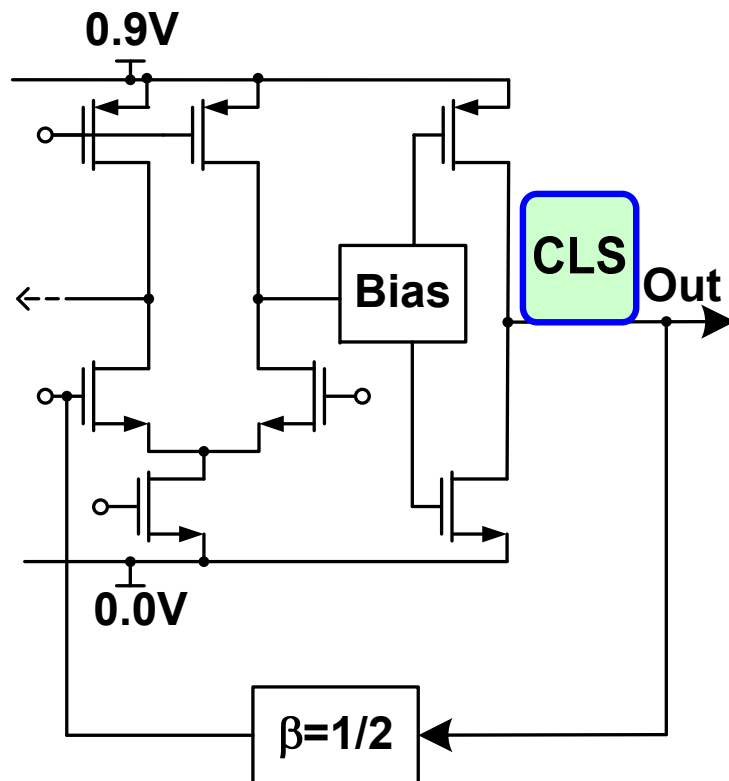
- A 0.05-mm² 110- μ W 10-b SAR ADC core:
 - 0.18 μ m CMOS
 - Minimizing total capacitance based on SNR
 - Minimizing the area of lower bit DAC with series connection of binary DAC
 - Main DAC with low accuracy small capacitors calibrated by CAL DAC, SNDR:9.0dB, SFDR:23.3dB improvement

パイプライン型ADCの逆襲

高利得・フル振幅への改良

CLS can realize higher gain and rail to rail operation.

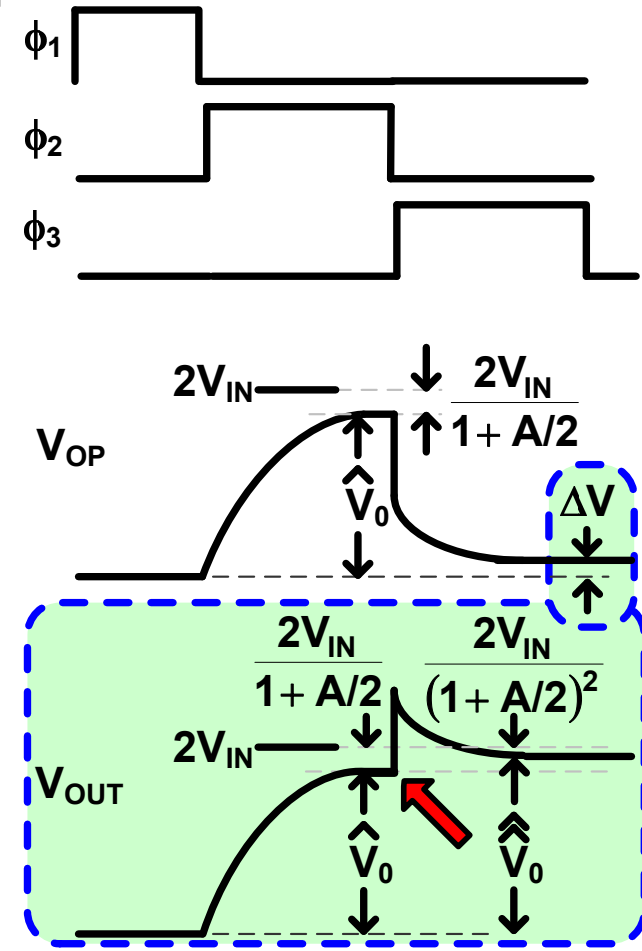
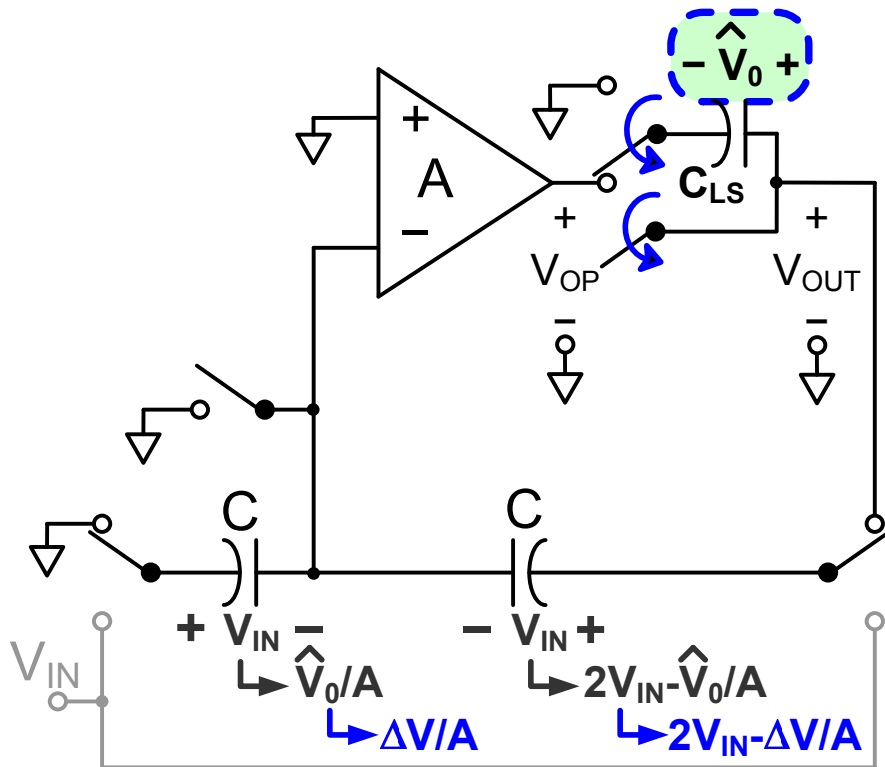
B. R. Gregoire, Un-Ku Moon, "An Over-60dB True Rail to Rail Performance Using Correlated Level Shifting and an Opamp with 30dB Loop Gain," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.540-541, Feb. 2008.



Correlated Level Shifting

2回増幅することで増幅度を上げ、振幅を大きくする。

ENOB=10, $F_s=20\text{MS/s}$, 7.5mW, FoM=375fJ/conv.-step



演算増幅器の最適化

90nm CMOS, near sub-threshold operation, and SC level-shift have realized 10bit 80MHz ADC with 0.8V operation and small power of 6.5mW

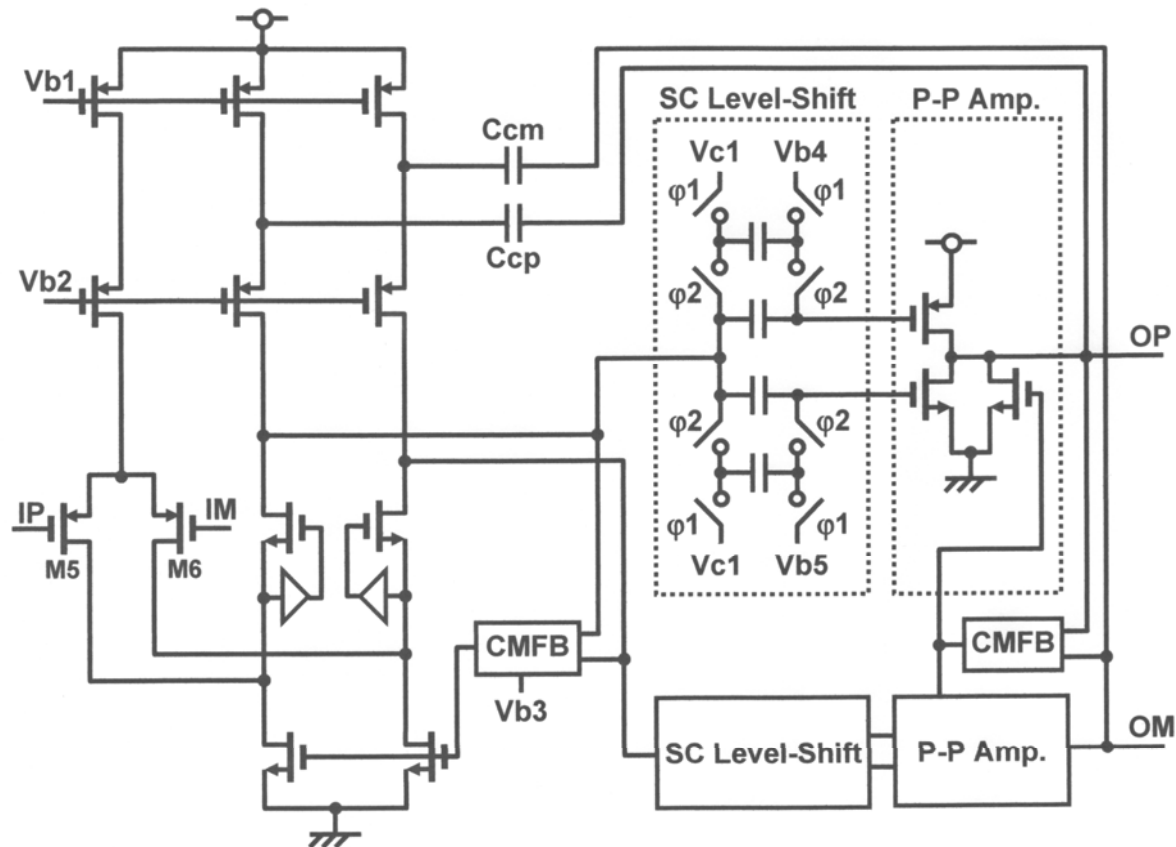


Figure 25.1.2: Schematic of two-stage amplifier.

M. Yoshioka, M. Kudo, T. Mori, and S. Tsukamoto
"A 0.8V 10b 80MS/s 6.5mW Pipelined ADC with Regulated Overdrive Voltage Biasing," ISSCC, Dig. Tech. paper, pp. 452-453, 2007.

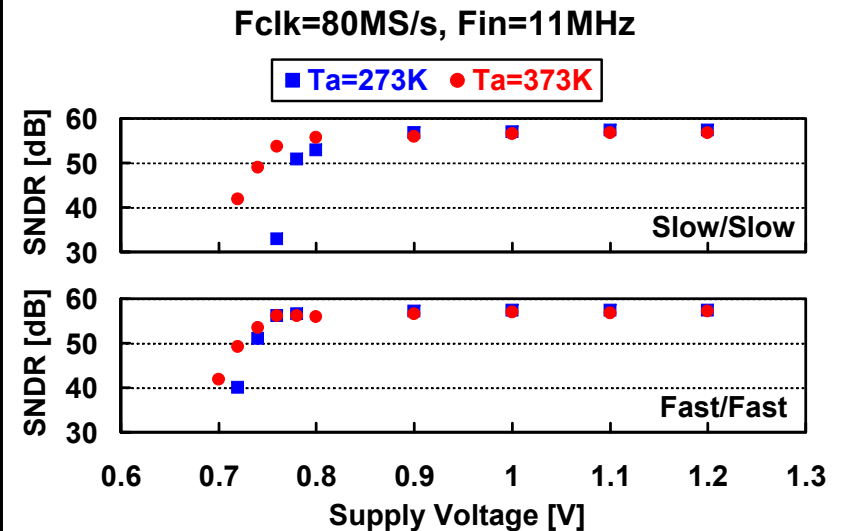
得られた結果

200fJ/conv. の良好な値を達成。

FoM=200fJ/step

80uW/MHz

Technology	1P10M 90nm CMOS with MIM Capacitors	
Resolution	10bit	
Conversion Rate	80MS/s	
Active Area	1.18mm x 0.54mm	
Input Range	1.2Vp-p Differential	
Supply Voltage	0.8V	1.2V
SNDR	55.0dB @2MHz	56.9dB @2MHz
	51.4dB @41MHz	55.6dB @41MHz
Total Power Consumption	6.5mW	13.3mW
INL	< 1.0LSB	< 0.5LSB
DNL	< 0.8LSB	< 0.4LSB

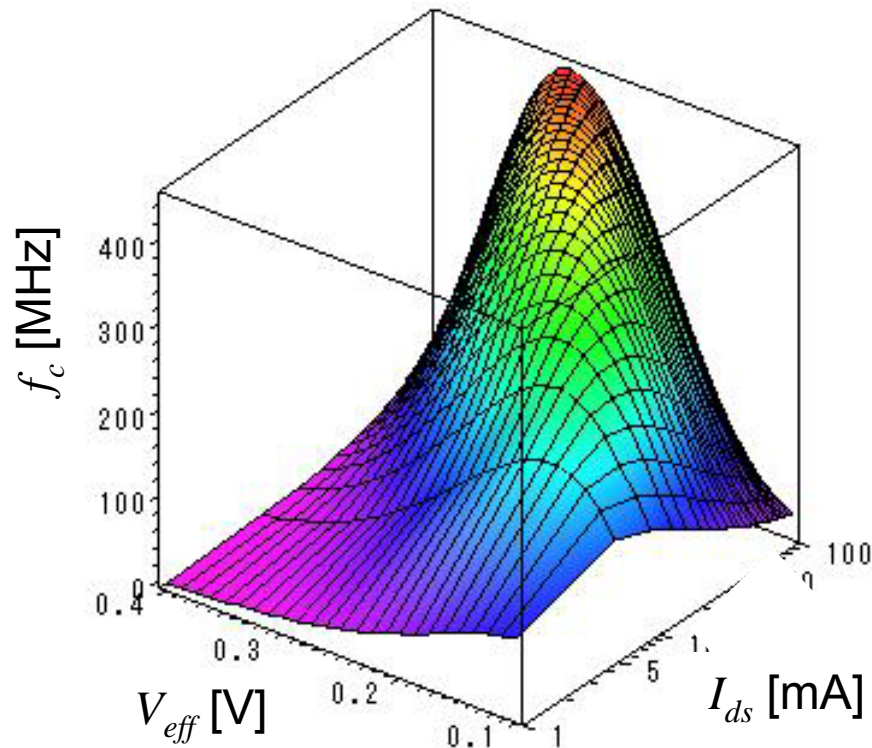


V_{eff} の最適化

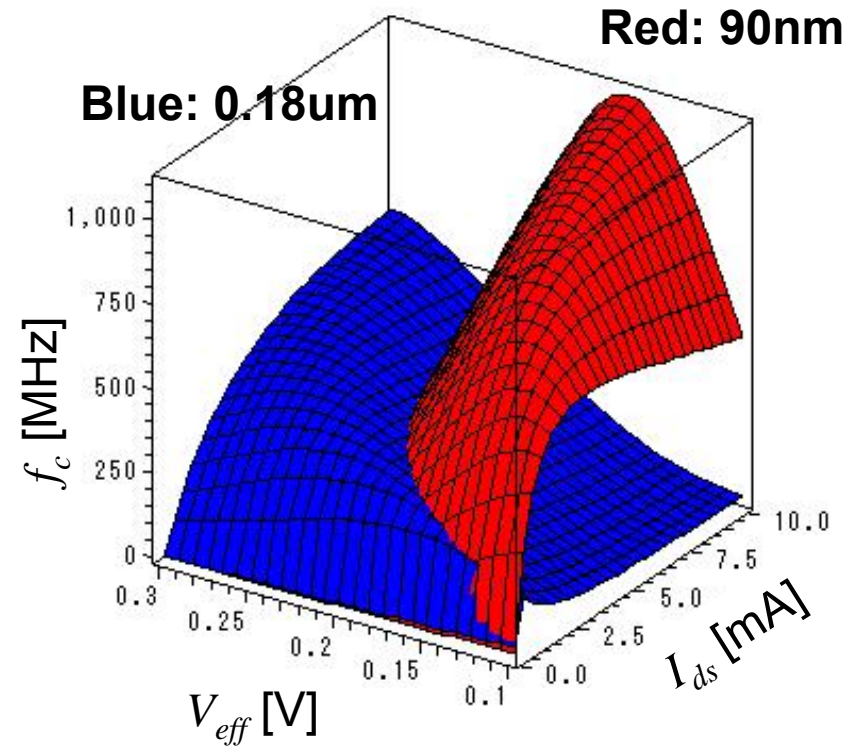
$V_{eff} = V_{gs} - V_T$ を最適化することで性能を上げることができる。
微細な素子では V_{eff} を下げた方が良い。

M. Miyahara, A. Matsuzawa, "A Performance Model for the Design of Pipelined ADCs with Consideration of Overdrive Voltage and Slewing", IEICE TRANS. ELECTRON, vol. E91-A, No.2, pp.469-475, Feb. 2008.

12 bit, 0.18um CMOS

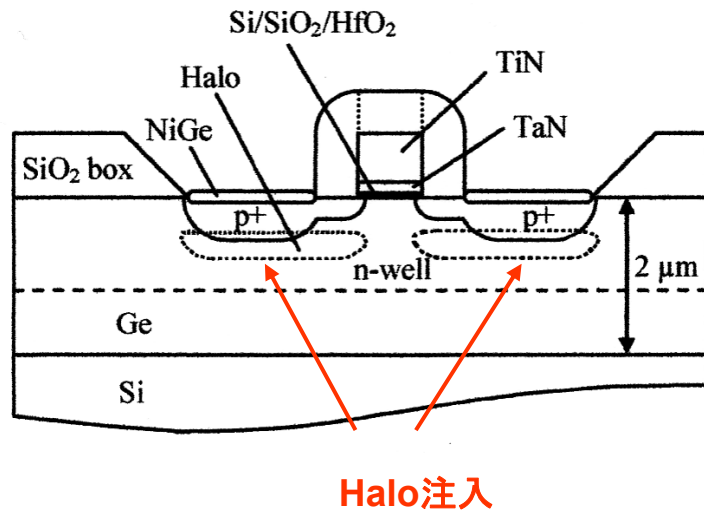


10 bit



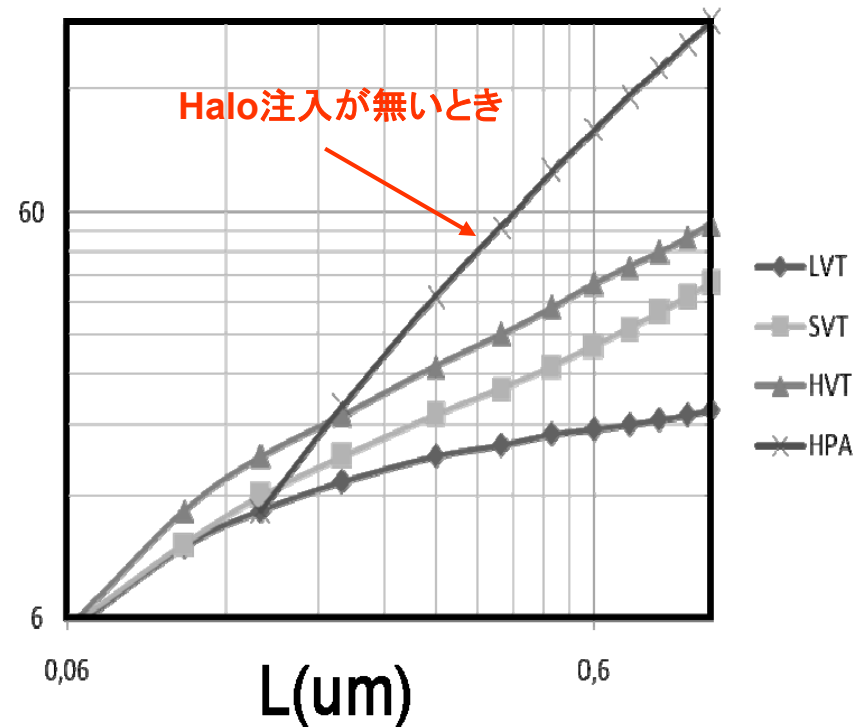
MOSデバイスの最適化

ショートチャネル効果の対策のために用いられるハロー注入はドレイン抵抗を下げ、増幅器の利得を低下させる。
そこで、アナログ回路に用いるトランジスタのみハロー注入を行わない方法を用いた。



M. Boulemnaker, E. Andre, J. Roux, F. Paillardet,
"A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a
65nm CMOS," IEEE ISSCC 2008, Dig. of Tech.
Papers, pp.250-251, Feb. 2008.

DC-gain versus length (L)

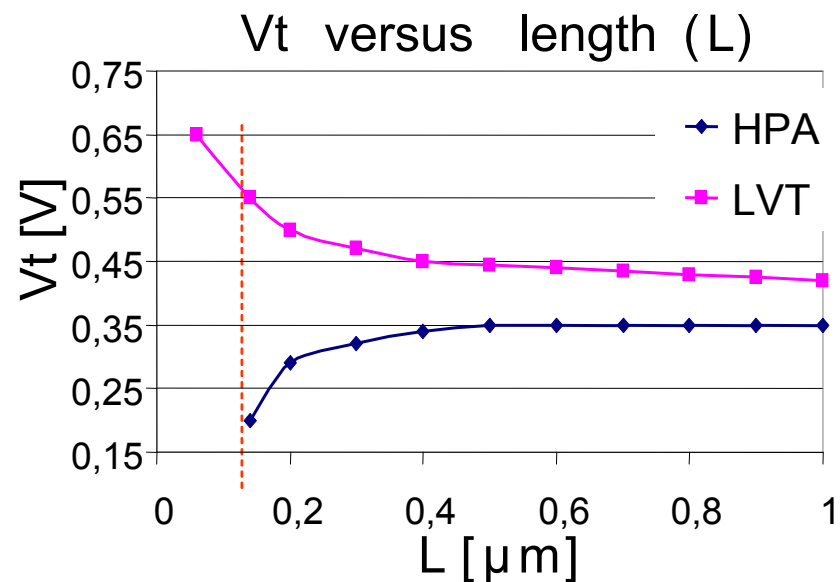
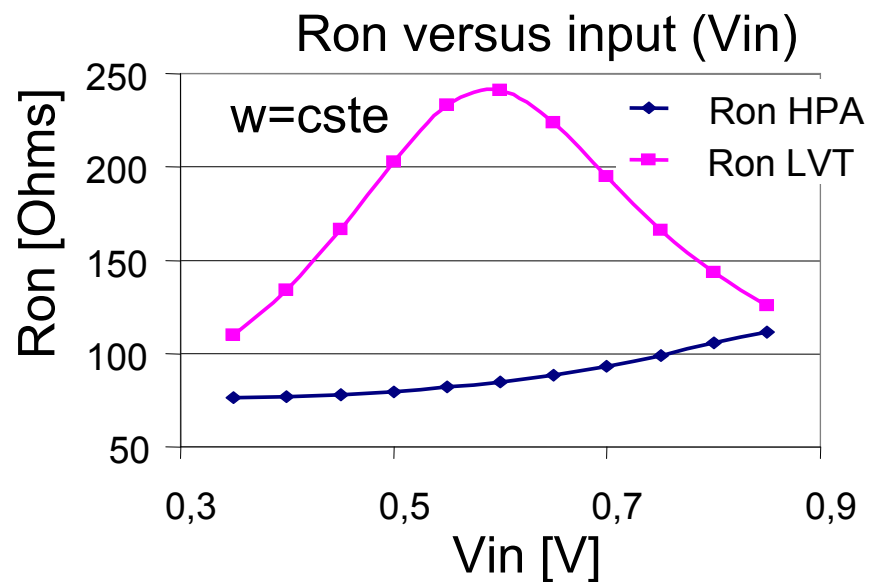


アナログ特性の改善

この技術はスイッチのオン抵抗を下げることに有効である。

M. Boulemnakher, E. Andre, J. Roux, F. Paillardet,
"A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a
65nm CMOS," IEEE ISSCC 2008, Dig. of Tech.
Papers, pp.250-251, Feb. 2008.

$L_{min} (HPA) = 0.14\mu m$



性能比較

この結果、SA ADC並の62fJ/Conv. stepの低いFoMを達成した。

Resolution	10 bit
Sampling speed	100MS/s
Input range	1.0Vppd
Power Consumption	4.5mW
SNDR	59dB
DNL	+/-0.1 LSB
INL	+/-0.2 LSB
Active area	0.07mm²
Technology	ST CMOS 65nm

FoM= 62fJ/conv.-step

Tech (nm)	VDD (V)	Fs (MHz)	Power (mW)	SNDR (dB)	FOM (pj/step)	References
130	1.2	120	90	57.1	1.25	B.Hemes ISSCC-2004
90	1.2	12	3.3	52.6	0.76	R.Wang ISSCC-2005
90	1.2	100	35	56.9	0.6	G.Geelen ISSCC-2006
90	1.0	100	33	55.3	0.69	K.Honda JSSCC-2007
90	0.8	80	6.5	55	0.17	M.Yoshioka ISSCC-2007
65	1.2	100	4.5	59	0.062	This work

SA型ADCとパイプライン型ADCの比較

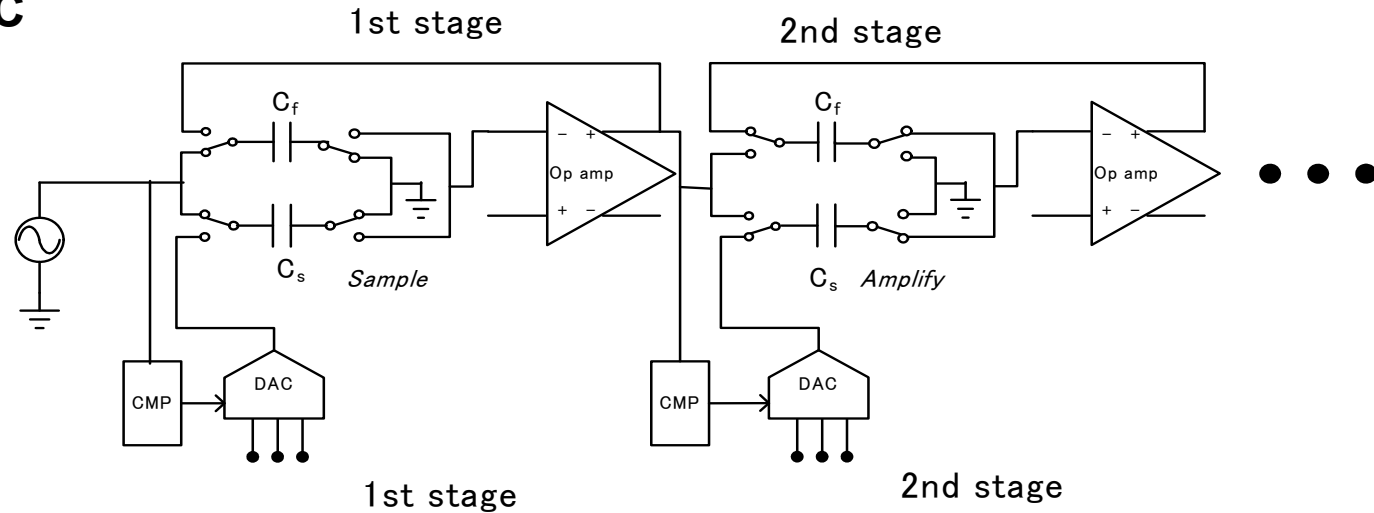
FoMの比較と比較器の重要性

OpampベースADCとコンパレータベースADC

パイプライン型 ADC

Opamp base

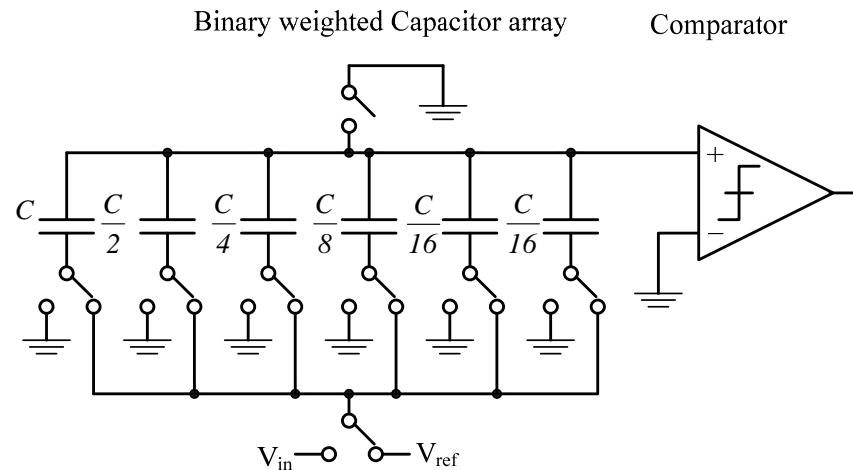
OPアンプが性能、
電力を決定



SA ADC

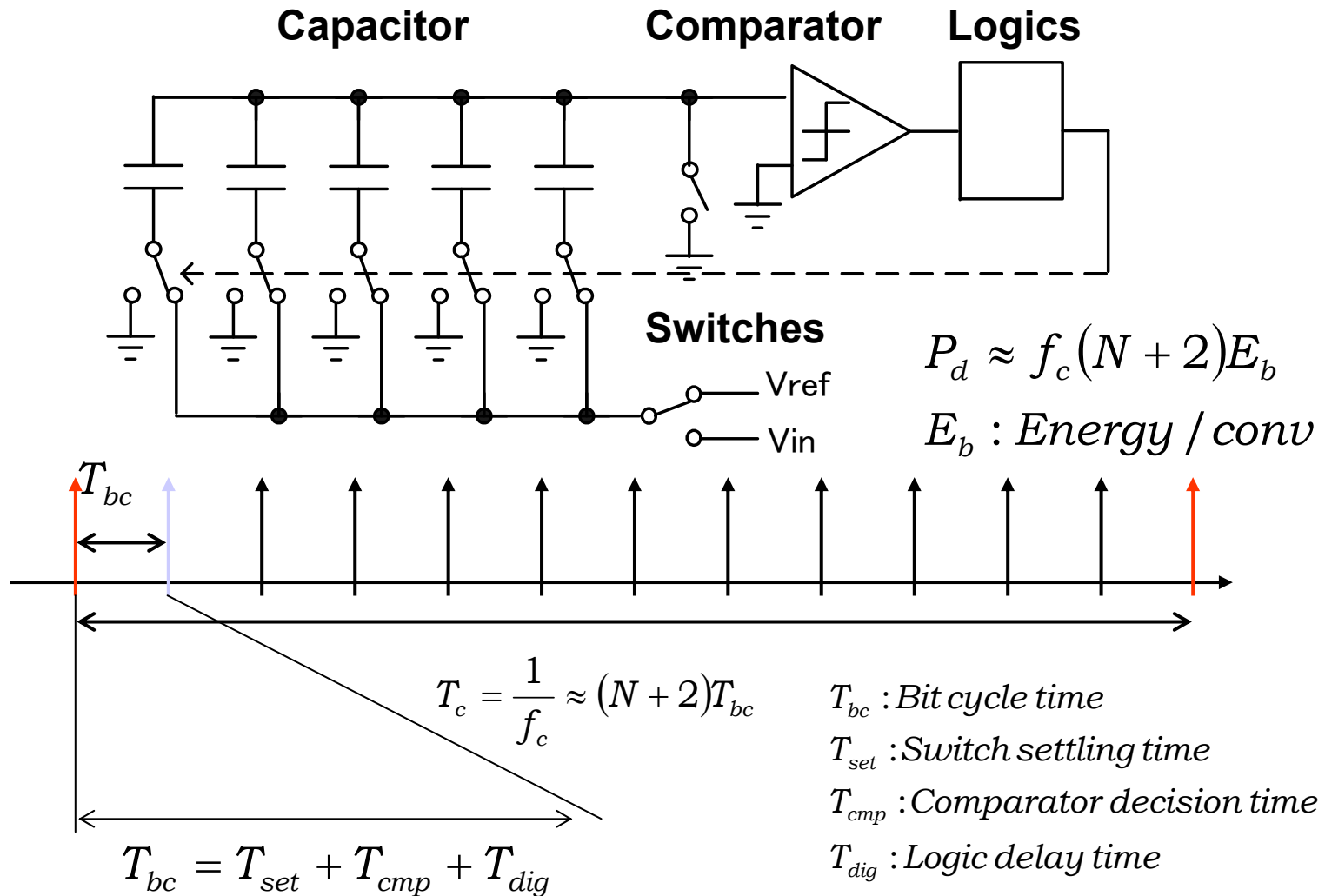
Comparator base

比較器が性能、
電力を決定



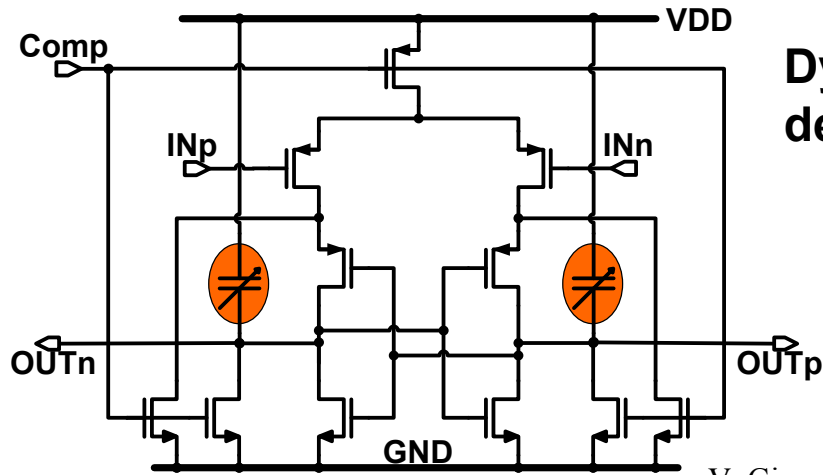
SA ADC

SA ADCの回路自体は貫通電流が無く、低電力だが、高速動作が必要である。

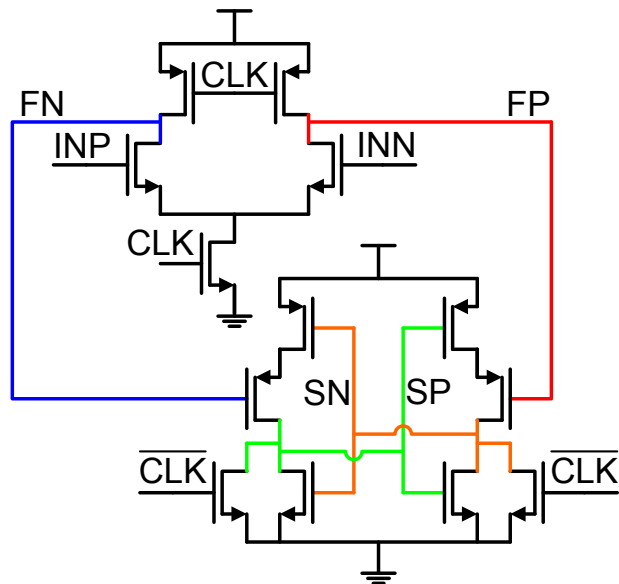


比較器回路

比較器はダイナミック回路で構成され、定常電流が流れないようにすることができる。

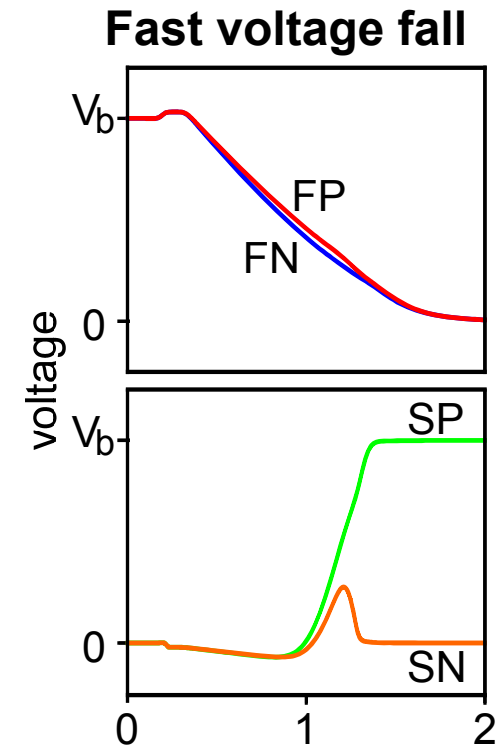


Dynamic comparators use the fast voltage fall depended on input voltage difference



V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

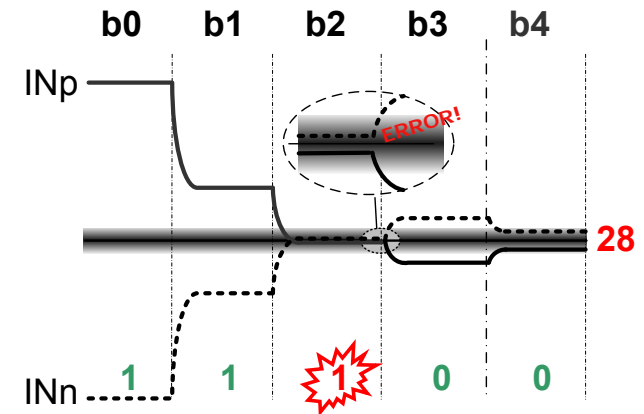
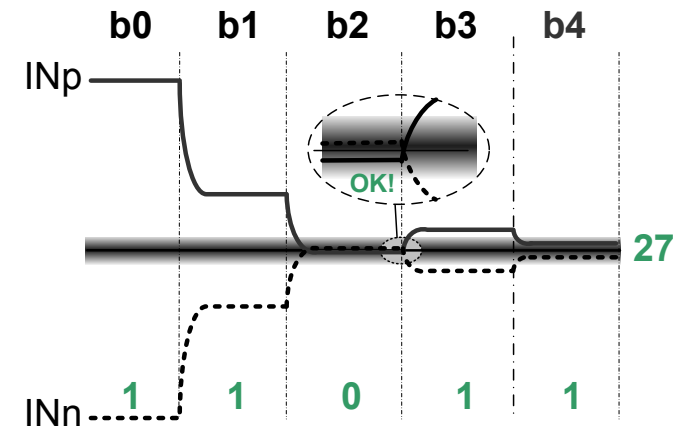
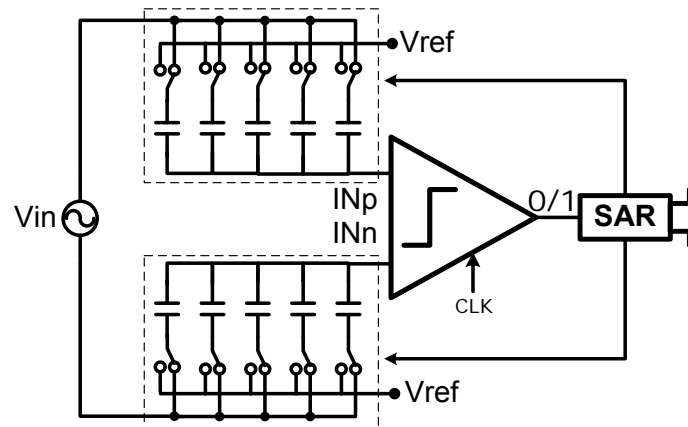
M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.



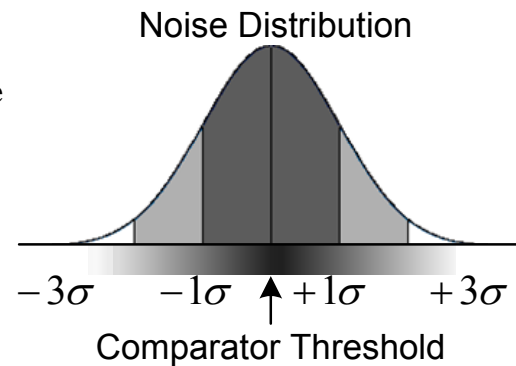
SA ADCにおける比較器の問題

比較器はあるノイズ分布を有し、SA-ADCの誤動作を引き起こす。

5b Charge Redistribution (CR) SAR ADC

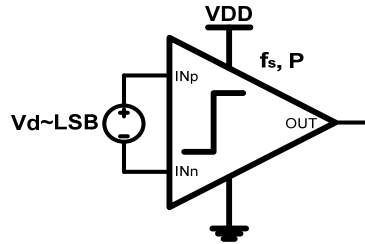


V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.



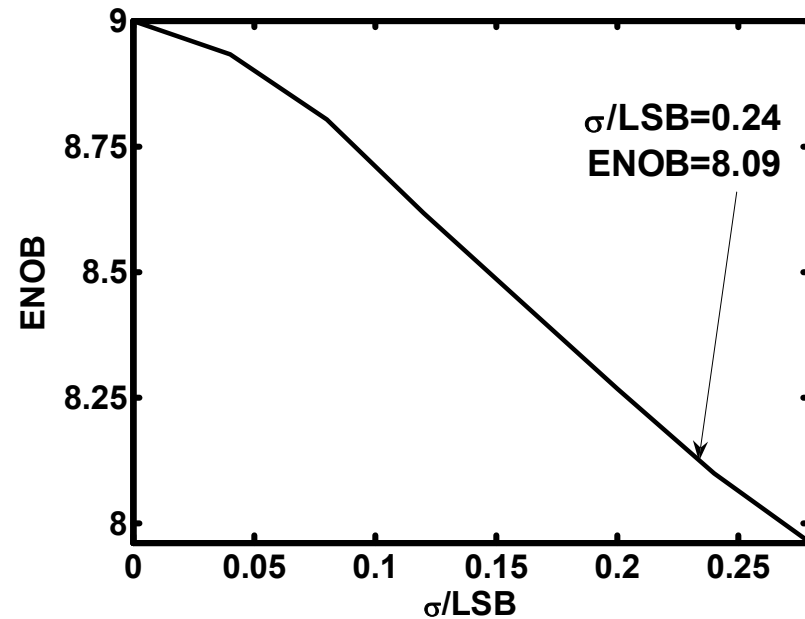
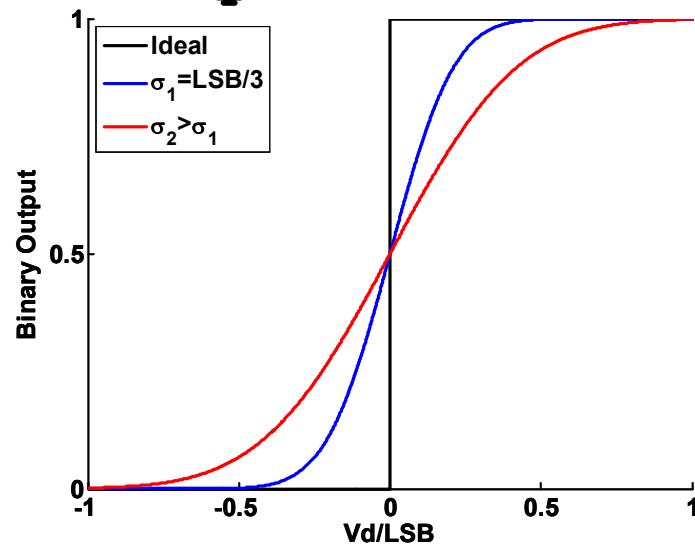
比較器のノイズと ENOB

SA ADCにおいては0.1LSB程度の低ノイズが要求される。



$\sigma_V < 0.25 \text{ LSB} : -1 \text{ bit deg rade}$

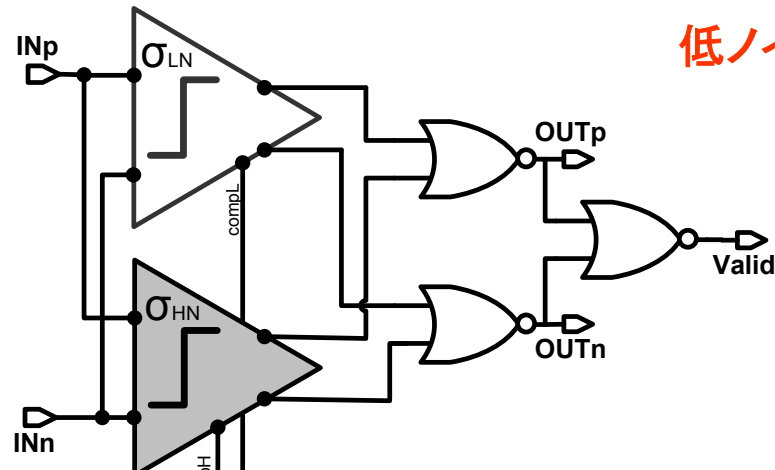
$\sigma_V < 0.15 \text{ LSB} : -0.5 \text{ bit deg rade}$



V. Giannini, P. Nuzzo, V. Chironi, A. Baschirotto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

冗長構成

比較器のノイズによる誤動作を抑制するため、高速(高ノイズ)比較器と低ノイズ(低速)比較器を組み合わせる。

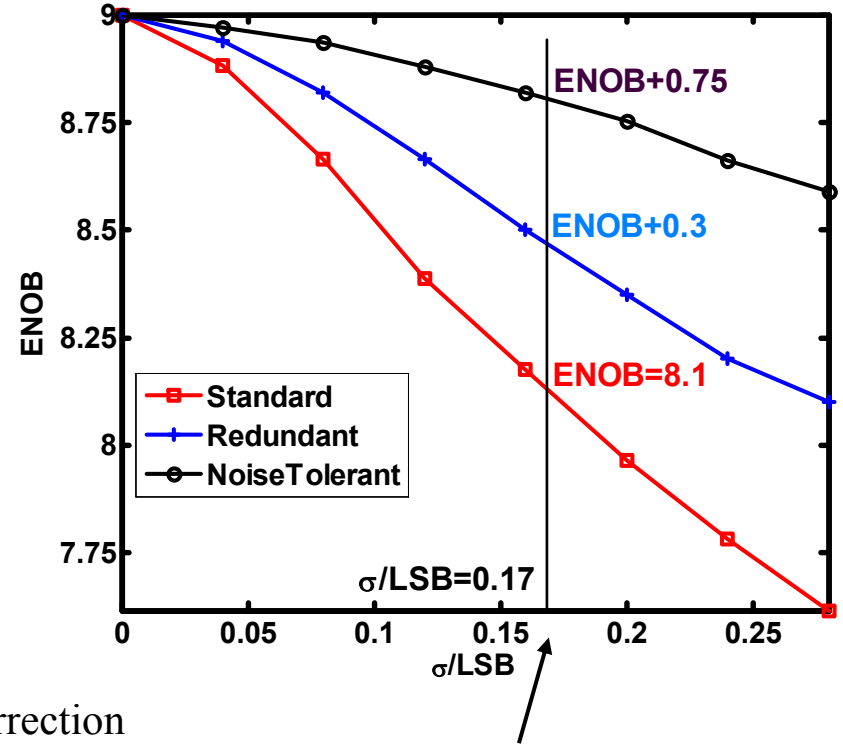


低ノイズ→低速動作

V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

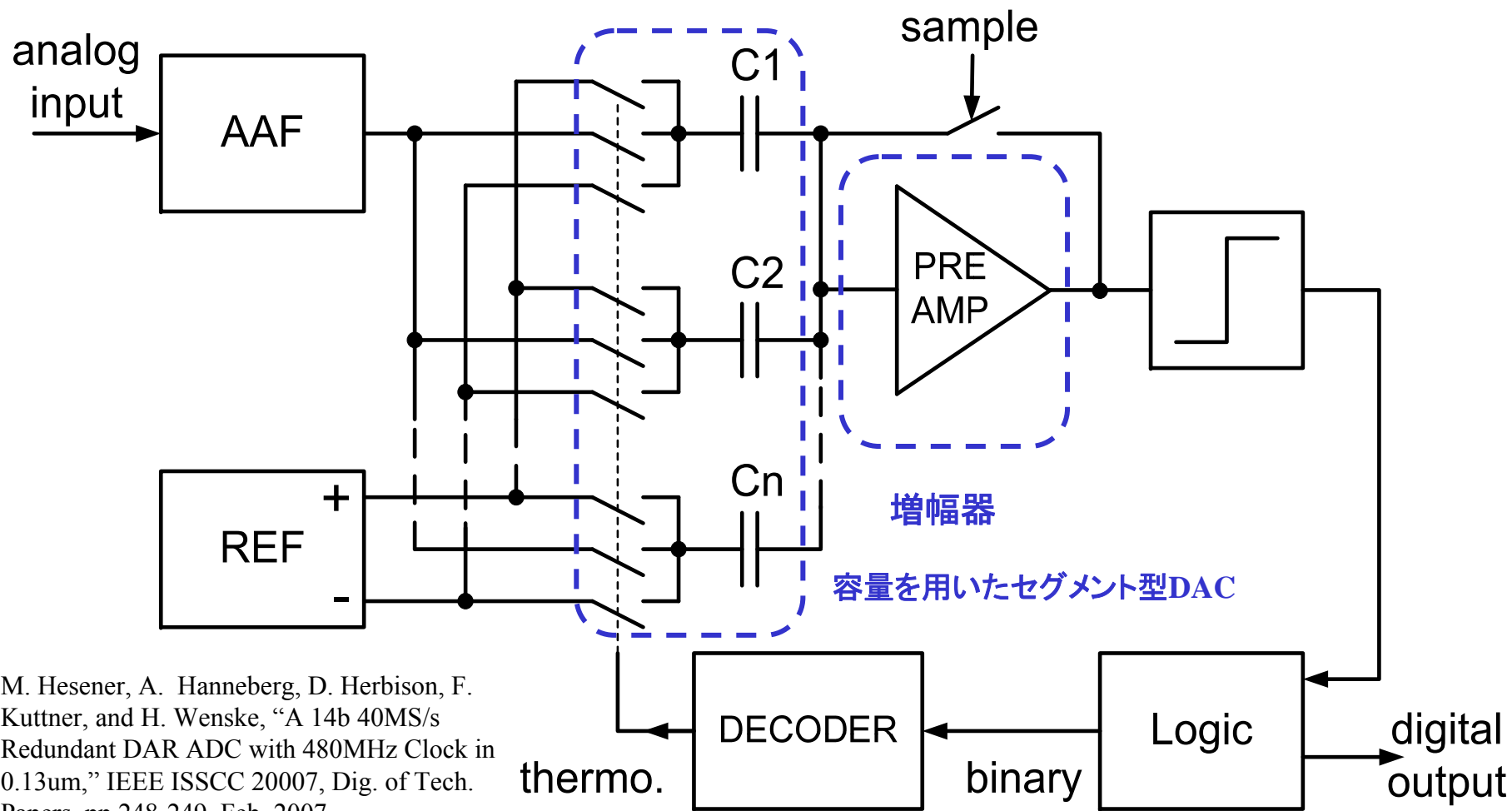
- Comparators are sized so that $\sigma_{HN} \sim 1/6 \text{ LSB}$ and $\sigma_{LN} \sim 1/12 \text{ LSB}$
- Good ENOB improvement with Noise Tolerant correction

Monte Carlo on 9b CS-SAR



セグメントDACと増幅器を用いた逐次比較型ADC

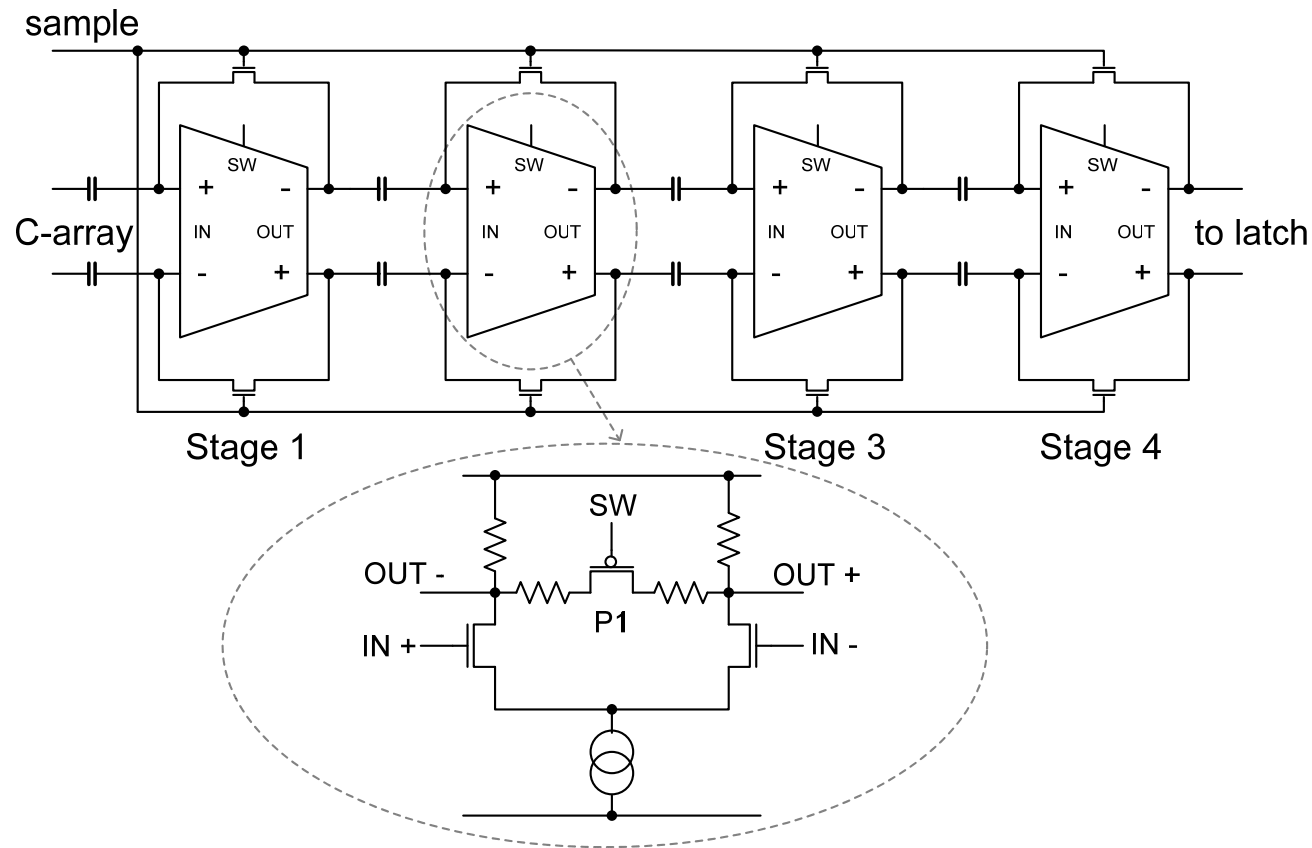
高精度化のために比較器の前に増幅器を配した
セグメント型容量アレーにより単調性を確保



M. Hesener, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, "A 14b 40MS/s Redundant DAR ADC with 480MHz Clock in 0.13um," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.248-249, Feb. 2007.

利得と帯域を可変にした増幅器

スイッチ電圧を制御することで利得と帯域を可変にできる。
→変換の初期フェーズでは利得を小さくして高速性を追求。
変換が進むに従い利得を大きくして変換精度を高めている。



評価結果

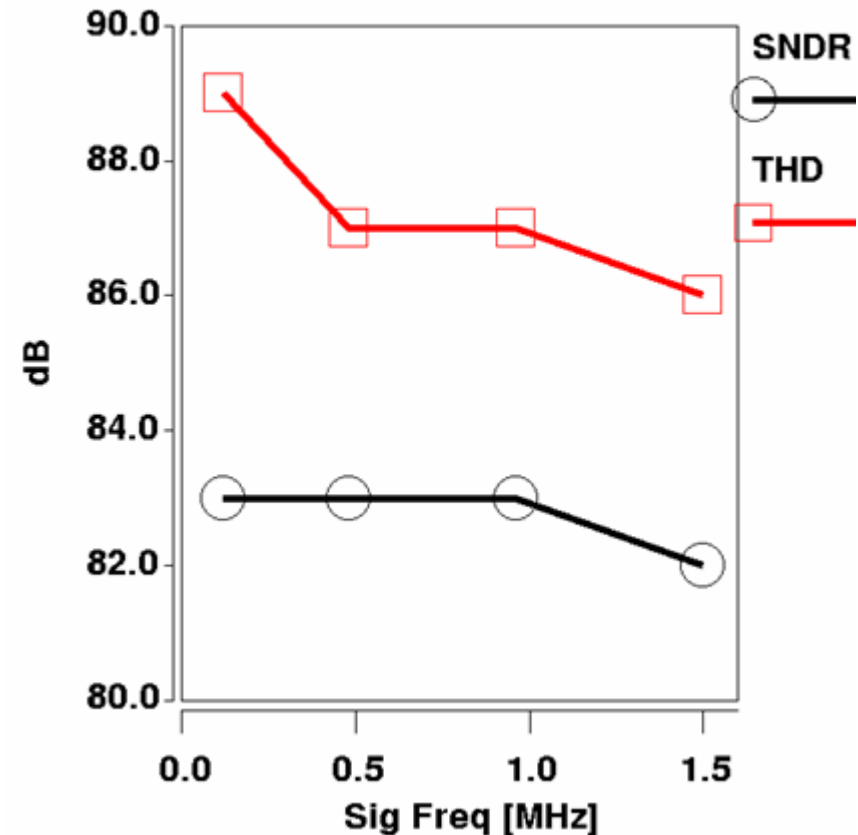
変換周波数40MHzにて実効分解能13.5bitを66mWで達成。
(非常に完成度が高い発表である)

0.13um CMOS

Supply voltage	1.5V
Input range	±0.9V diff.
Sample frequency	40MHz
Internal clock frequency	480MHz
Analog power	49mW
Digital power	17mW
Total power	66mW

FoM=140fJ/step

THD & SNDR vs. Signal Frequency



FoMの理論値

パイプライン型ADCとSA ADCの理論FoMを算出した。
現状は理論値にかなり近づいている。

パイプライン型ADC

Resolution	10	12	14
C_o (pF)	0.37	6.0	95
I_{dd} (mA)	1.75	33.6	628
P_d (mW)	1.75	33.6	628
FoM(fJ)	24	116	542

FoM=63fJ/Conv. step

M. Boulemnakher, E. Andre, J. Roux, F. Paillardet, "A 1.2V 4.5mW 10b, 100MS/s Pipeline ADC in a 65nm CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.250-251, Feb. 2008.

SA型ADC

Resolution	10	12	14
C_L (fF)	42	670	11000
P_d (mW)	0.1	1.9	34
FoM(fJ)	1.4	6.5	30

FoM=4.4fJ/Conv. step

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.

ADCの技術動向

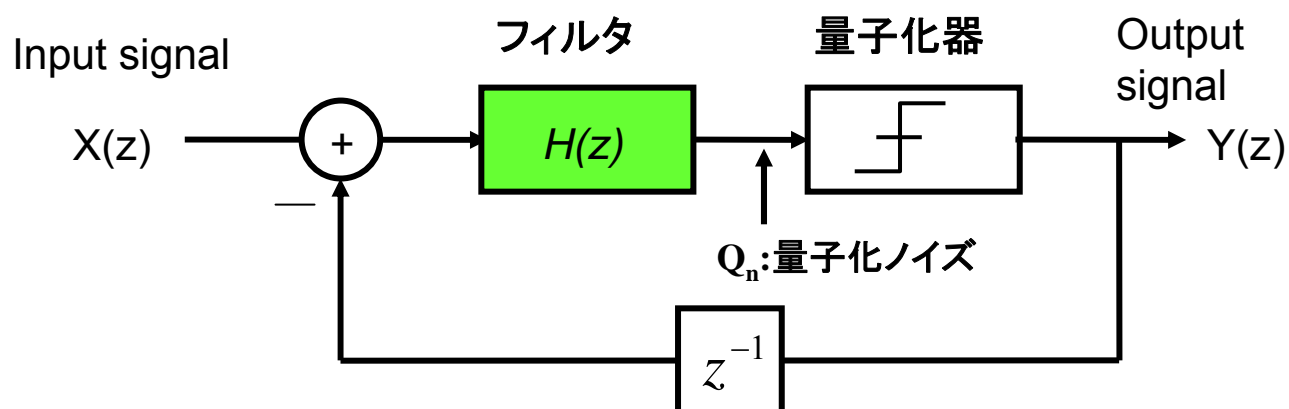
SA ADCが主流になりつつあるが、増幅器を用いない限界もあるのではないか。

Architecture	Flash	Two-step parallel	Pipeline	SA
Period	78---88---	88 --- 95--	95-- 1x--	06--
Technology	Bipolar/CMOS	Bi-CMOS, CMOS	CMOS	CMOS
Parallel/Serial	Parallel	Two-step, Semi-parallel	Serial (Pipeline)	Serial
Base	Comparator	Comparator	Amplifier	Comparator
Gain	No	No (Yes Interpolation)	Yes	No
Sampling	No	Yes	Yes	Yes
Accuracy	Transistor mismatch	Comparator mismatch Comparator noise Settling	Capacitor mismatch	Capacitor mismatch
			Amplifier gain	Comparator noise
			OpAmp noise	
			Settling	
Speed	Device fT	Reference+Switch Comparator+Logic	OpAmp GBW Switch	Comparator+Logic Switch
Design technique	Interpolation Averaging Folding Dynamic comparator	Redundancy Interpolation Averaging Gain boost Dynamic comparator	Redundancy (1.5b) Gain boost OpAmp sharing Calibration	Serial Capacitor Dynamic comparator Interleaving Calibration

$\Delta \Sigma$ 型 A/D 変換器

ΔΣ変調器

ΔΣ変調器は量子化器の前にフィルタを配し、
量子化出力を入力側に戻して負帰還をかけたものである。
量子化ノイズは帯域外に拡散するようになり、帯域内ノイズは減少する。



$$Y(z) = \frac{H(z)}{1 + H(z)z^{-1}} X(z) + \frac{1}{1 + H(z)z^{-1}} Q_n(z)$$

STF (Signal Transfer)

NTF (Noise transfer)

Ex.

$$H(z) = \frac{1}{1 - z^{-1}} \quad STF(z) = 1, \quad NTF(z) = \underline{1 - z^{-1}}$$

No filter

High pass filter

ΔΣ変調器の周波数特性

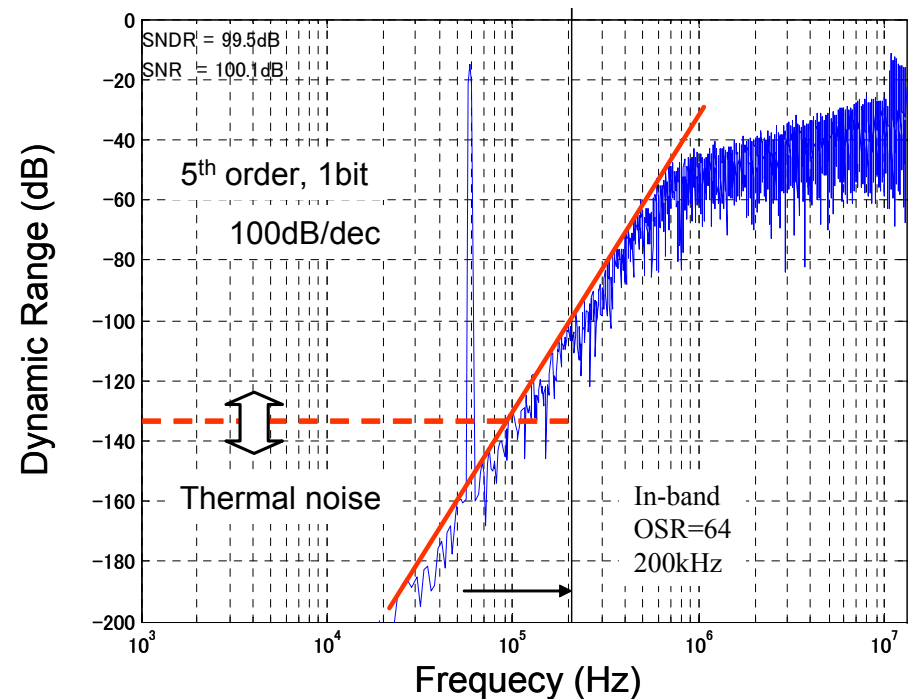
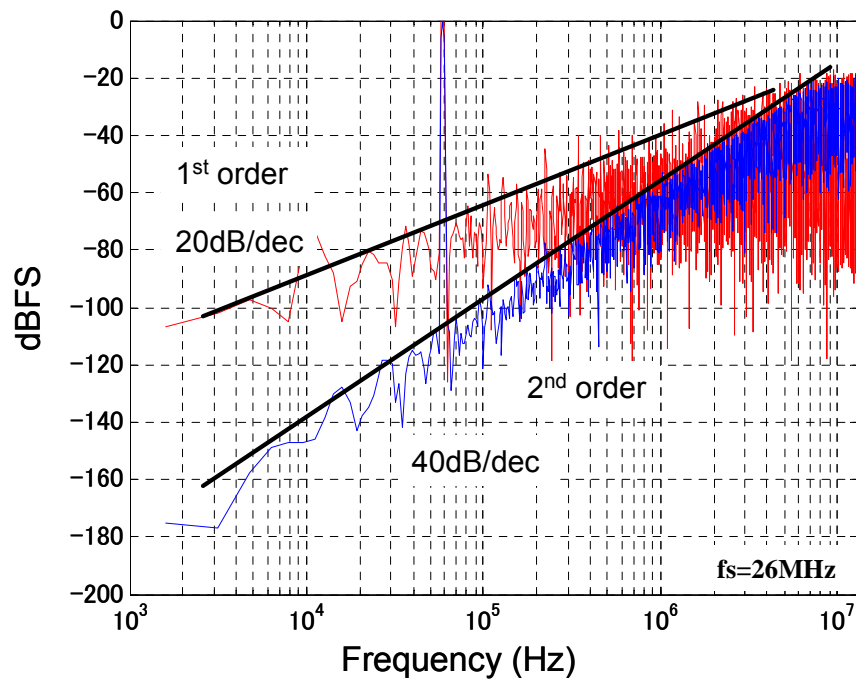
量子化分解能、フィルタ次数、オーバーサンプリング比率が高いほど量子化ノイズが抑圧され、SNRが上がる。

$$Y(z) = X(z) + (1 - z^{-1})^L Q(z)$$

$$h_q^2(f) = \frac{\Delta^2}{12f_s}$$

$$N_q = \int_{-f_b}^{+f_b} h_q^2(f) |1 - z^{-1}|_{z=e^{j2\pi f/f_s}}^{2L} df$$

$$\approx \int_{-f_b}^{+f_b} \frac{\Delta^2}{12f_s} \left| \frac{j2\pi f}{f_s} \right|^{2L} df = \left(\frac{\Delta}{2} \right)^2 \frac{1}{3\pi(2L+1)} \left(\frac{\pi}{OSR} \right)^{2L+1}$$

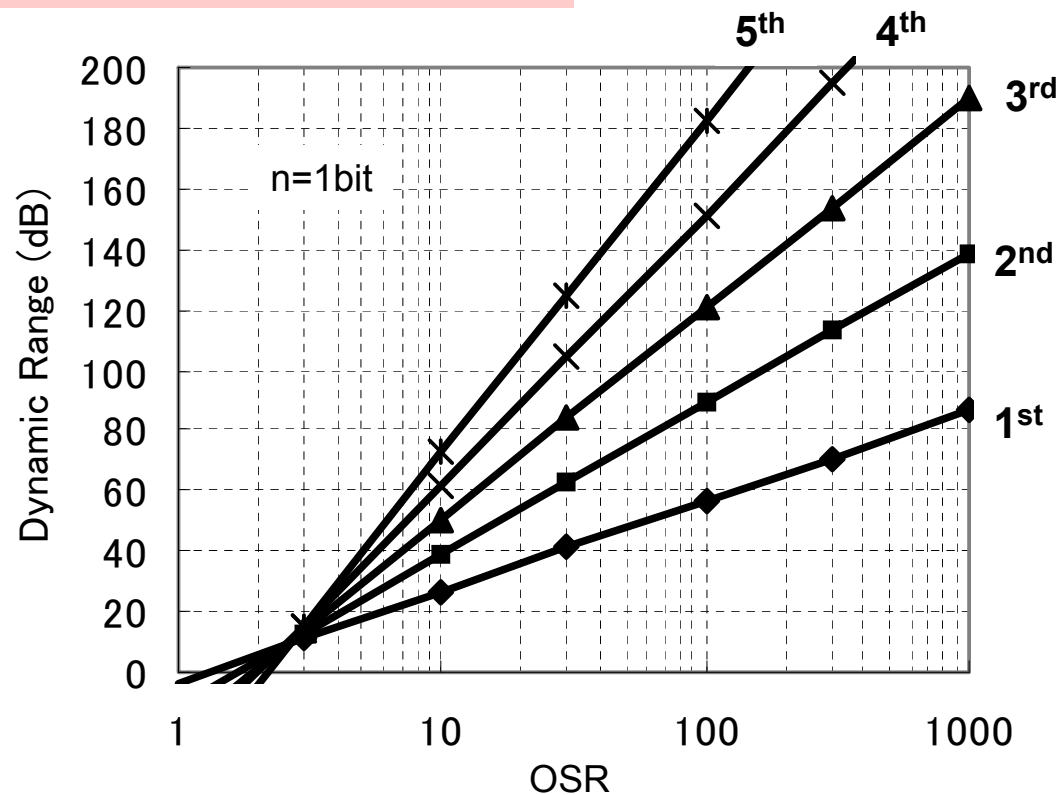


回路の高速化とSNR

$\Delta \Sigma$ 変調技術を用いると、回路を高速動作させることで、高いSNRを得ることができる。
微細・低電圧回路に向いている。

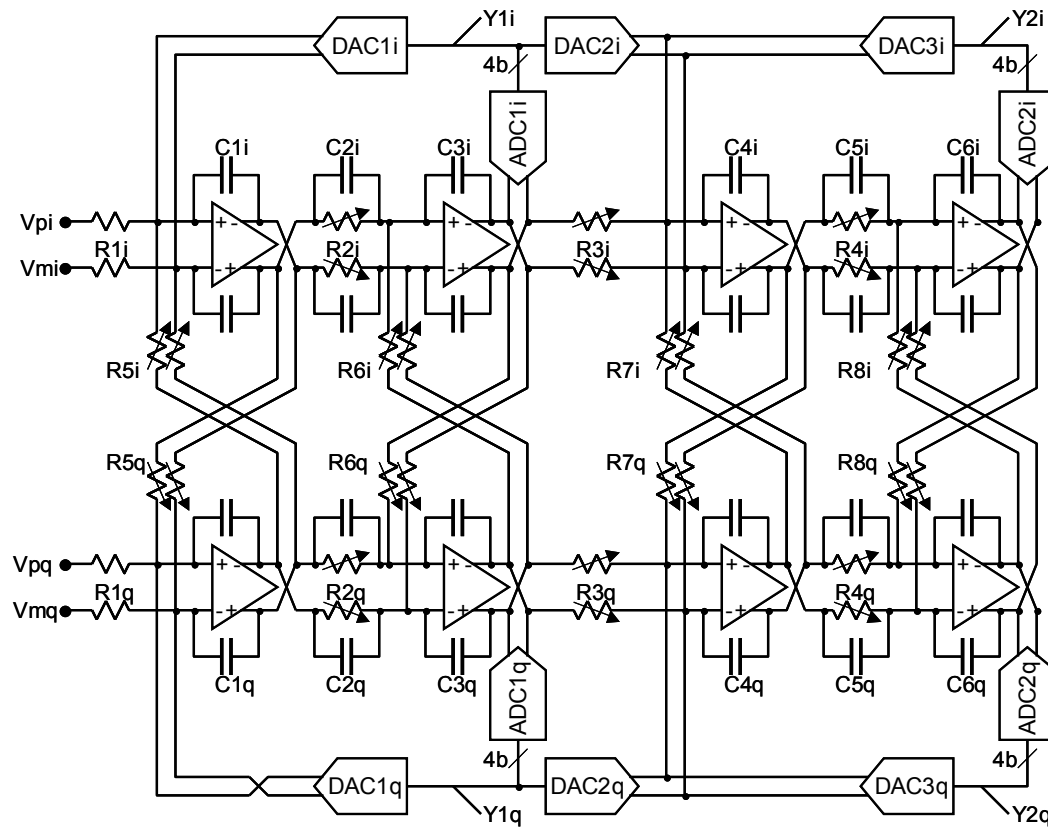
$$SNR = \frac{3\pi}{2} (2^N - 1)^2 (2L + 1) \left(\frac{OSR}{\pi} \right)^{2L+1}$$

OSR=動作周波数/(信号帯域 x 2)



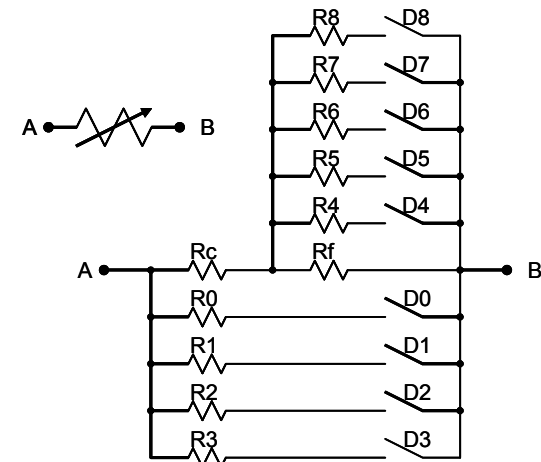
CT型複素バンドパス $\Delta\Sigma$ 型ADC

CT型 $\Delta\Sigma$ 型ADC, 20MHzの信号帯域で77dBのSNRを実現した



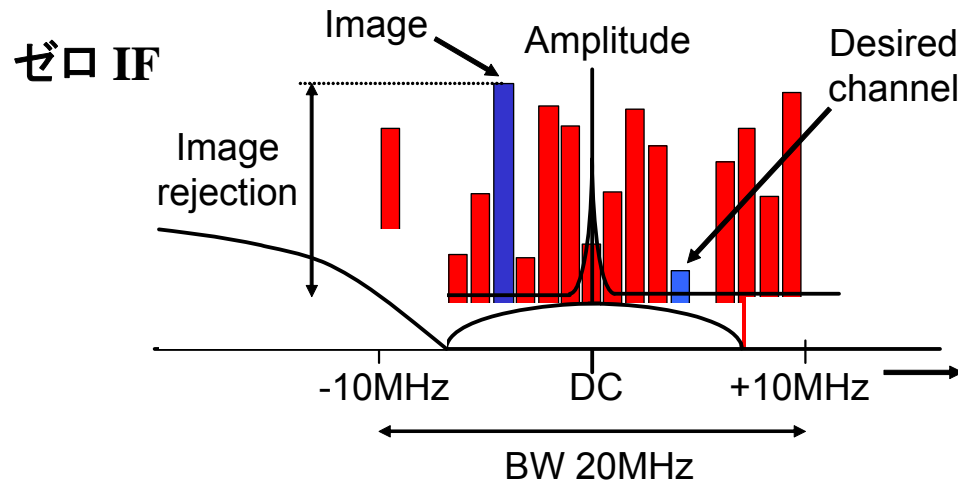
L. J. Breems, et., al.

“A 56mW CT Quadrature Cascaded SD Modulator with 77dB in a Near aero-IF 20MHz Band. ISSCC 2007, pp. 238-239.



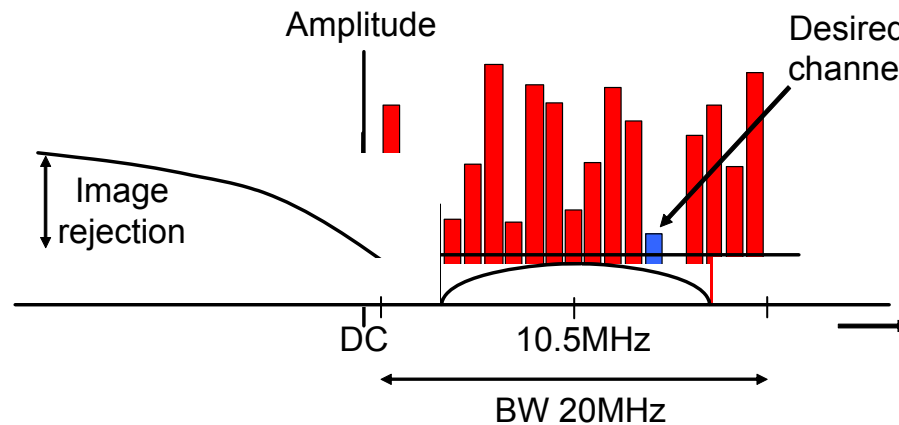
ゼロIFとNear IF

$\Sigma \Delta$ 型ADCはフィルター特性により様々な機能を付加することができる。



1/fノイズの影響が大きく、
かつイメージ除去が困難

Near IF



1/fノイズの影響が少なく、
かつイメージ除去が容易

→複素バンドパスフィルタが必要

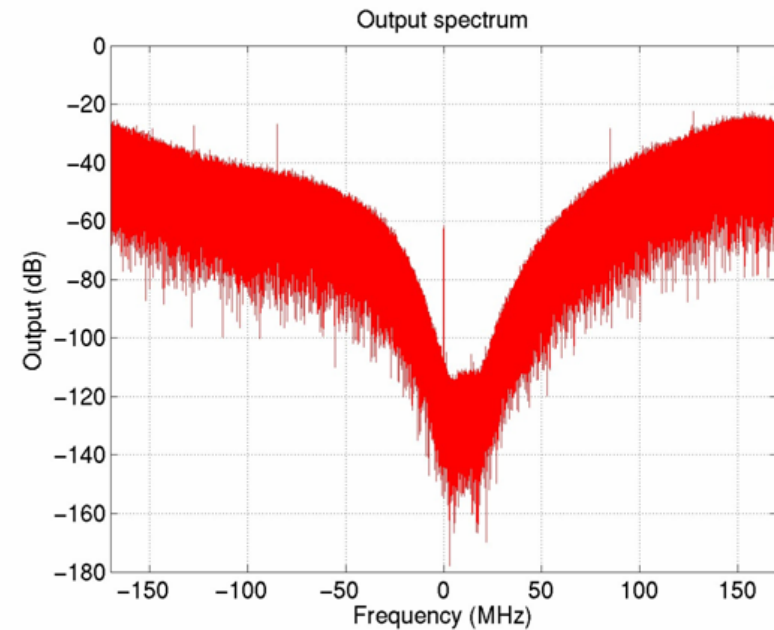
性能

90nm CMOS、帯域 20MHz, DR(=SNR)=77dB, 50mW, FoM=200fJ/conv.

90nmCMOSを用いて高いSNRを実現している。

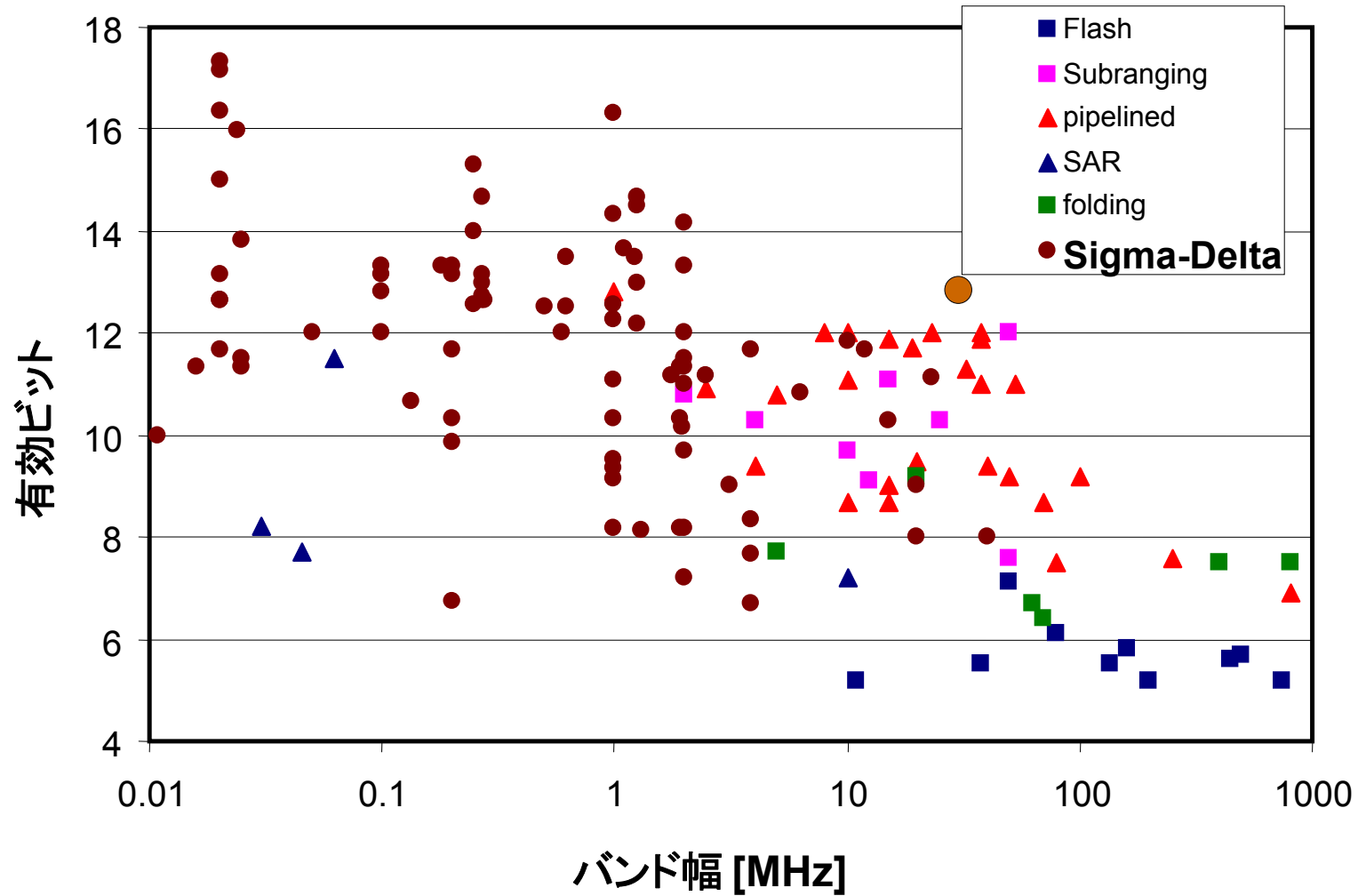
Technology	90nm CMOS, 1P6M
Supply voltage	1.2V
Architecture	CT quadrature cascaded $\Sigma\Delta$ modulator (2-2, 4b)
Sampling frequency	340MHz
Bandwidth	20MHz @ 10.5MHz IF
Max. input voltage	1Vp (differential)
Dynamic range*	77dB (97dB @ 200kHz, 115dB @ 3kHz)
Peak SNR / SNDR*	71dB / 69dB
Image rejection	>55dB (for -1MHz input tone)
Active chip area	0.5mm ²
Power consumption	50mW (analog), 6mW (digital)
Figure-of-merit (FOM)	0.2pJ/conv. (FOM=P/(2 ^{enob} *2*BW))

(*1MHz input signal, signal bandwidth is 20MHz)



$\Delta \Sigma$ 型ADCの性能

$\Delta \Sigma$ 型ADCは高い有効ビット(SNR)を維持しながら広帯域化が進展している



まとめ

-
- ・ 現在の主流であるパイプライン型ADCは微細化に対し大きな課題
 - OPアンプの利得が低下
 - 低電圧化によりSN比が劣化、消費電力が増大
 - ・ SA ADCが微細化に適したA/D変換方式として注目されている
 - 微細化に伴うOPアンプの課題の影響を受けない
 - 容量、スイッチ、比較器しか用いないのでシンプルで低FoM、微細化に適する
 - ・ しかしながらパイプライン型ADCもデバイスの最適化などにより性能が向上
 - 2段階の増幅
 - ハロー注入を行わないことにより利得やスイッチ特性を向上
 - SA ADCと同等のFoM
 - ・ SA-ADCの方が限界FoMは低いがパイプラインと比べ差は案外小さい
 - OPアンプの問題は無いが、比較器感度への要求は厳しい
 - 増幅器無しで高感度化できるかどうか？
 - 変換エネルギーは低いが、変換速度は限界か？

まとめ:何が変わるのか？

- 微細化・低電圧化
 - 高速・高周波だが低SNR→高速化技術を活かす
 - 低利得化→OPアンプが困難に
- アナログ回路
 - スイッチ、容量、比較器の簡単な構成→OPアンプレス
 - 定常電流が流れない構成→超低電力化
 - デジタル補償技術が重要に
 -
- 信号処理
 - $\Delta\Sigma$ 変調技術が多用
 - 離散時間処理がRFに適用
 - フィルター処理の大半はデジタル化に