

# ミリ波帯電力増幅器の出力整合回路における配線構造最適化の検討

Optimization of Transmission Line Structure for mm-wave Power Amplifier

松下 幸太      高山 直輝      岡田 健一      松澤 昭  
Kouta Matsushita      Naoki Takayama      Kenichi Okada      Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

## 1 まえがき

近年、60GHz帯を利用した超高速近距離無線通信機能を民生機器に実装するために、より安価なSi CMOSを用いた無線通信回路が検討されている。無線通信回路のコンポーネントの中でも電力増幅器はCMOSでの実現が最も困難であり、様々な研究が行われてきた。

本研究では、ミリ波帯整合回路の低損失化を目的に、整合回路に用いる伝送線路幅の最適化を行った。

## 2 検討方法

電力増幅器から次段に送る電力を高めるには、電力増幅器の出力電力を高くすることと、出力トランジスタと次段間の損失を小さくすることが必要であり、そのために出力トランジスタと次段の間に出力整合回路を挿入する。ミリ波帯では出力整合回路を作成する際に、特性インピーダンスが低い伝送線路を用いると、出力トランジスタと次段間の損失が小さくなることが知られている[1]。

今回検討した出力段の回路図を図1に示す。ロードプル解析によって最大出力が得られるように $Z_{opt}$ を決定する。さらに、次段とのマッチングをとるため伝送線路の長さを調整して最適な整合回路を作成する。図2にマイクロストリップ型伝送線路の構成を示す。線路幅 $W$ を変えると伝送線路の特性インピーダンス $Z_0$ が変わり、 $50\Omega$ を $Z_{opt}$ に変換するための伝送線路長 $l_1$ 、 $l_2$ 、 $l_3$ の値も変化する(図3)。各 $W$ において最大出力電力を与えるときの伝送線路長と整合回路での損失をシミュレーションから導出する。

## 3 シミュレーション結果

図4にシミュレーション結果をまとめた。今回行ったシミュレーションでは3本の伝送線路はすべて等しい幅とした。横軸に $W$ をとり、縦軸に $Z_{opt}$ を与えるときの各 $l$ の長ささと整合回路での損失をとる。 $W$ が大きくなるにつれて単位長さ当りの損失は減る。しかし、図4に示されるように、 $W$ を大きくすると $Z_{opt}$ を与える $l_3$ の値も増加するため、 $W$ が $24\mu\text{m}$ で整合回路での損失は最小となり、それ以降は再び損失は増加する。

## 4 まとめ

伝送線路幅がある一定の値で整合回路での損失は最小になる事を確認した。したがって整合回路の損失が最小となる最適な伝送線路幅を用いて整合回路を設計することが必要である。

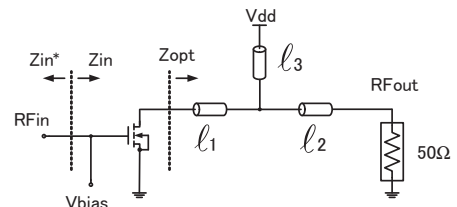


図1 電力増幅器出力段の回路図

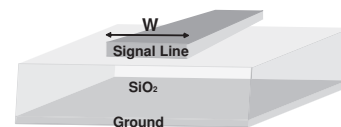


図2 マイクロストリップ型伝送線路の構成

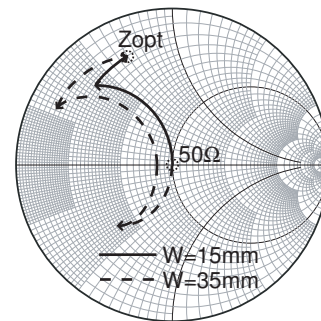


図3 伝送線路幅による伝送線路長の変化

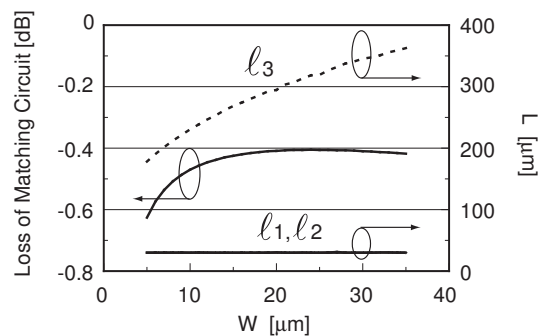


図4 伝送線路幅と整合回路での損失の比較

## 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

## 参考文献

[1] M. Tanomura, et al., Dig. Tech. of ISSCC, pp. 558–559, Feb. 2008.