

容量DACの寄生容量がSAR ADCの精度に与える影響の検討

Analysis of Parasitic Capacitances Effect in A Capacitive DAC used in SAR ADC

ヴ ミン コア
Vu Minh Khoa

宮原 正也
Masaya Miyahara

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年アナログデジタル混載システムの発達と共に、アナログ・デジタル変換器 (ADC) の更なる高性能化が望まれている。その中で逐次比較型 ADC (SAR ADC) は図 1 に示すようにコンパレータ、容量 DAC 及び簡単なロジックで構成でき、低消費電力動作が可能な ADC として注目を浴びている。SAR ADC の構成要素のうち、主に容量 DAC が ADC の精度及び面積を決定しており、いかに面積を小さく抑えて精度を保つかが設計上重要な点となる。容量 DAC を小面積化する手法の一つとして、図 1 のように 2 つのバイナリ容量アレイの間に直列に容量 C_s を接続した 2-Stage Weighted Capacitor DAC (2-Stage WCDAC) がよく用いられる [1]。しかし、直列容量 C_s を容量アレイに挿入することにより、寄生容量に起因する線形性の劣化が問題となる。本発表では、2-Stage WCDAC において寄生容量が SAR ADC の線形性に与える影響について解析を行うと共に、容量面積と精度の関係性を明らかにする。

2 寄生容量が容量 DAC の精度に与える影響

図 1 の回路において、容量の下部電極は上部電極と比較して寄生容量が大きい。コンパレータの入力部の寄生容量が大きくなることを避けるためにバイナリ容量アレイの下部電極はサンプリング及びリファレンススイッチに接続される。ここで MSB アレイと LSB アレイのコンパレータ入力側に付く寄生容量を単位容量 C の α 倍、 β 倍とすると、DAC の最大 DNL は次式で表される。

$$DNL_{\max}[\text{LSB}] = \frac{(k+1-2^n)2^{m+n}}{k(2^m-1)+2^n-1} - 1 \quad (1)$$

$$\text{ただし } k = 2^n + \beta \left(1 - \frac{1}{2^n}\right) \quad (2)$$

式 (1) と (2) から、 DNL_{\max} は β , m , n の関数で表され、 α に依存しないことがわかる。よって、DNL 特性を考えると、 C_s の下部電極は MSB 側に接続するほうが望ましい。10 bit の DAC を構成したときの β と C_s の位置における DNL の特性とトータルの容量値の変化を図 2 に示す。図 2 より、 β が増加するにしたがって DNL の特性が劣化することがわかる。また、 m を大きくすることで DNL の劣化を抑制することが可能であるが、容量値の増加を招く。 α は DAC の DNL に影響を与えないが、DAC のゲインエラーの要因となる。SAR ADC における DAC のゲインエラーはコンパレータの感度に対する要求を厳しくする。図 3 に α 及び m とゲインエラーの関係を示す。 α が増加するとゲインエラーが大きくなるが、 m を増加させることによりゲインエラーを抑制することが可能である。以上をまとめると、 m を大きくするほど DAC の DNL 及びゲインエラー特性を改善させることが

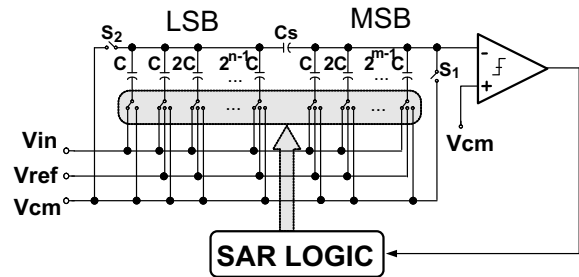


図 1 2-stage WCDAC

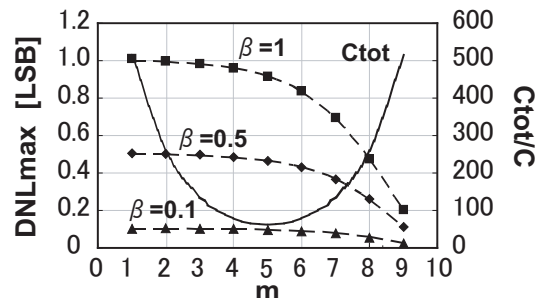


図 2 DNL 特性

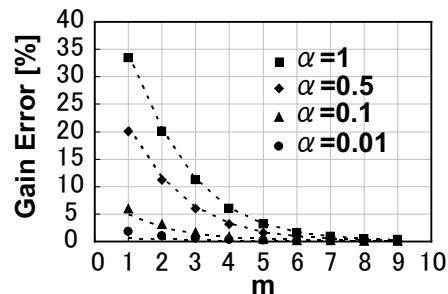


図 3 ゲインエラー特性

可能であるが、トータルの容量値の最小点は $(m+n)/2$ の点にあるため、精度と容量面積のトレードオフとなる。

3 まとめ

本発表では 2-Stage WCDAC の LSB アレイと MSB アレイにおける寄生容量が DAC の線形性及びゲインエラーに与える影響を検討した。また、直列容量 C_s を LSB 側の方に移動することにより、DNL 及びゲインエラー特性が改善することが可能であるが、容量値、すなわち面積の増加を招くことを示した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』並びに、東京大学大規模集積システム設計教育研究センターを通して、日本ケイデンス株式会社の協力で行われたものである。

参考文献

[1] Y. Yee, et al., *IEEE JSSC*, vol. 14, no. 4, pp. 778–781, Aug 1979.