

# インダクタンス、Q値の測定

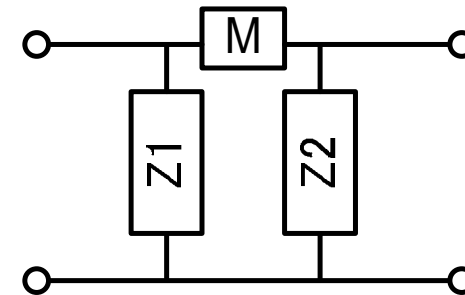
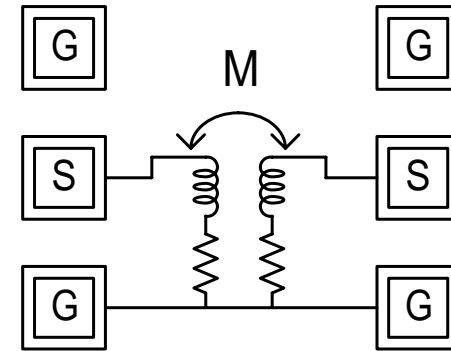
## – IND\_TEG1

- W(um) 15、 R(um) 60、 S(um) 1.5、 N 3
  - Signal シールドあり、 Signal シールドなし

## – IND\_TEG2

- W(um) 15、 R(um) 60、 S(um) 1.5、 N 5
  - Signal シールドあり、 Signal シールドなし

これも寄生素子入りの等価回路にする



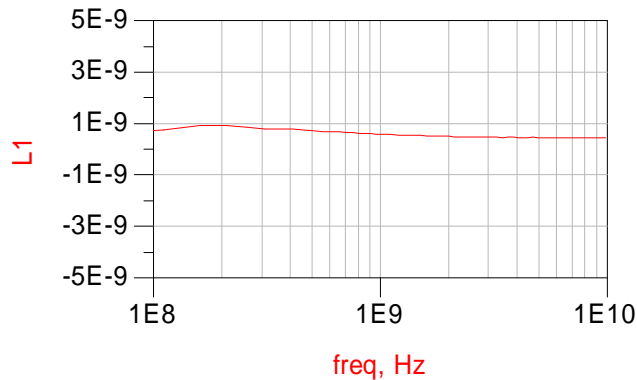
$$V_1 = (L_1 s + R_1) I_1 - M s I_2$$

$$V_2 = (L_2 s + R_2) I_2 - M s I_1$$

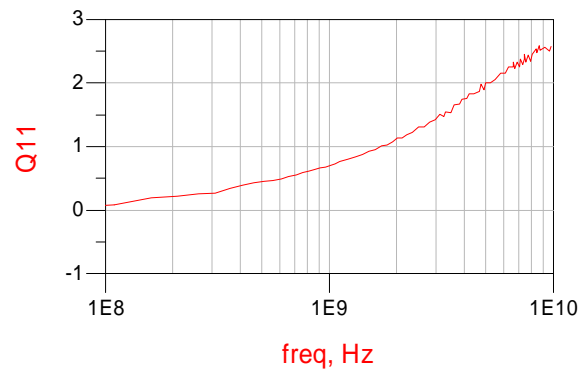
$$Z = \begin{bmatrix} Z_1 & -M \\ -M & Z_2 \end{bmatrix}$$

$$Z = Ls + R$$

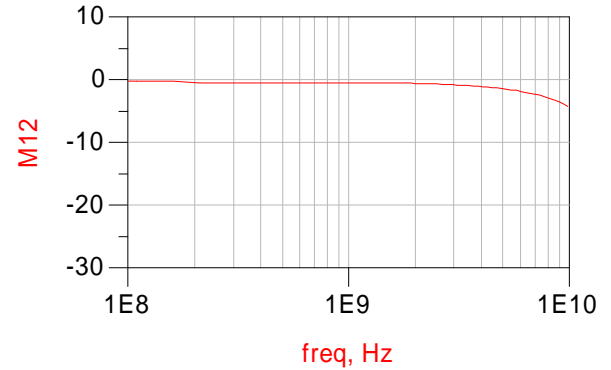
# Differential Inductor 3 turns



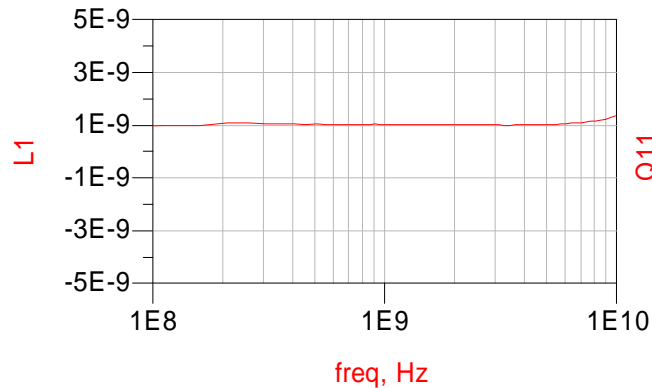
with shield L1



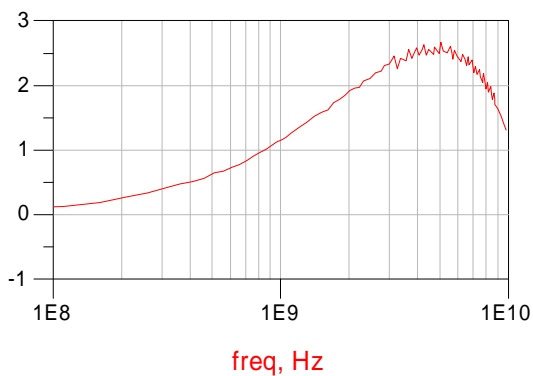
with shield Q1



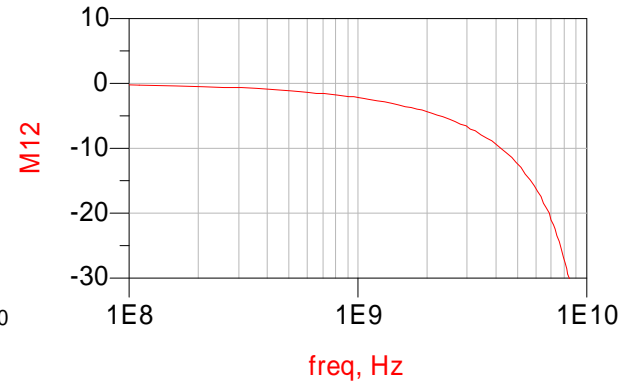
with shield M12



without shield L1

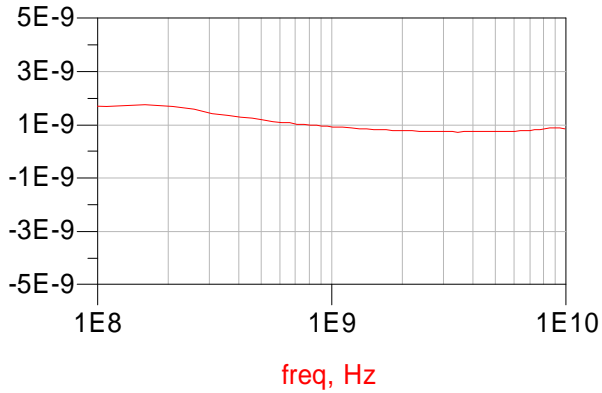


without shield Q1

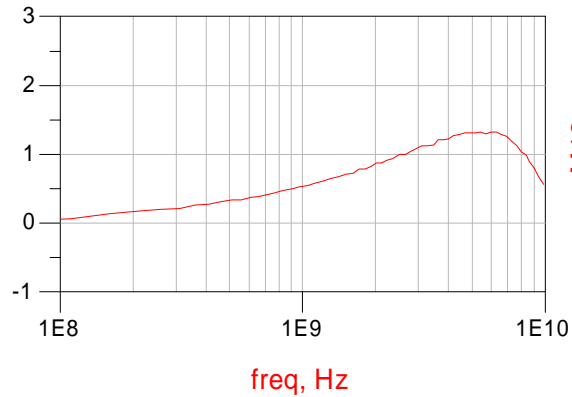


without shield M12

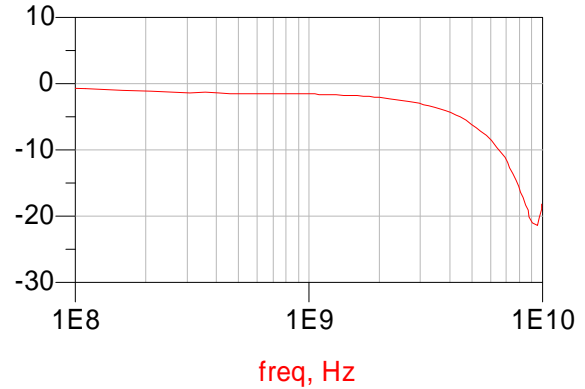
# Differential Inductor 5 turns



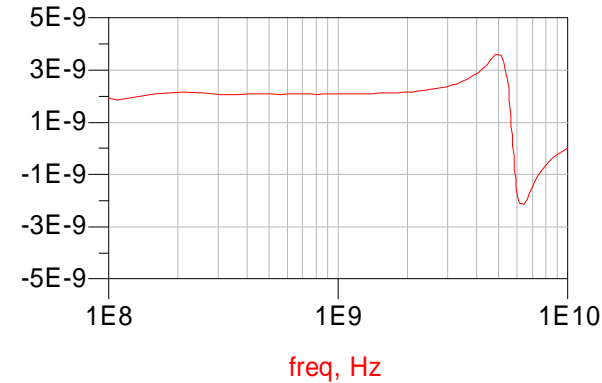
with shield L1



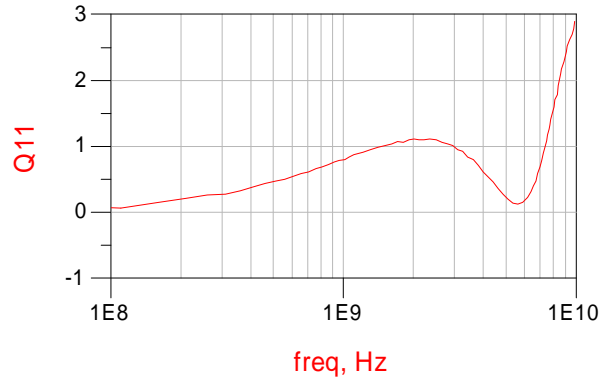
with shield Q1



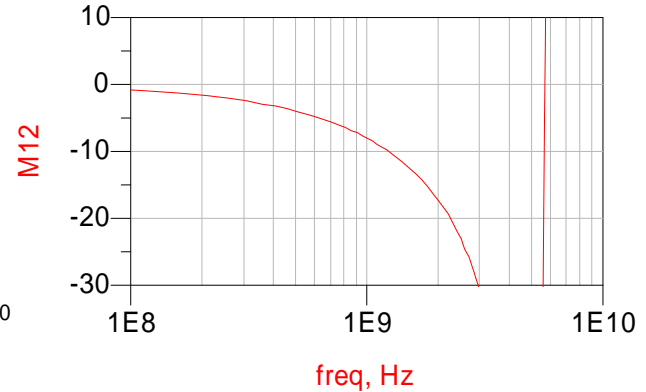
with shield M12



without shield L1

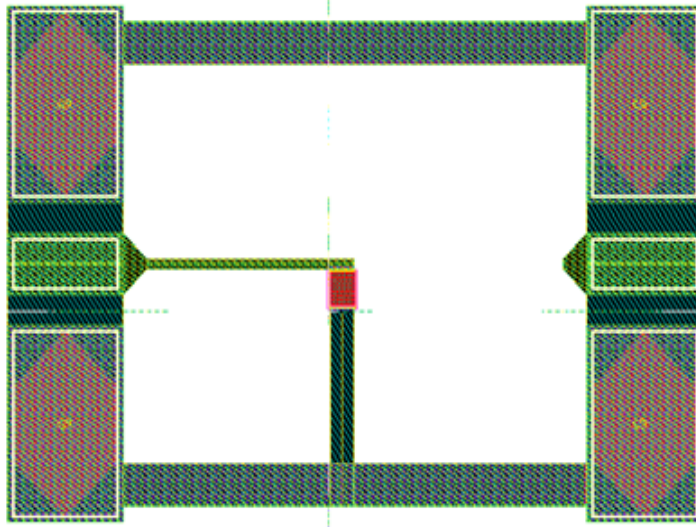


without shield Q1



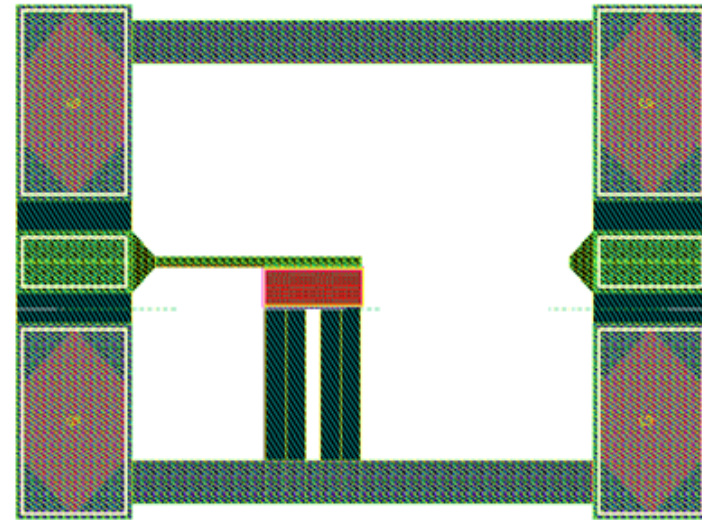
without shield M12

# Varactor C-V characteristic



2pF

W/L=400um/0.5um



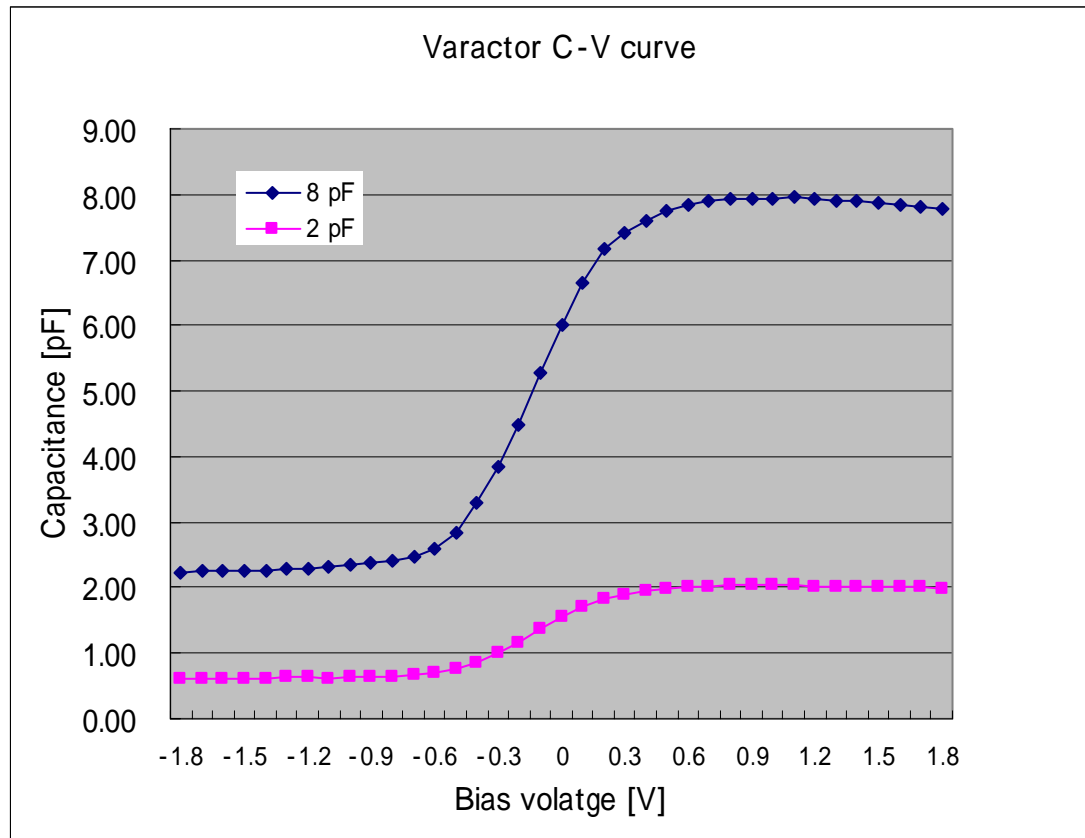
8pF

W/L=1600um/0.5um

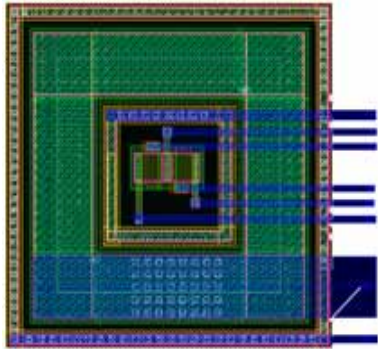
高周波特性も観測できるようにGSGパッドを加えている。

バラクタの構造を示すこと

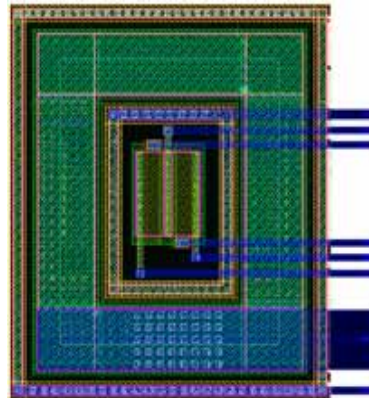
# Varactor C-V curve (データ数9の平均値)



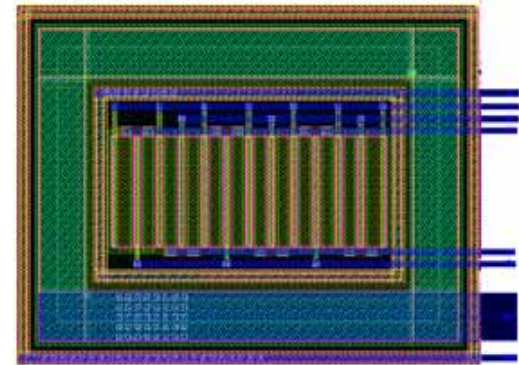
# トランジスタTEG



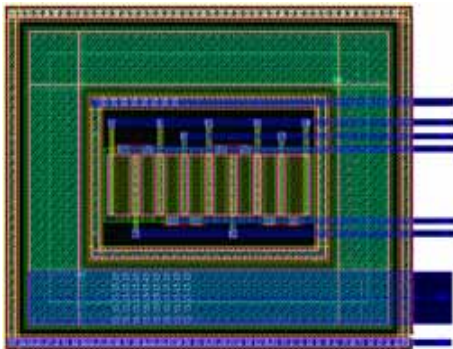
Nch Tr W/L= 1.25  
(um)/0.8 (um)



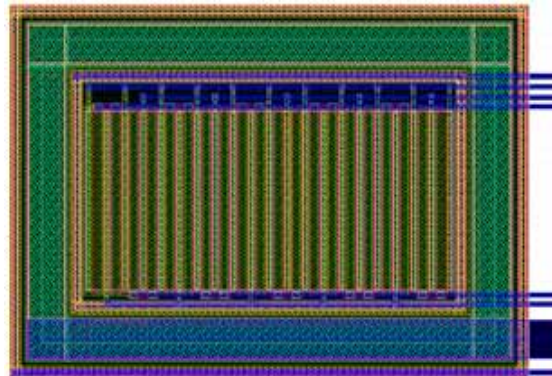
Nch & Pch Tr W/L=  
3.8 (um)/0.8 (um)



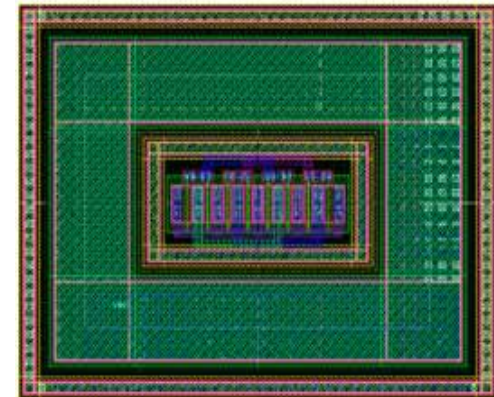
Nch & Pch Tr W/L=  
37.5 (um)/0.8 (um)



Nch & Pch Tr W/L=  
12.5 (um)/0.8 (um)



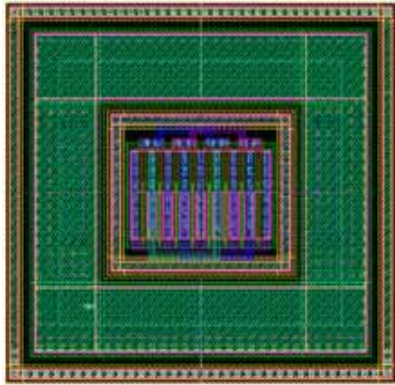
Nch & Pch Tr W/L=  
125 (um)/0.8 (um)



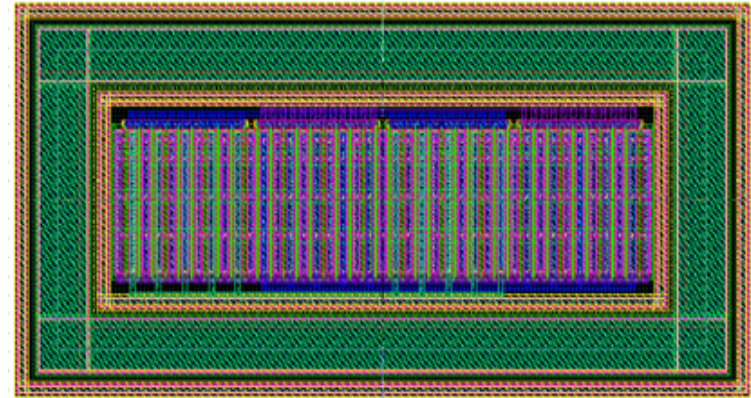
Nch Tr W/L= 5  
(um)/0.2 (um)



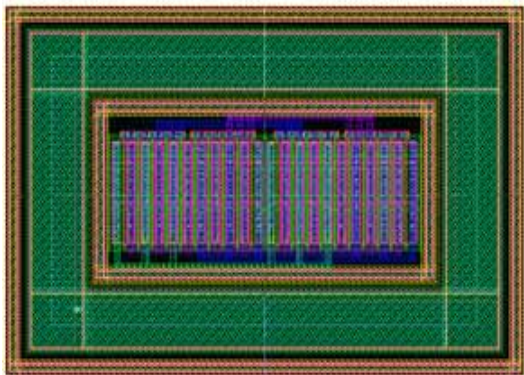
# トランジスタTEG



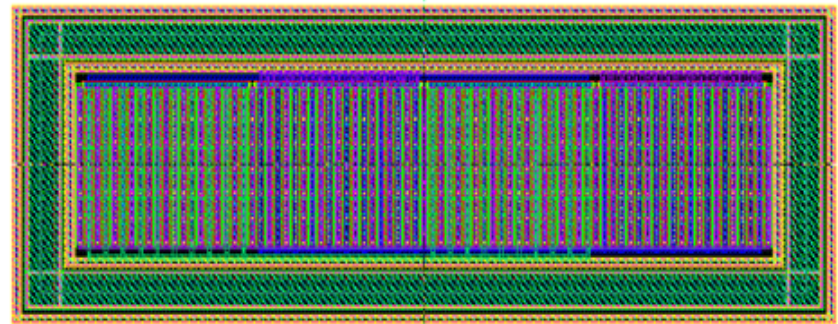
Nch Tr W/L= 15  
(um)/0.2 (um)



Nch Tr W/L= 150  
(um)/0.2 (um)



Nch Tr W/L= 50  
(um)/0.2 (um)

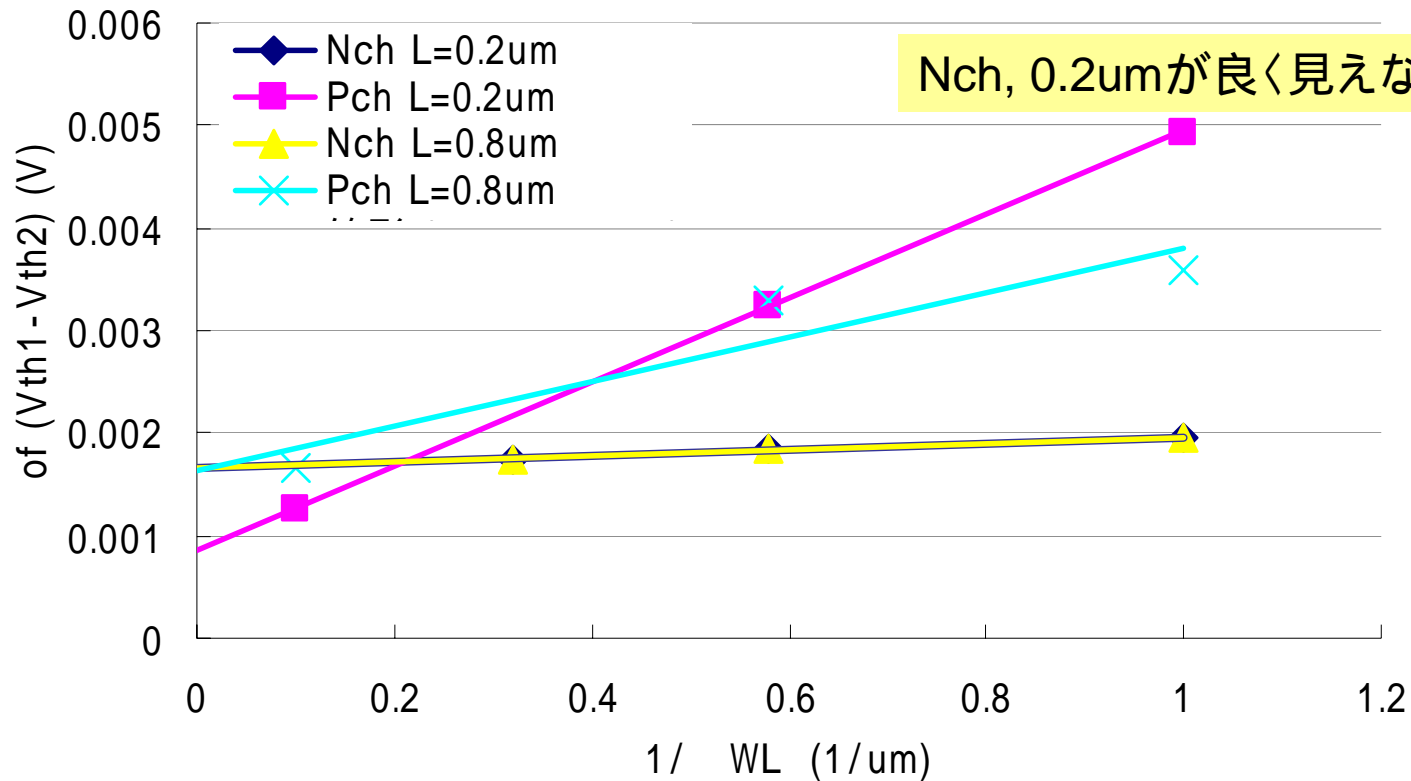


Nch Tr W/L= 500  
(um)/0.2 (um)

# 概算によるVthの標準偏差 (データ数9)

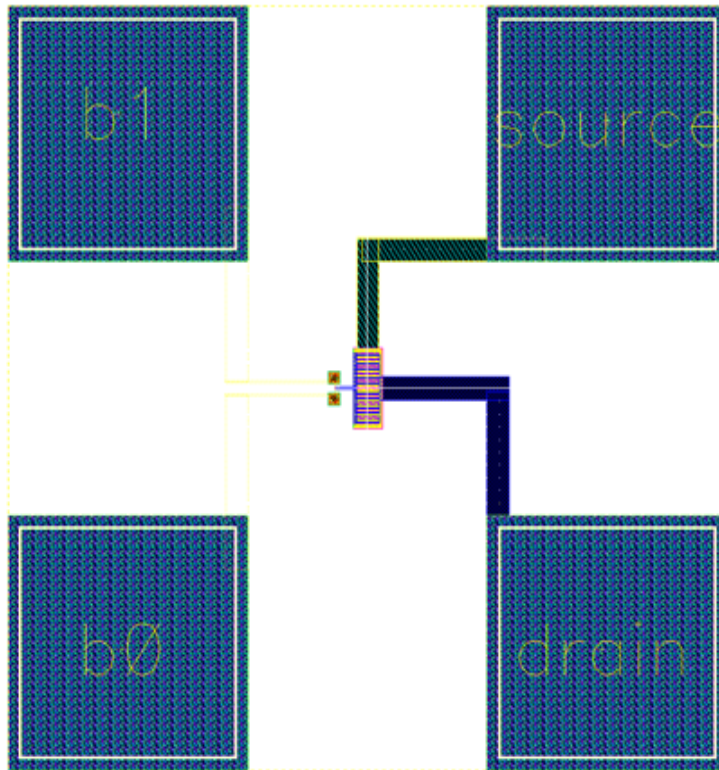
直線近似によりVthを概算した値の 値を求めている。

## Characteristics of Transistors

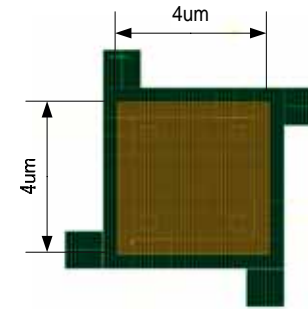




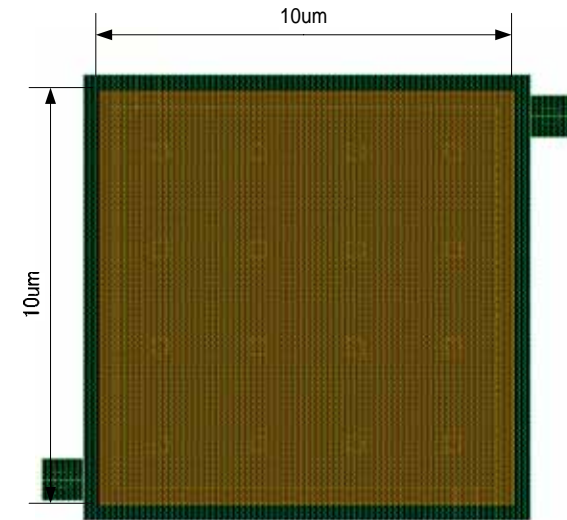
# 容量値のバラツキ観測



パッドを含めた容量マッチング  
測定パターン全体図

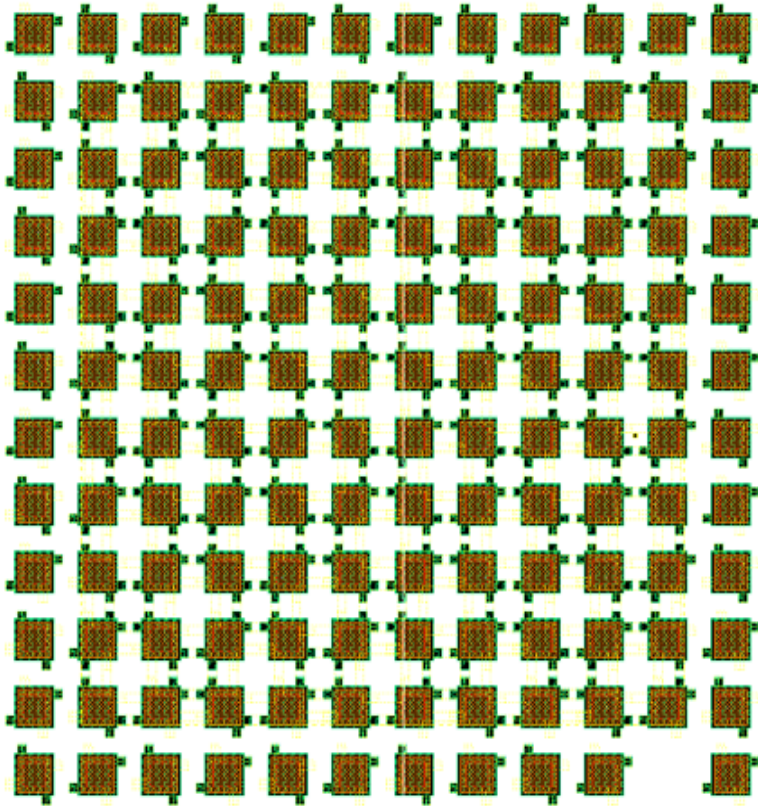


4um MIM容量

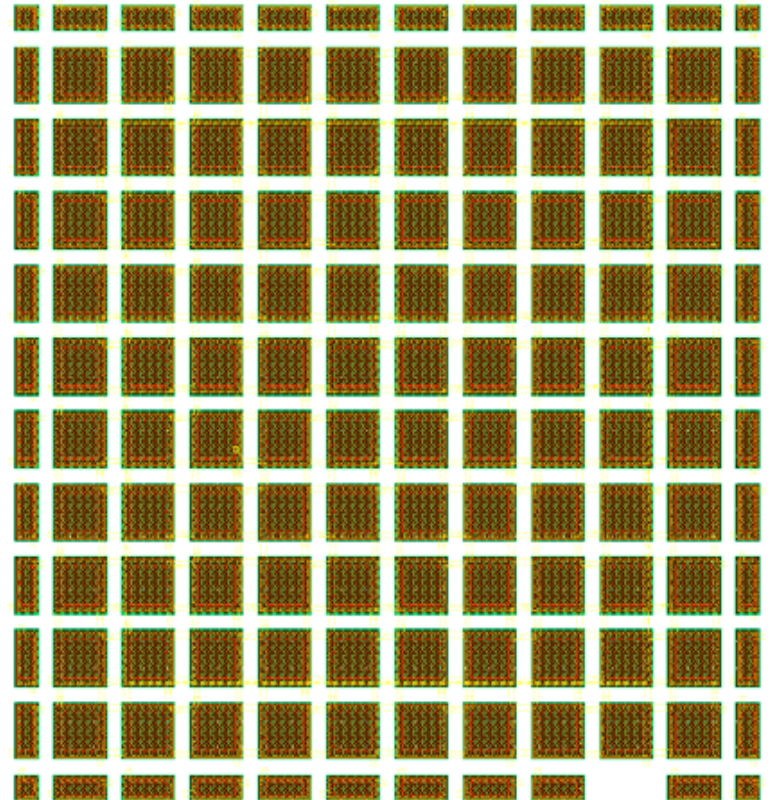


10um MIM容量

# 容量マッチング



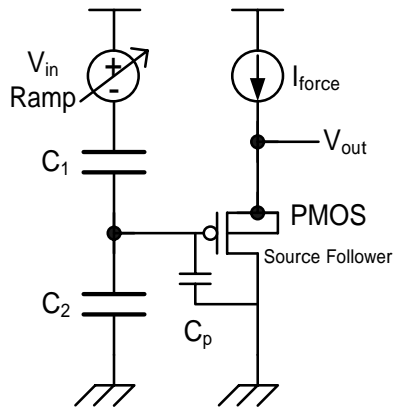
16um<sup>2</sup>\*100の容量



100um<sup>2</sup>\*100の容量

# Floating gate structure

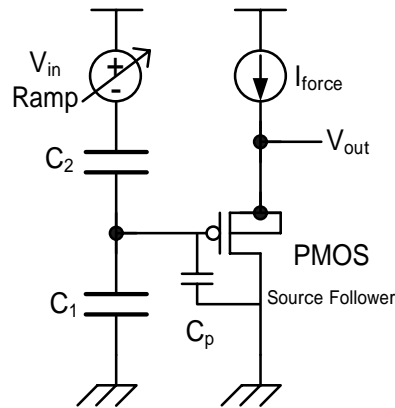
Case 1



$$V_{out} = \frac{C_1}{C_1 + C_2 + C_p} V_{in} + V_0(I)$$

$$S_1 = \frac{C_1}{C_1 + C_2 + C_p}$$

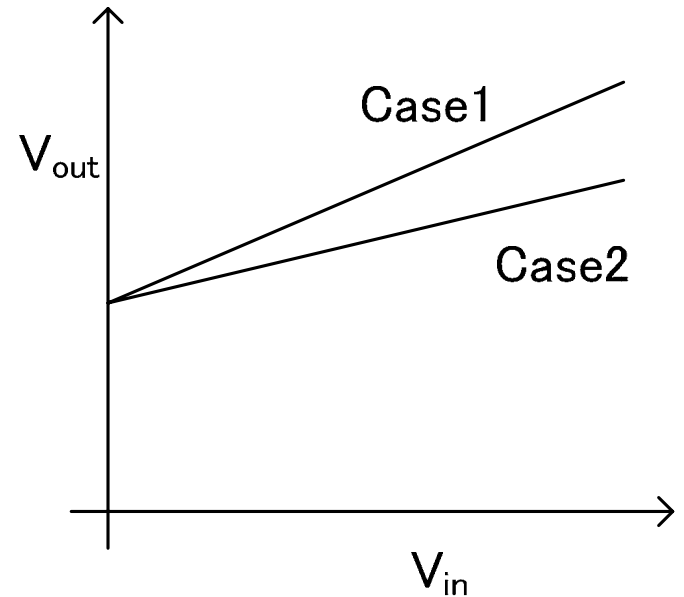
Case 2



$$V_{out} = \frac{C_2}{C_1 + C_2 + C_p} V_{in} + V_0(I)$$

$$S_2 = \frac{C_2}{C_1 + C_2 + C_p}$$

$$\frac{\Delta C}{C} = \frac{C_1 - C_2}{C_1 + C_2} = 2 \left( \frac{S_1 - S_2}{S_1 + S_2} \right)$$



**On-chip quasi-static floating-gate capacitance measurement method**

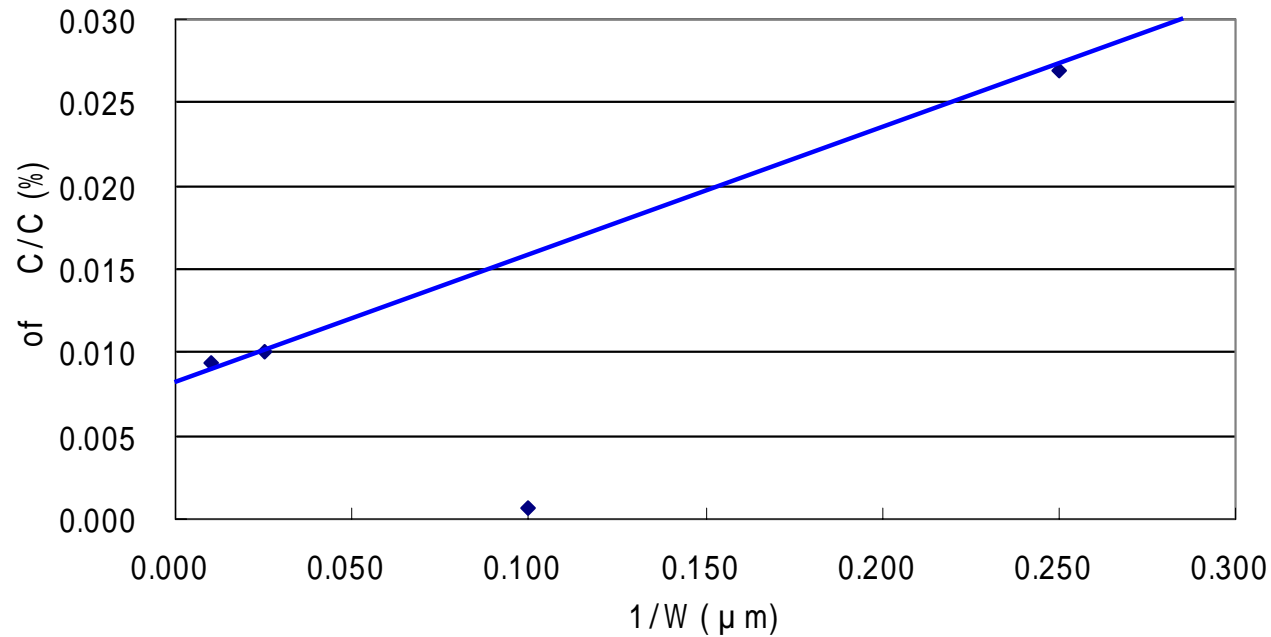
[Kortekaas, C.](#) (Philips Research Lab, Eindhoven, Neth) **Source:** ICMTS

1990 Proc 1990 Int Conf Microelectron Test Struct, 1990, p 109-113

# MIM Capacitanceのバラツキ

(データ数9)

## Characteristics of MIM capacitors



# まとめ

- 全層VIAでつなげたPADは、3GHzを越えた辺りから大きく信号の減衰が見られるため、上層だけを繋げたPADの利用が必要である。
  - ESD保護ダイオードは2GHz程度の信号であれば $100\mu\text{m}^2$ のもので適応可能であるが、それ以上の周波数に対しては、さらにサイズを縮小をしなくてはならない **なぜ？**
  - ダミーフィル混入というミスにより特性を十分に確認はできなかったが、インダクタンス値に関しては予想に近い値が得られることを確認した。
  - バラクタのC-V特性を抽出したが、0V付近での急峻な変化を含んですることに気をつける必要がある。
  - トランジスタのしきい値電圧の概算値を直線近似により求めデータ数9から 値を求めている。NMOSに関してはDeep Nwellを用いているが、今回のプロセスではDeep Nwell内のトランジスタをLVSで配線検証ができないという欠点があり、慎重なレイアウトを余儀なくされた。しかし、残念ながらレイアウトミスが多々あり、十分なデータ数を得ることができていないが、トランジスタサイズの拡大により、概算のしきい値電圧でもばらつきは抑えられることを確認した。
  - MIMの容量値のばらつきに関しては、 $100\mu\text{m}^2$ 点で傾向線から外れている。しかしサイズの拡大により、容量値のばらつきは抑えられることを確認した。
- **簡単なレイアウトで各素子の特性を観測できたことから、特性の確認だけでなく新人の教育用としても十分有効なTEGである。**