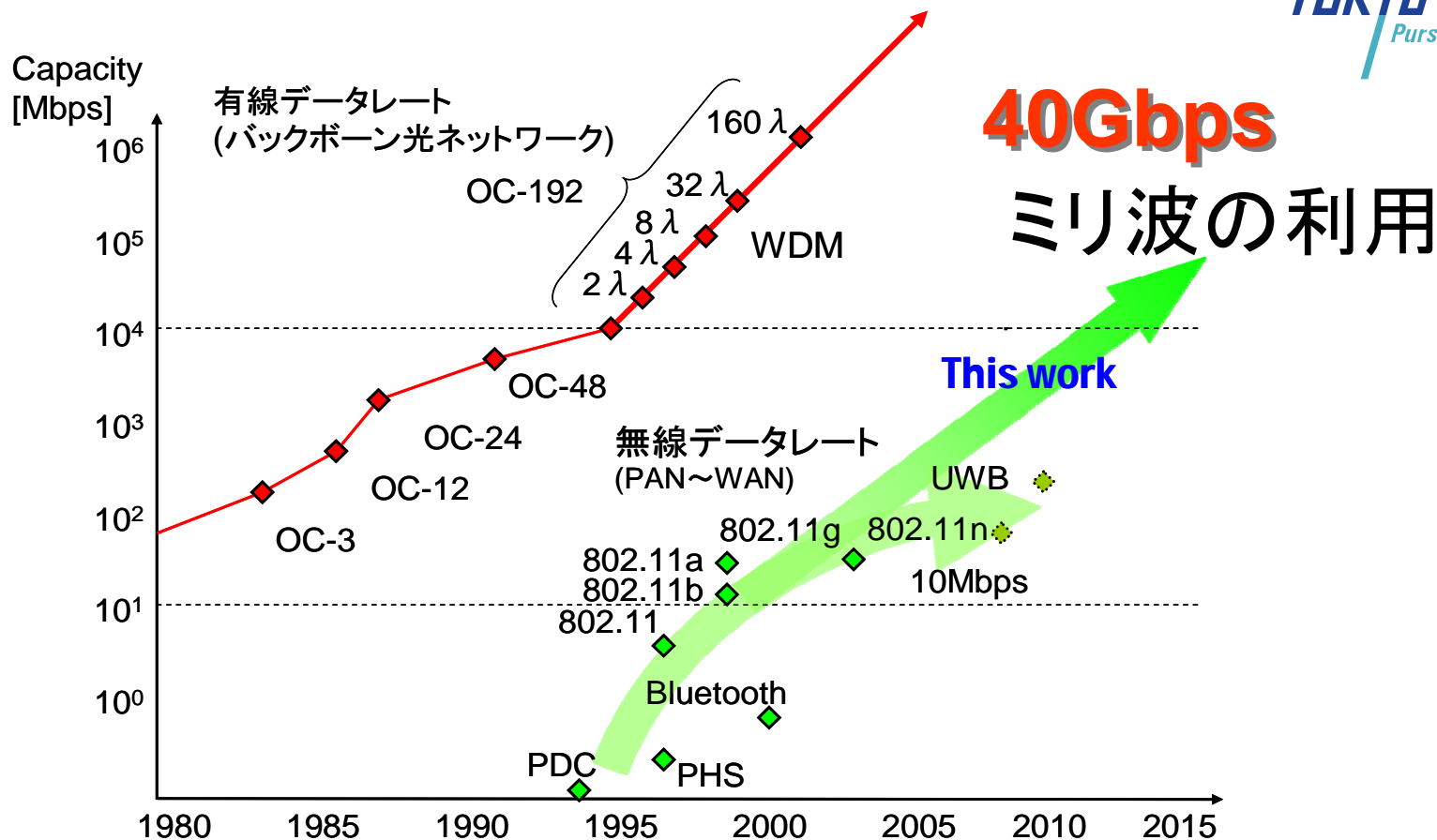


寄生成分を考慮したミリ波電力増幅器の 段間マッチングの検討

○高山 直輝, 岡田 健一, 松澤 昭

東京工業大学大学院理工学研究科



メディアの情報量 \propto CMOS
 有線の通信速度 \propto CMOS
 無線の通信速度 \propto 周波数帯域

無線スケーリング
の必要性

60GHz帯を用いた近距離無線通信が検討されている

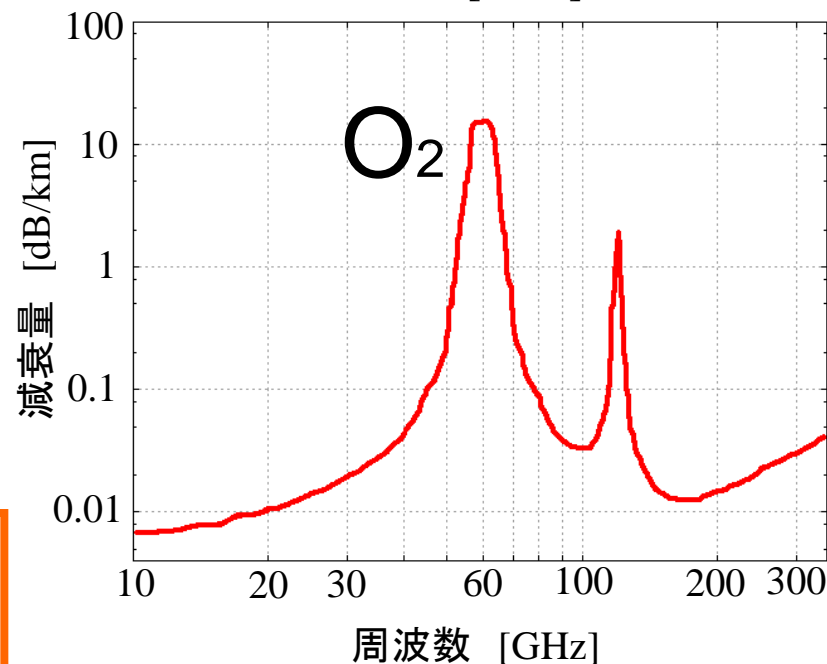
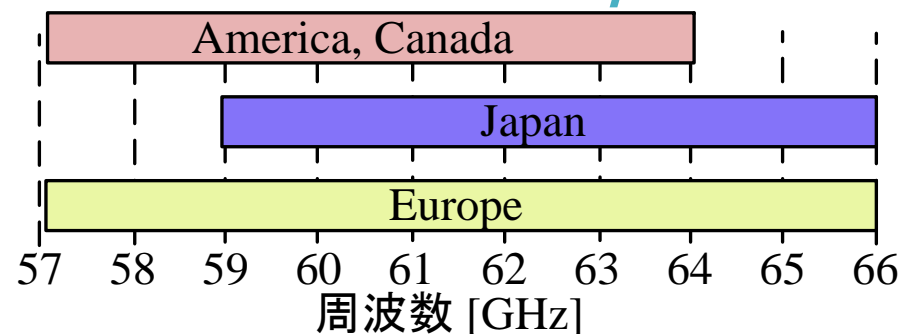
60GHz帯の電波は酸素分子と共振し、吸収されてしまう



遠くに飛ばない反面、干渉を受けにくい



無免許で使用できるため
超高速近距離通信に適応

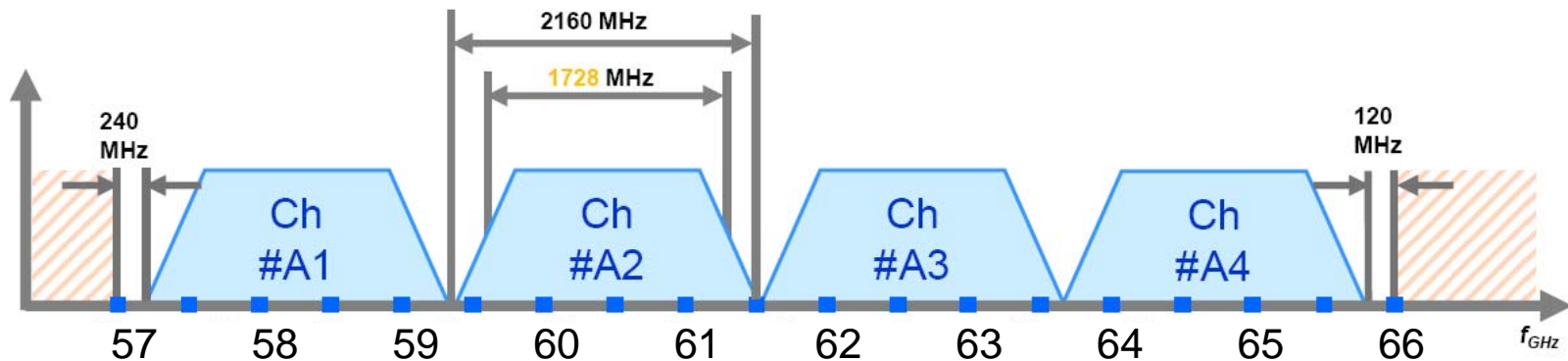


[1] Rec. ITU-R P.676-2, Feb. 1997

最大 2.16GHz x 4chの利用が可能

High rate (Single carrier) で6Gbps/chの規格が予定

Channel Number	Low Freq. (GHz)	Center Freq. (GHz)	High Freq. (GHz)	Nyquist BW (MHz)	Roll-Off Factor
A1	57.240	58.320	59.400	1728	0.25
A2	59.400	60.480	61.560	1728	0.25
A3	61.560	62.640	63.720	1728	0.25
A4	63.720	64.800	65.880	1728	0.25



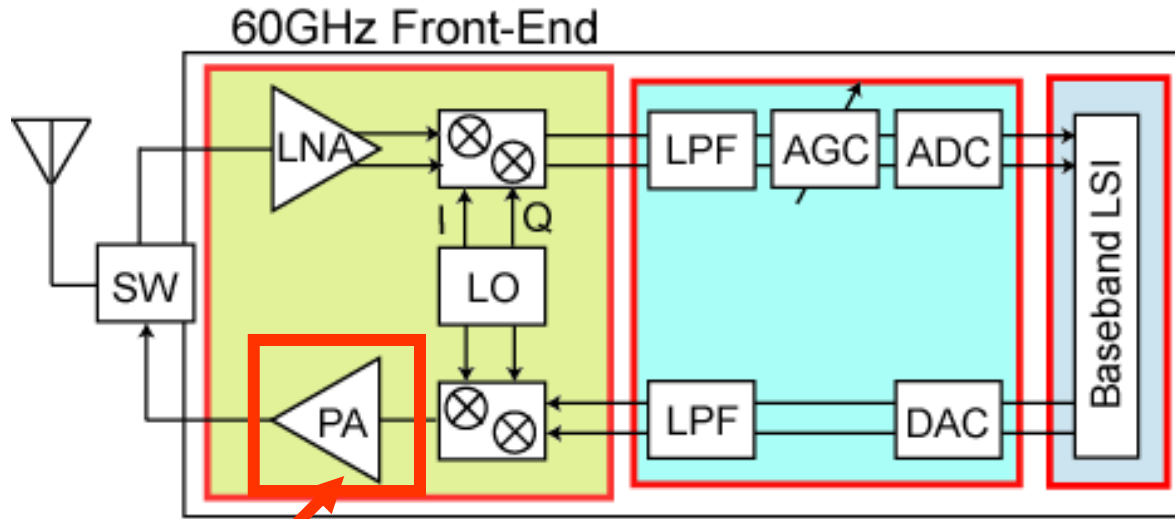
[2] IEEE 802.15-07-0934-01-003c

あくまでも机上の空論ですが...

Channel-BW	8640MHz(4ch)
symbol rate	6912Mbps
符号化率	239/255(RS) = 約 40Gbps
ロールオフ率	25%
変調	64QAM

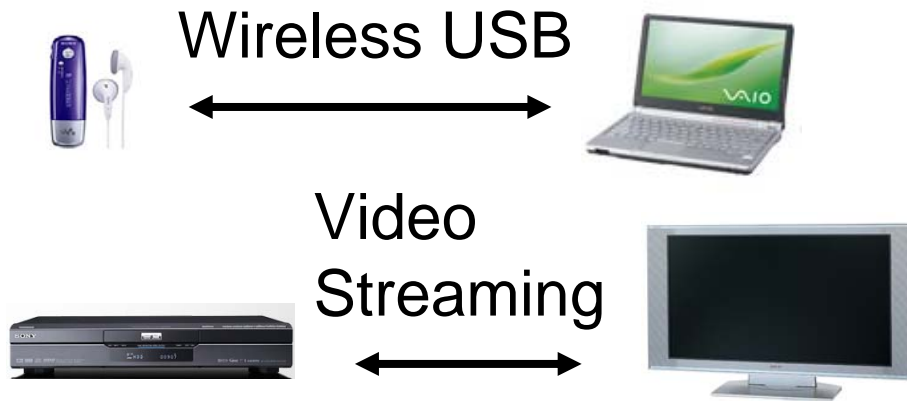
参考:802.15.3c HR15

2160MHz-BW(1ch)@16QAM=6Gbps



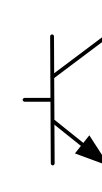
ワンチップで実現

60GHz CMOS PAの実現を検討

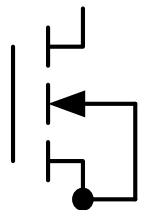


<http://www.sony.jp/>

GaAs
HBT



CMOS



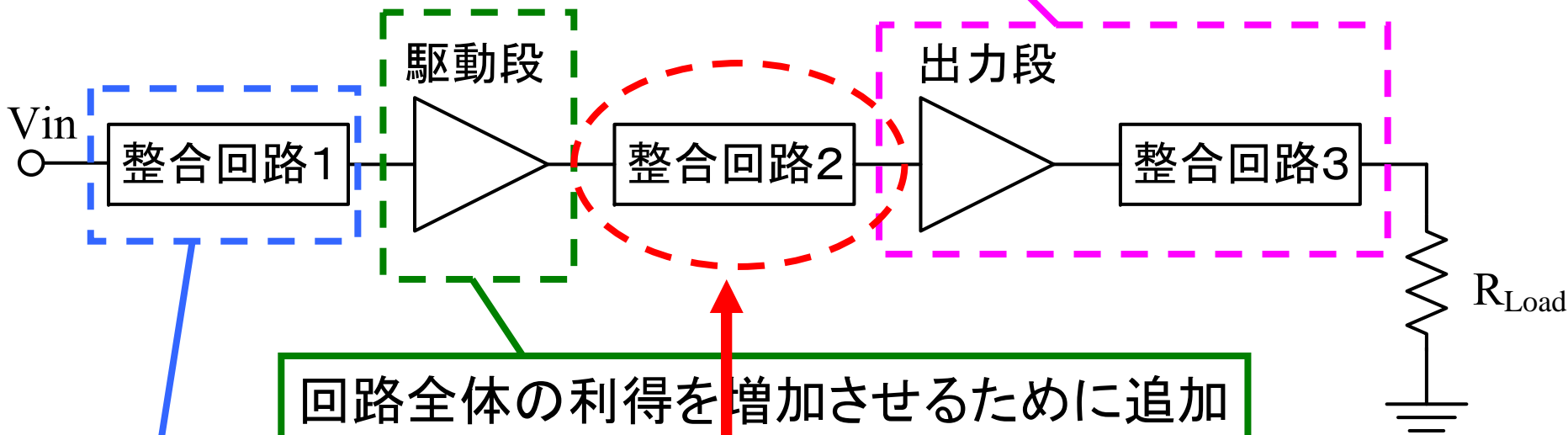
耐圧	😊 高	😞 低
出力	😊 大	😞 小
コスト	😞 高	😊 低

	f [GHz]	Gain [dB]	Pout@1dB[dBm]	PAE[%]
[1]	60	5.2	6.4	7.4
[2]	60	8.3	8.2	2.6
[3]	60	5.5	9.0	8.8
目標	60	10	10	15

Pout@1dBを悪化させずに、Gain&PAE
を改善させる段間マッチング方法を提案

- [1] Terry Yao, *et al.*, "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," *IEEE Journal of Solid-State Circuits*, VOL.42,NO.5, May 2007.
- [2] Toshihide Suzuki, *et al.*, "60 and 77 GHz Power Amplifiers in Standard 90nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 562-564, Feb. 2008.
- [3] Debopriyo Chowdhury, *et al.*, "A 60GHz 1-Volt +12.3dBm Transformer-Coupled Wideband Power Amplifier in 90nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 560-561, Feb. 2008.

歪まずにとれる出力電力を最大にするように設計される
→ 😞 利得は制限されてしまう

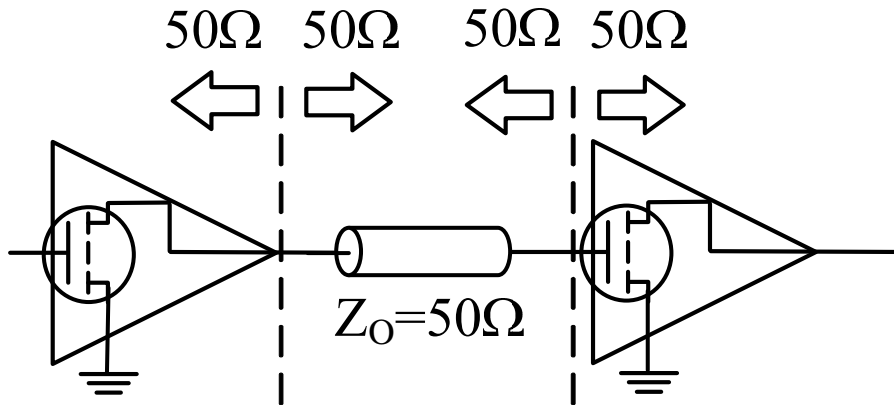


入力をIC外部のフィルタと接続する場合には
50Ωマッチングが必要

回路の性能を高めるために必要→本研究で検討

- 50Ωマッチング
 - ☺ 設計が容易
 - ☹ Si基盤上で製造するとlossが大きい
- Conjugate マッチング
 - ☺ 50Ωマッチングに比べlossは小さい
 - ☹ 回路の安定化を行うため、利得が減少
- 提案手法

ディスクリートの素子を結合する場合



波長に対して配線長
が無視できない

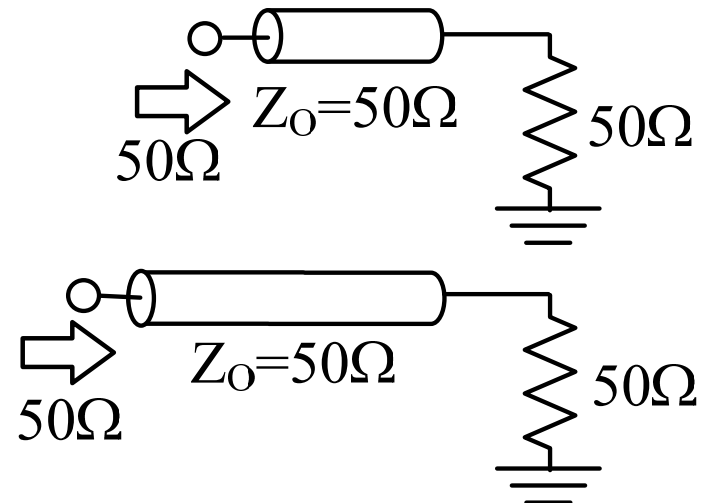


50Ωマッティングが必要

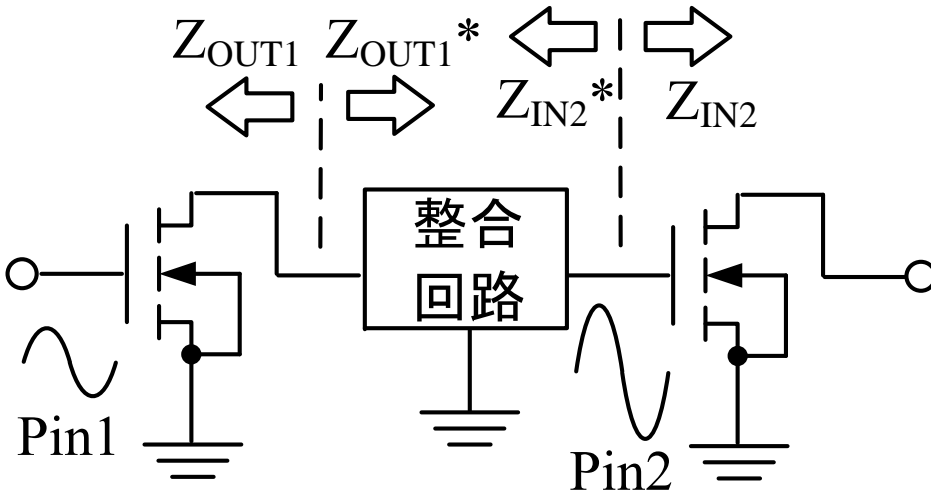
50Ωで終端



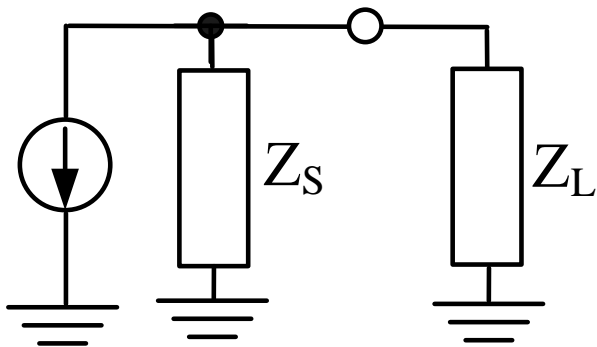
配線長が変わっても50Ωに
見える



On Chipで多段にする場合

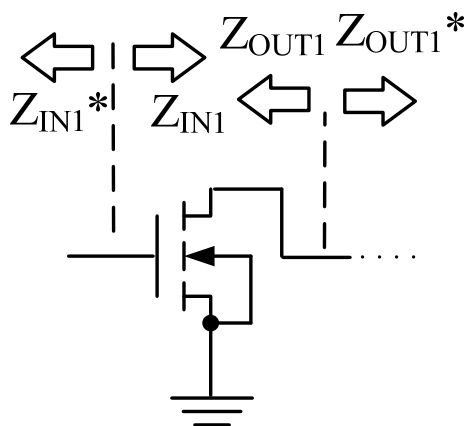
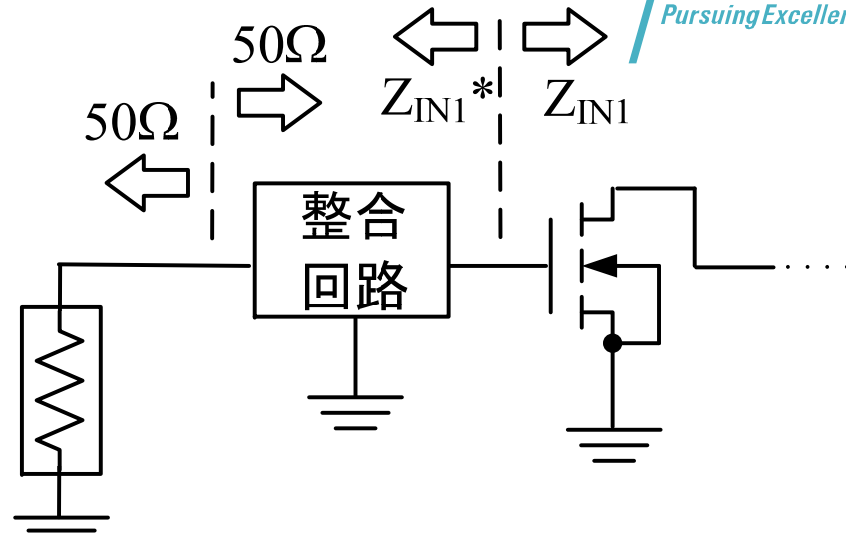


$\frac{Pin2}{Pin1}$ (電力利得)は最大



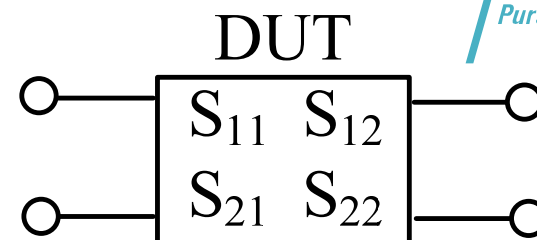
$Z_L = Z_S^*$ の時
 Z_L で消費される電力は最大

入力側はIC外部につなぐ
場合は50Ωにマッチング
しなければならない



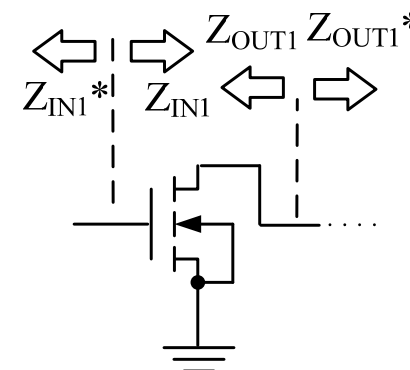
駆動段のトランジスタは
入力と出力を共役整合
にする

安定係数KはSパラメータより算出できる



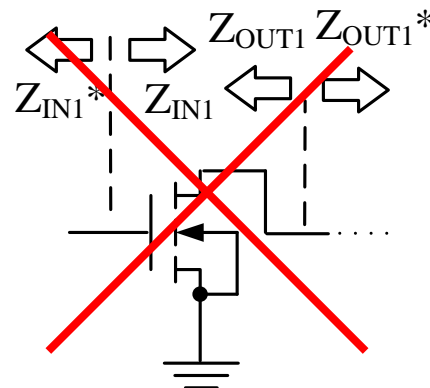
$K \geq 1$ の時

😊 同時共役整合が可能



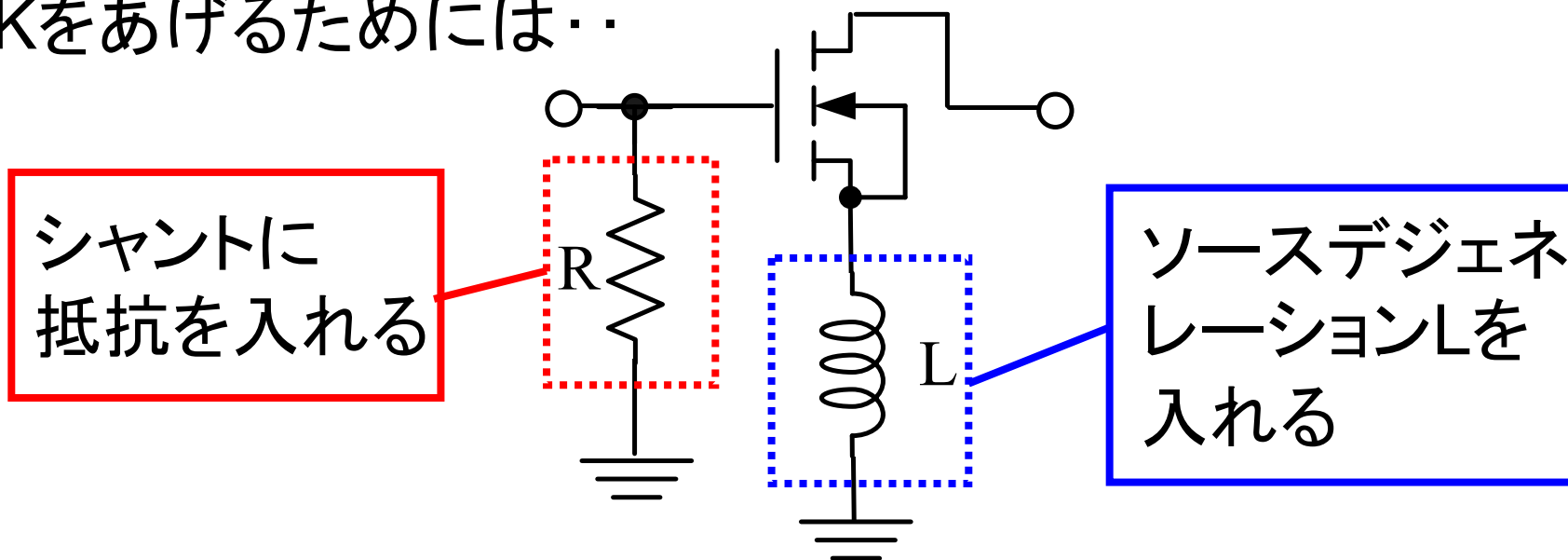
$K < 1$ の時

😞 同時共役整合は不可能



☹️ CMOSのトランジスタ単体は $K < 1$ であることが多い

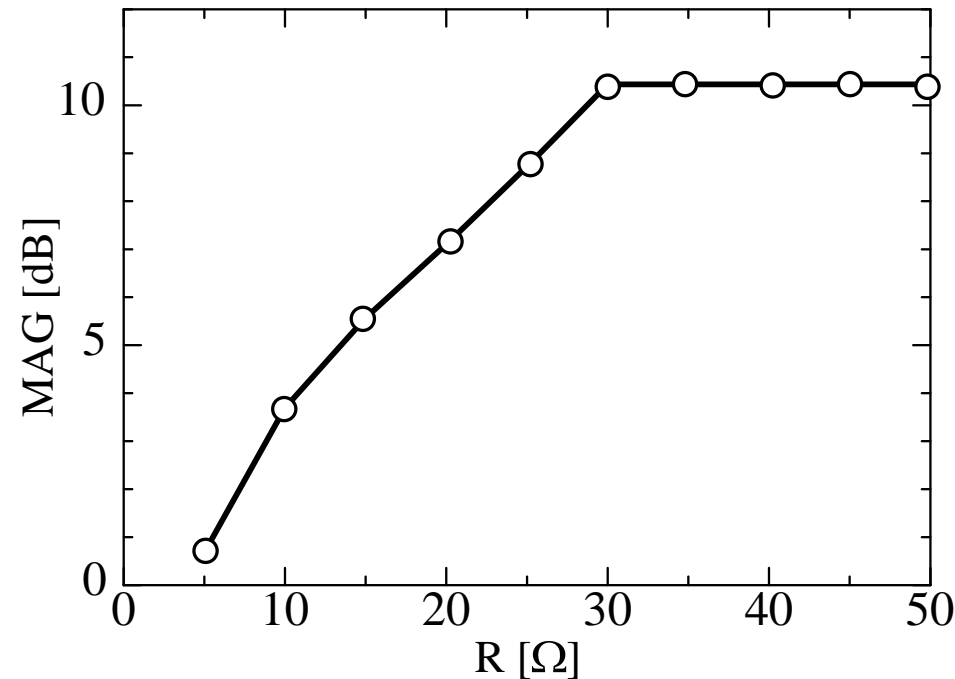
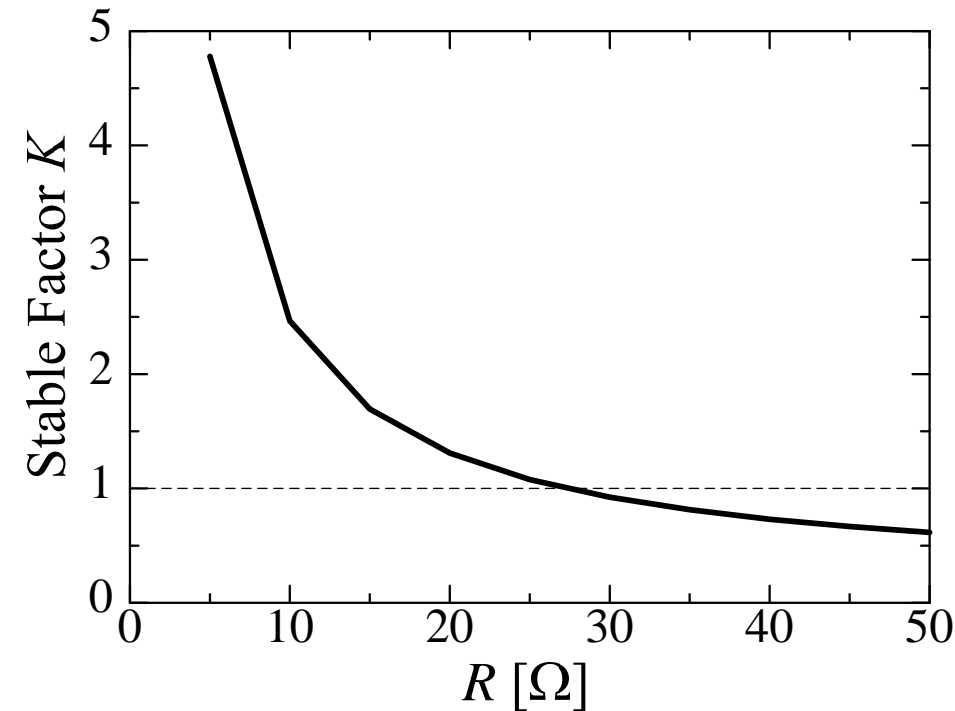
Kをあげるためには...



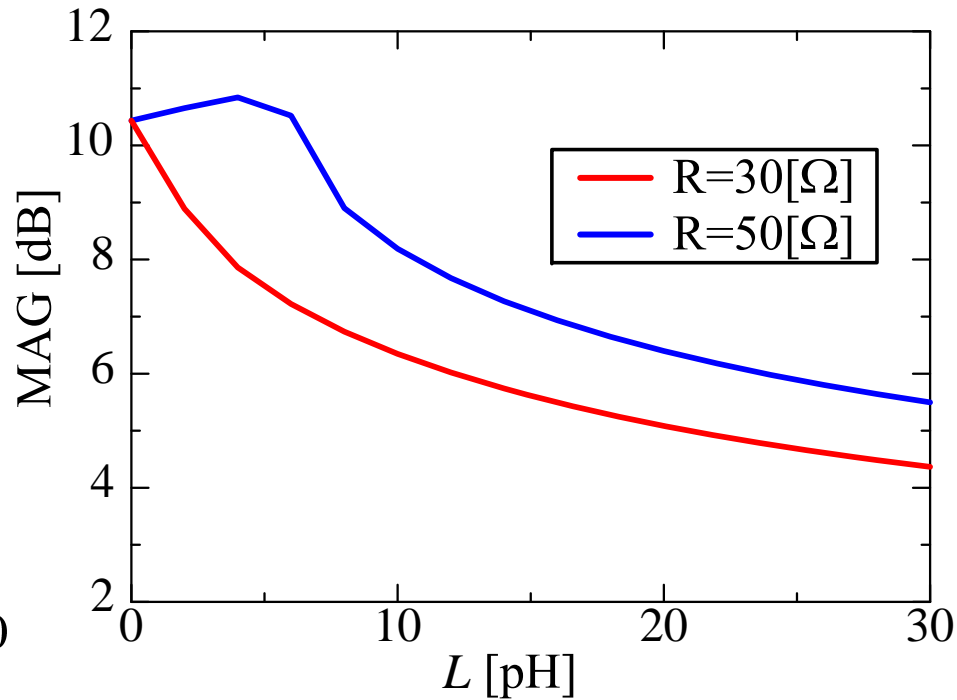
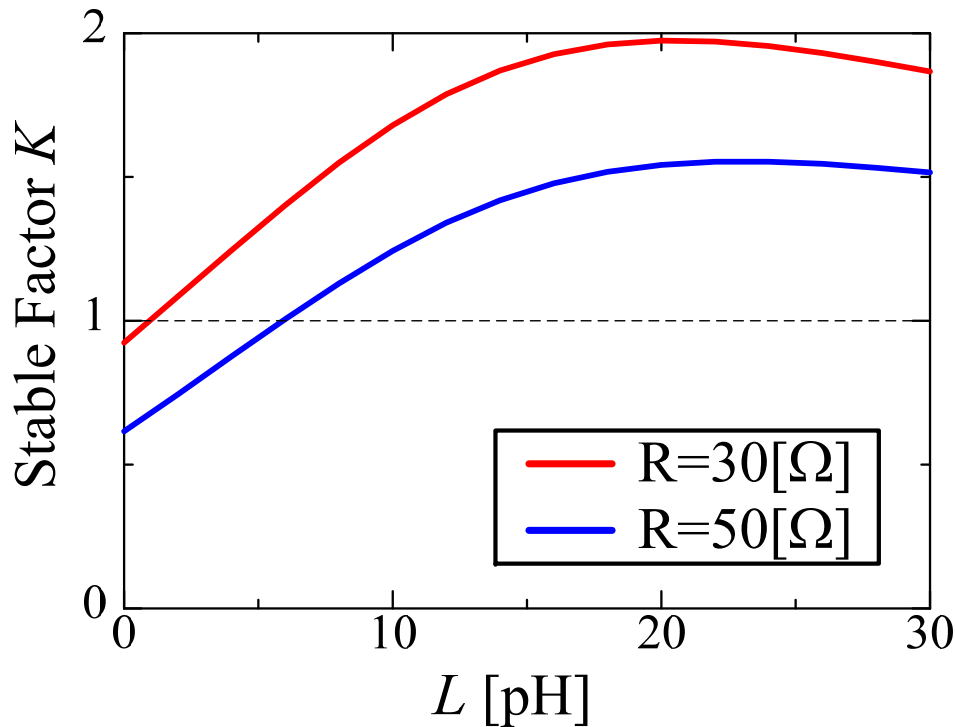
Rが小さい
Lが大きい



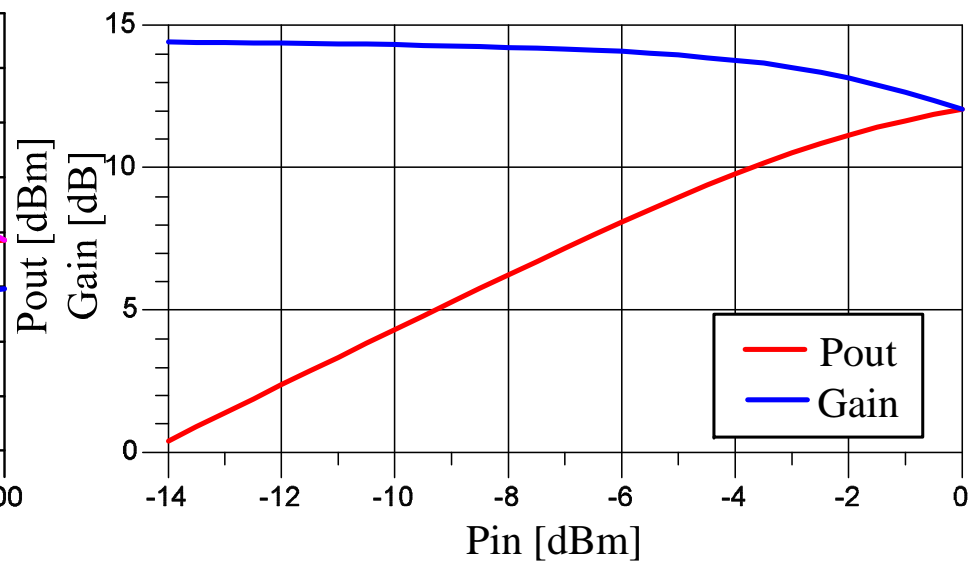
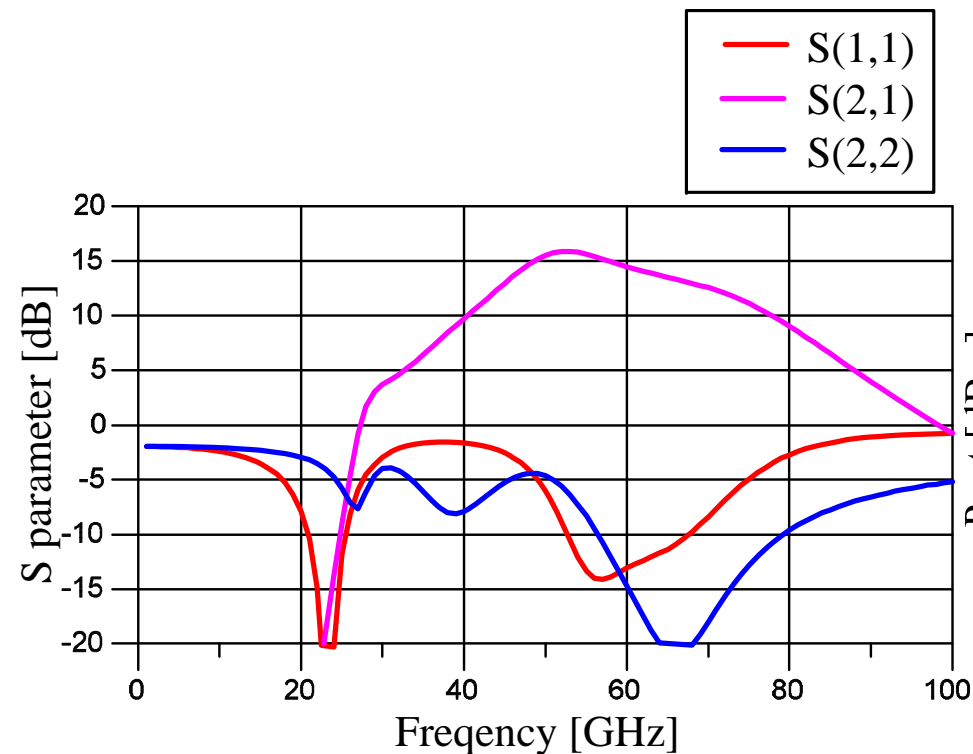
😊 Kはあがる
しかし、☹️ MAGは下がる



$w=80\mu\text{m}, l=0.1\mu\text{m}, V_{\text{dd}}=1.2\text{V} @ 60\text{GHz}$



$w=80\mu\text{m}, l=0.1\text{nm}, V_{\text{dd}}=1.2\text{V} @ 60\text{GHz}$



	f [GHz]	Gain [dB]	Pout@1dB[dBm]	PAE[%]
目標	60	10	10	15
Conjugate Matching	60	8.32	10.41	12
提案手法	60	14.48	10.58	19.6

- カスケード増幅段における、段間の共役整合による設計方法の問題点を明らかにした。
- 共役整合をとらない駆動段の設計方法を提案した。
- 共役整合をとる場合よりも、電力利得が6dB改善することを、シミュレーションにより確認した