

製造と設計にかかわるばらつき

岡田 健一

東京工業大学大学院理工学研究科



アウトライン

➔ 1. ばらつきの分類・概論

定義の確認

回路設計者から見た製造ばらつき

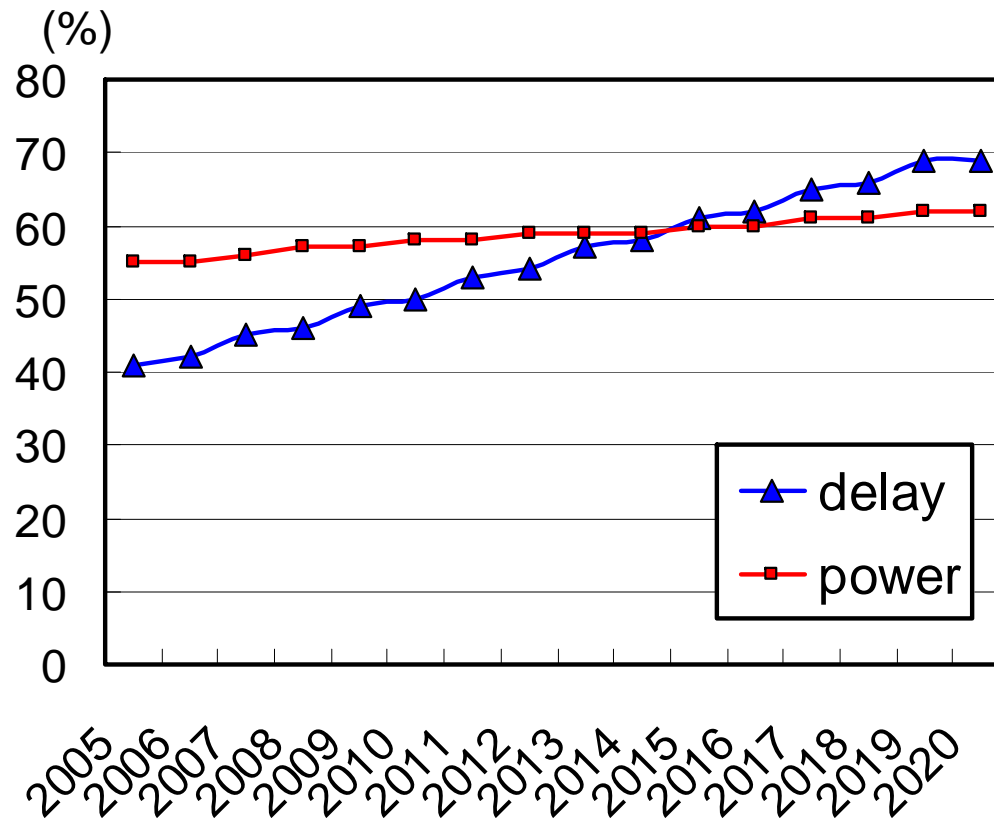
2. 現状で取り組むべきこと

設計・解析・モデリング・製造・テスト
標準化



微細化による性能ばらつきが増大

回路性能ばらつきが増大 微細化・低電源電圧化で加速
LER、膜厚、不純物、OPC、STI/Well、、、、



ITRS 2006 Updateより



回路設計から見た製造ばらつき

半導体製造工程

1. 酸化工程
2. イオン注入工程
3. 不純物拡散工程
4. 堆積工程
5. フォトリソグラフィ工程
6. エッチング工程

物理特性

不純物密度
 実効チャンネル長
 実効チャンネル幅
 酸化膜厚
 移動度

トランジスタの電流特性

$I_{DS}-V_{GS}$ 特性
 $I_{DS}-V_{DS}$ 特性
 閾値電圧
 容量特性など

局所ばらつき成分
 大域ばらつき成分
 レイアウト依存ばらつき成分

統計的性質の考慮



製造ばらつきの分類

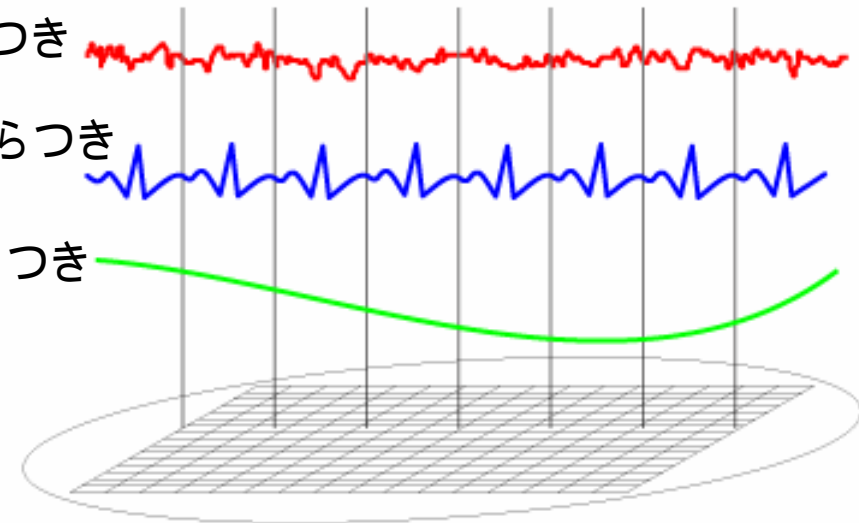
● 局所ばらつき

ランダム
製造時のガウス雑音

局所ばらつき

レイアウト依存ばらつき

大域ばらつき



ウェハ

● レイアウト依存ばらつき

統計的にはばらつかない (レイアウト依存)

パターン密度、隣接パターンへの距離

Loading効果(OPE)、STI依存、CMPばらつき



局所ばらつき

局所ばらつき randomばらつき

チップ上の位置に依存しない。

トランジスタ間で互いに無相関。

面積の大きいデバイスほど、ばらつきは平均化される。

(配線の局所ばらつきはあまり大きくない。)

段数の多いパスでは平均化される。



大域ばらつき

大域ばらつき

systematicばらつき(チップ内)

+ systematicばらつき(チップ間)

位置依存ばらつき

← globalばらつきとも言う

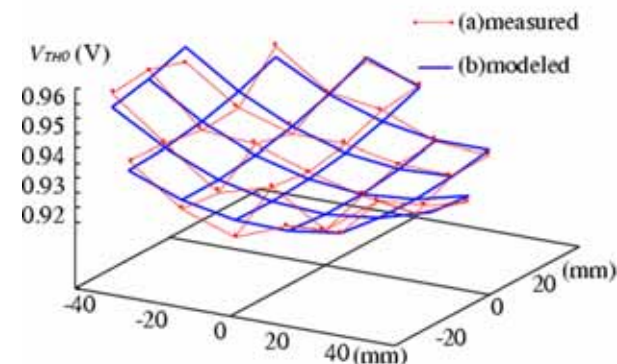
基本的に隣のチップと連続な曲面で表すことができる。

距離依存の相関としてもモデル化できるが、
座標情報を使う方が正確。

プロセス工程により、

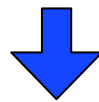
- ウエハレベル
- レチクルレベル

の成分がある。



レイアウト依存ばらつき

- **最隣接パターン**および**周囲の密度**による依存。
- チップ上の位置には特に依存しない。
あくまでもパターン依存。
- 距離依存の相関成分も持つ。
systematicばらつきとの分離が困難

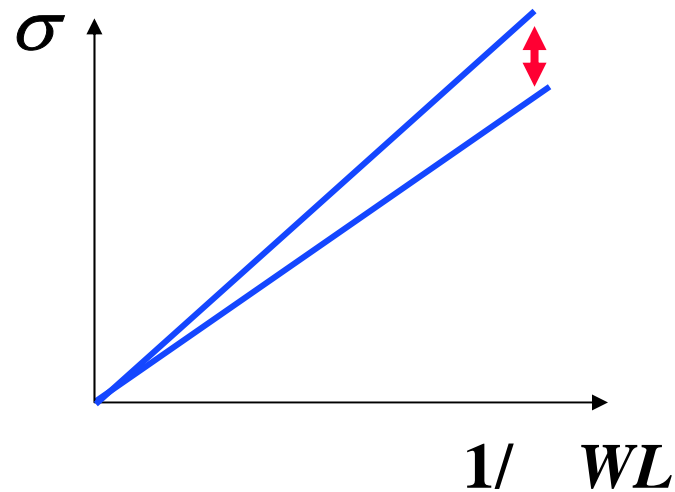


そもそも、systematicばらつきと
定義する場合もある。



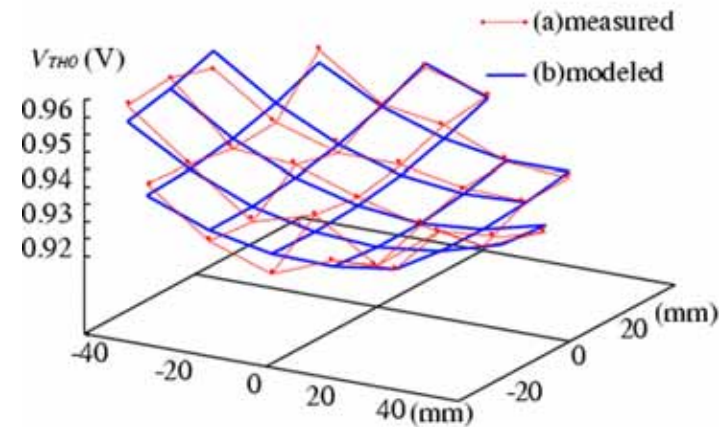
ウエハ間・ロット間のばらつき

局所ばらつき



ウエハ間・ロット間で
傾きが異なる。

大域ばらつき



ウエハ間・ロット間で
曲率・平均値が異なる。

厳密には、大域ばらつきに、ウエハ間・ロット間ばらつきを
加算するのは誤り。ただし、誤差の範囲？



チップ間・チップ内ばらつき

どのロット、どのウエハとは無関係に、単に複数のチップにおける平均値のばらつきという観点で、チップ間ばらつきと呼ぶ。

チップ内ばらつき (WID: within Die) 位置依存なばらつき
= 局所ばらつき + systematicばらつき(チップ内)

チップ間ばらつき (D2D: Die-to-Die)
= globalばらつき
= systematicばらつき(チップ間) + ウエハ間 + ロット間



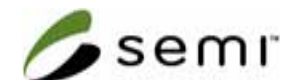
用語の定義

局所ばらつき	randomばらつき
大域ばらつき	systematicばらつき(チップ内) + systematicばらつき(チップ間)
レイアウト依存ばらつき	deterministicばらつき
チップ内ばらつき (WID: within Die)	
チップ間ばらつき (D2D: Die-to-Die)	
ウエハ間、ロット間ばらつき	

要は、どのような視点でばらつきを捉えるかという話。



e.g. EDAツール用のばらつき分類等



その他、含まれるもの

TEGの測定からシミュレーションまで

- 測定誤差
- ばらつき成分の分離誤差
- モデル化誤差
- シミュレーション誤差
- 動作時の温度
- 電源変動
- 経年劣化

.....

設計時とモデル化時で、OCVマージンの
考え方を変える。



ばらつきモデルのまとめ

- 局所ばらつき、大域ばらつき、レイアウト依存ばらつきによりモデル化。それぞれ、ウエハ間・ロット間で変動。
- ばらつきモデルの精度向上には、各ばらつき成分の統計的性質を理解し、**分離精度を向上**させることが、まずは第一の課題。
- Deterministicな成分の除去も重要。
- 言葉の定義の再確認



アウトライン

1. ばらつきの分類・概論

定義の確認

回路設計者から見た製造ばらつき

➔ 2. 現状で取り組むべきこと

設計・解析・モデリング・製造・テスト
標準化



現状で取り組むべきこと

- 「ばらつかない」から「ばらつき量のコントロール」へ

- 製造と設計をつなぐモデリング

ばらついていてもわかる 設計で回避

- 製造ばらつきを緩和する回路方式

ばらついていても動く

設計、解析(SSTA)、モデリング、製造、テスト等々



ばらつき考慮設計

1. すべての種類のばらつきをランダムばらつきとして考える
マージンをとってごまかす
何か問題があれば、ノイズのせいにする考え方
2. すべての物理現象をモデル化して、ばらつきに対応する
果たしてそのようなモデル化が可能なのか
3. 設計ルールを厳しくして、ばらつきを抑える
OPC、STI、Wellストレスなど
モデル化の難しさはある程度緩和される
4. ばらついても動くような補償機構をいれる
ABB,ASVや、オンチップキャリブレーション



シミュレーション技術の課題

統計的遅延解析 SSTA

(Statistical Static Timing Analysis)

- 非常に多数の論文が発表されている。(ICCAD, DAC, Tau,..)
Path-based, Block-based,..
- チップ内ばらつき・配置に依存したばらつきの考慮。
- ツール類も揃いつつある。(ExtremeDA GoldTime等)
- 新しい現象への対応に、大きな困難はない。
- あとは、計算時間の問題。

ただし、ばらつきを実測し、ばらつきを抽出・モデル化した結果から、SSTAしたものと、実際のチップの特性ばらつきを比較した結果は見たことがない。



モデリングの課題

数百工程ある個々のプロセスで起こっている物理現象を
わずかな電氣的測定結果からだけで解明するのは不可能。

- トランジスタレベルでのモデル化は非常に困難な課題。
BSIM3のパラメータ抽出の10倍困難？
- レイアウト依存(deterministic)なばらつきを徹底してモデル化する。
なんでもOCVマージンに入れない。
- 位置依存(systematic)なばらつきは、物理的にはなだからはず。
- ばらつきの非線形性の考慮。ばらつきモード間の相関。APC等々。
- スタセルレベルでのモデル化など。
- 究極はFPGA or ゲートアレイ。



製造技術の課題

筋の良い技術の選択が必須

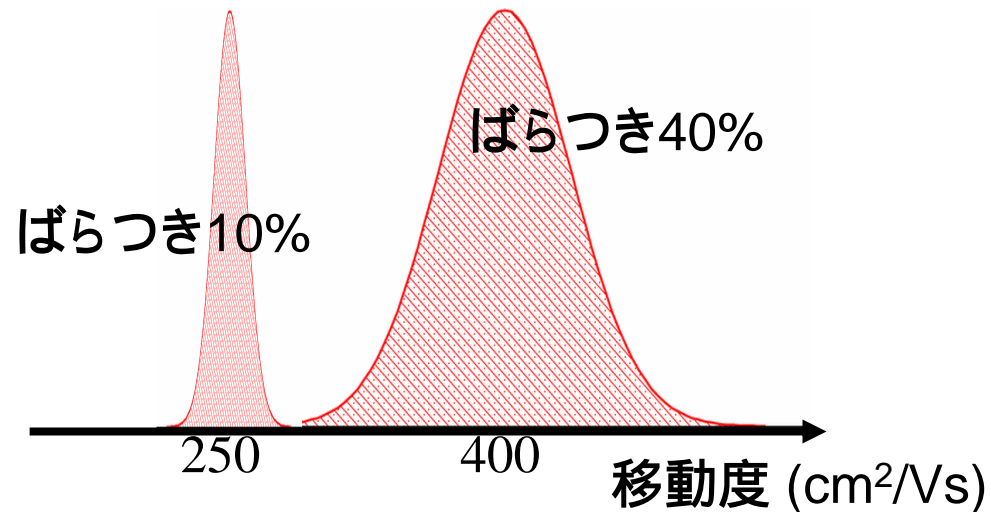
- 最終製品の性能(コストも含めて)を向上させるためのプロセス最適化が必要

「ばらつかせない」から「ばらつき量のコントロール」へ
ばらつき量の制御、認知



ばらつきを考慮した製造技術

- 移動度が $400\text{cm}^2/\text{Vs}$ でばらつきが40%と、 $250\text{cm}^2/\text{Vs}$ でばらつきが10%なのとどちらを選ぶべきか？



ばらつかせない

ばらつき量のコントロール



回路設計の課題

ばらつきが大きくても or ばらつきを正確にモデル化できなくても、歩留まりを向上させられる回路アーキテクチャ・設計手法(EDA)

いくら正確に解析できても、性能ばらつきが大きくては
どうしようもない。

補償系：クロックスキューの調整, ABB, ASV

冗長系：CellのSPE (7/8)等

アナログ回路設計

- 正確なばらつきモデルに頼らないアナログ回路設計。
- デジタル回路との融合。キャリブレーション。
- テスト・キャリブレーションコストの削減。



ばらつきに関する研究課題

- 回路設計 まだまだやれることは多数
- シミュレーション 大きな問題はない。
- モデリング このパスが繋がって
いないのが最大の問題。
- 製造技術 筋の良い技術の選択を。



どのレベルでモデル化すべきか

- 製造向けのモデリング
 - デバイス改良のためのばらつき要因解析
 - 次から次へと新しい要因が増える
- 設計向けのモデリング
 - 設計のために必要なモデルは簡単な方が良い
 - デジタル向け vs アナログ向け
 - 大は小をかねるか



解決の方向性:モデリングの抽象化

- 設計向けのモデリング
 - セルベースモデリングの提案
 - レイアウト依存ばらつき(OPE, STI等々)の緩和
 - シミュレーションコストの削減
- 要は、目的にあった解析・モデル化を行うこと
- ビルドアップ型のモデリングでは破綻
- トップダウンなアプローチで現実解を



まとめ

- どのレベルにも問題は山積み
 - 製造・モデリング・解析・設計・テスト・標準化
- 最終製品の性能(コストも含めて)を向上させるためのプロセス最適化が必要
 - 「ばらつかせない」から「ばらつき量のコントロール」へ
 - ばらつき量の制御、認知
- DFMのためのばらつきモデリングを行うべき
 - 無駄に精密なモデルを作るのは得策ではない



謝辞

移動度ばらつきについて知見を与えてくださいました
東京工業大学岩井研究室 角嶋邦之助教に感謝いたします。





ばらつき情報の公開

- 最終製品の歩留まりはプロセスの特性ばらつきで決まらない。
- どれだけ正確にモデル化されているかが重要
- 積極的に共有して、他人の知恵も使う体制が必要
- ばらつきへの対処は、IDMが主流な日本でこそやるべき。



ばらつきモデルの標準化について

- 測定・抽出技術まで含めたばらつきのモデリング
- 製造プロセスの改良・微細化にともない、次から次へと新しい事象が発生
- モデルの抽象化が必要

物理モデルは破綻する

抽象化のレベルについては慎重に検討すべき

STARC, JEITAの活動、共同ファブに期待。

