

デジタル機器の競争力を左右する 新世代アナログ技術を基礎から学ぶ

動向

P8

回路技術の“新常識”
**デジタル機器開発者必修の
新世代アナログ技術**



直観的理解

P16

アナログの何が難しいのか
**高性能/高精度で不安定
制御しながら使いこなす勘所**



技術の全容

P22

時間領域、離散時間型、MOS の特徴を把握する
**新世代アナログ技術を理解して
機器/LSI 設計に役立つ**



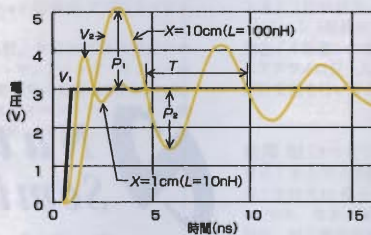
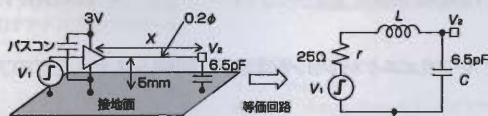
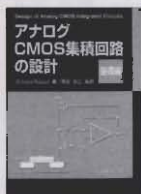
アナログを学びたい技術者に薦める 5 冊の書

P29

設計のツボ

P30

原理から理解すれば怖くないデジタル-アナログ境界技術
**信号伝送から雑音, EMI, 回路まで
設計力と問題解決力を身に付ける**

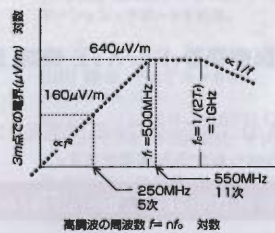


$$T = 2\pi\sqrt{LC}$$

$$P_2/P_1 = \exp(-\pi/2Q)$$

$$Q = \sqrt{L/C}/r$$

Qとしては1.5以下が望ましい



回路技術の“新常識” デジタル機器開発者必修の 新世代アナログ技術

デジタル機器の競争力を、アナログ技術が左右するようになりました。機器開発者は、アナログ技術を理解し使いこなさなければなりません。そこで必要になるのは、旧来のアナログ技術ではなく、機器全体の視点でデジタル技術と組み合わせて使う“新世代アナログ技術”です。これを体得している技術者がさまざまな企業で求められています。日本では慢性的な技術者不足に陥っています。

松澤 昭
東京工業大学大学院

アナログ技術が見直されています。しばらくデジタル技術がエレクトロニクス業界でもてはやされ、アナログ技術は目立たない存在になっていた時期もありました。しかし、もともと電子機器は外部との入出力信号をやりとりして処理する機器ですので、アナログ技術が重要になるのは当たり前のことです。

普通の電子技術者は、アナログ技術とデジタル技術を別々に学び、アナログ担当とデジタル担当に分かれていることが多いと思います。しかしこれからの電子技術者は、電子機器全体の視点に立って、アナログ技術とデジタル技術の両方を見渡す必要があります。ある機能をアナログで実現するのかデジタルで実現するのかを判断し、両方をうまく併用できる実力があれば、仕事が面白くなるし競争力のある機器

を開発することができます。

その際に駆使するアナログ技術は、従来のアナログ技術とは違ったものになります。詳しくはこれから解説していきますが、それをここでは“新世代アナログ技術”と呼ぶことにします。

残念なことに、“新世代アナログ技術”を使いこなせる技術者は日本には少ないのが実情です。世界でも豊富にいるわけではありませんが、欧米で先進的な技術者が活躍しています。例えば無線LANなどの無線インタフェースの開発では欧米の企業がしのぎを削っており、日本企業の製品開発力が弱くなっています。その理由の一つが、新世代アナログ技術で日本が出遅れているため、といわれています。

見方を変えれば、アナログ技術を身に付ければ、日本や世界で活躍できる可能性が高いといえます。電子機器の動作そのものを扱うアナログ技術を追求すれば、ものづくりの楽しさも実感できます。デジ

■ 図1 電子機器のほとんどはアナログ技術とデジタル技術の両方を利用する
アナログ技術は、デジタル技術が絶対にできない現実世界とのインタフェースを受け持ちます。さらに、クロックによるタイミング発生や、電源によるエネルギー供給/電圧発生を行っています。デジタル技術を現実世界でうまく使えるようにサポートする役割を担っています。

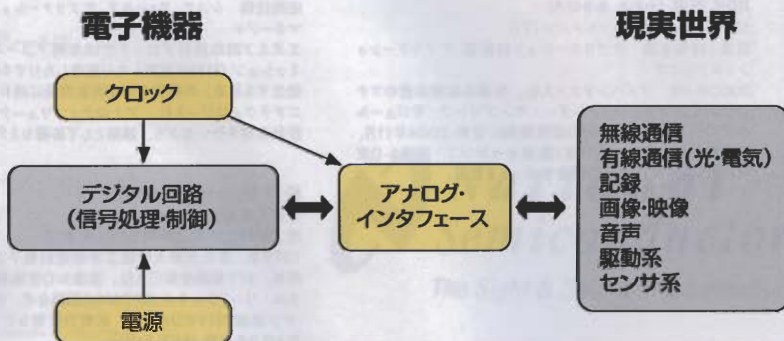


図2 さまざまな個所に使われているアナログ技術

携帯電話機には、高周波回路やカメラ、ディスプレイ、電源をはじめとするさまざまなアナログ回路が使われており、製品の魅力を高めています。「FOMA P703iμ」の例を挙げました。写真は「日経エレクトロニクス」2007年4月9日号「分解 世界最薄ケータイ」から引用。



タルにかりつきりて、アナログを食わず嫌いだった人も、ぜひアナログ技術の面白さに触れてみてください。

なおここでは、通信やHDD/DVD、アクチュエータ、センサ、イメージ・センサ、ディスプレイなどで信号処理を行うためのアナログ回路技術を中心に解説します。アナログ技術というと信号伝送やEMCなどの電磁界の話も含まれることが多いのですが、新世代アナログの中心となる回路的な技術に絞って解説します(P11ページの「アナログ技術とは」参照)。

ますます重要になるアナログ技術

“アナログの復権”は、決して一過性のもではありません。前述のように、電子機器は外部とやりとりをするものであり、そのときに必ずアナログ信号を扱うからです(図1)。

1960年代からコンピュータが普及し、「0」「1」で表したデータを扱うデジタル機器が脚光を浴びました。また1990年代から、画像や音声、通信の信号をデジタル化して処理する、いわゆるマルチメディア機器が急速に普及しました。例えば、動画のデジタル信号処理が1990年ごろに欧米を中心に実用化したとき、日本のテレビ関係者は「本当にデジタル技術で実現できたのか」と非常に驚きました。そんな興奮が渦巻いた状況の中で、皆、「これからはデジタルだ。

デジタル技術こそが新しい機器を作り、収益の柱になる」と一斉にデジタル技術に向かい始めました。この興奮があまりに大きかったために、経営者も現場もデジタル技術者の育成に目を奪われがちでした。

しかし現在は、デジタル技術も珍しくなくなり、開発現場は落ち着きを取り戻したように思います。そして、デジタル技術だけの競争ではなく、アナログ技術を含めてよりよい性能や機能、低コストを追求する電子機器本来の開発の姿に戻った、と言えます。電子技術者は、デジタル技術ももちろんですが、あらためてアナログ技術を習得しなければならない時代になったのです。

活躍の場が広がるアナログ技術者

周囲にある電子機器を見てみましょう。ほとんどアナログ回路とデジタル回路の両方で構成されていると思います(図2)。アナログ回路技術が必要とされる場面は、現在さらに増えています。図3の①～⑤は、1997年以降、電機メーカー各社が取り組んできたアナログ技術に関する代表的な開発案件です。アナログ技術が性能やコストを決める主要な役割を果たしました。

インタフェース関連技術が多いのが目立ちますが、それはあらゆる機器がネットワークでつながるようになってきたからです。しかも信号を高速伝送するよ

■ 図3 電子機器のアナログ関連開発案件の例

デジタル・ネットワーク、デジタル・ストレージなどでも、アナログ技術は基幹技術として必須です。1997年以降、図のような開発案件が急速に増え、現在も多くの企業でアナログ技術者が不足しています。

① インタフェース回路

USB, IEEE1394, Ethernet, LVDS, FTTH, ADSL, DVIなど

② 無線システム

Bluetooth, 無線LAN, UWB, WiMAX, MBWA, HSDPA, 3GPP-LTEなど

③ センサおよび周辺回路

CMOSイメージ・センサ, デジタル・カメラ用信号処理回路など

④ DVD/HDDの信号処理

デジタル・リードチャネルなど

⑤ 低電圧・低リーク用回路

アナログIP (設計ルールごとに対応)

3GPP-LTE : 3rd Generation Partnership Project-Long Term Evolution

ADSL : asymmetric digital subscriber line

DVI : digital visual interface

FTTH : fiber to the home

HSDPA : high speed downlink packet access

LVDS : low voltage differential signaling

MBWA : mobile broadband wireless access

USB : universal serial bus

UWB : ultra wideband

WiMAX : Worldwide Interoperability for Microwave Access

うになっているので、高度なアナログ技術が必要になっています。

本来は①～⑤のそれぞれに5人から10人程度のアナログ回路技術者が必要になります。マネジャーや各回路IP[†]開発, 全体システム検証, アナログ・レイアウト, テスト設計, 評価を行う各担当者が必要になるからです。しかしデジタル技術一辺倒の時代が続い

[†]IP=intellectual propertyの略。知的財産のことですが、転じてメガセルなどの回路ブロックなどを指すことがあります。

たので、十分なアナログ技術者を確保できている企業は少ないようです。

その後も、アナログ関連の開発案件は目白押しです。図4は、エレクトロニクス業界の開発動向を明確に示すといわれている国際会議「ISSCC (IEEE International Solid-State Circuits Conference)」におけるアナログ関連セッションです。1985年以降、どんどんアナログ関連セッションが増えています。1985年までは純アナログ回路技術が目立ちましたが、それ以降、イメージ・センサ、無線、A-D変換器、ディスプレイ、大容量ストレージと、デジタル技術を併用するアナログ関連セッションは増える一方です。あなたの身の回りにも、これらの回路があふれているでしょう。現場でもアナログ技術者は引く手あまたであり、技術者不足は慢性的と言えます (P13ページの「アナログで事業につまずく企業が相次ぐ」参照)。

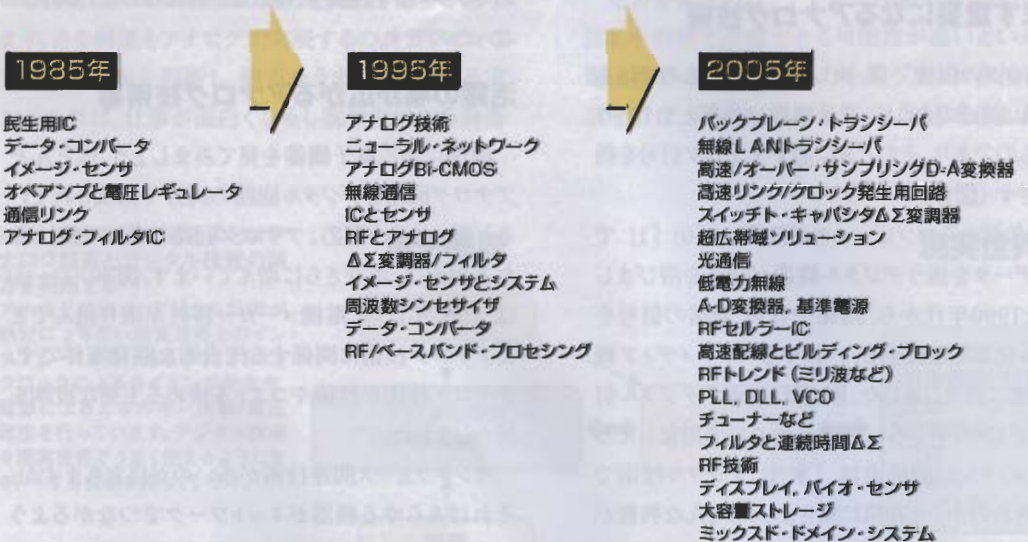
新世代アナログが機器の競争力を決める

では、どのようなアナログ技術者が求められているのでしょうか。近年のアナログ技術は、昔のアナログ技術とは様変わりしています (図5)。

DVDレコーダーやGビットEthernet準拠の通信装置を見てみましょう。DVDレコーダーはデジタル信号

■ 図4 アナログ関連セッションが増える [ISSCC]

そのほかの主要な国際学会でもアナログのセッションは年々増加しています。



を記憶/再生しますが、例えば再生するときは、まずDVDからの信号を増幅し、余分な信号をフィルタリングするアナログ処理を行います(図6)。次にA-D変換し、デジタル・フィルタで波形等価[†]を行い、誤り訂正などのデジタル処理で信号をきれいに再生しています。さらにクロック・リカバリ回路で同期を取ってVCO(voltage controlled oscillator)回路を制御しています。こうすることで、ディスクが揺れたり、光軸がぶれて信号に誤りが入ってしまったりしても、正確なデータを再生できるようになります。実際にDVD規格より3ケタも低いエラー率を達成できました。

製品開発の際は、ディスクが傾いてもきちんと信号を再生できるチルト・マージンを大きくできる回路

が求められます。チルト・マージンが大きければ、モータなど機構系のコストを下げられるからです。そのような回路はアナログだけでも実現できますが、デジタル回路を併用すれば設計の選択肢が広がり、DVDレコーダーの製造コストを下げられる可能性があります。また、このような回路技術の工夫で、どんなディスクでも読み出せるリーダービリティを高めることもできます。これは製品の大きな魅力になります。

図7のGビットEthernet準拠の通信装置は、エコー・キャンセルやクロストーク・キャンセルなどのデジタル処理を行って受信した信号を再生します。送信する信号も、ケーブルでの高周波信号の減衰などの要因で波形劣化してしまうので、デジタル回路で波形整形を行いながら送信します。このようにアナログ回路とデジタル回路をうまく構成している機器がほとんどです。

もはやアナログ回路だけで構成している機器はほとんどないので、昔のように電気回路や交流理論のような“純アナログ”の勉強から始めるよりも、まずはアナログとデジタルが混在した実際の世界の全体像をつかむことが大切です。つまりアナログ技術とデジタル技術を別々に学ぶのではなく、それぞれどのようなことが得意で、相互にどのように協調し助け合えるのかを理解した上で技術を深く学んでいくこ

[†]波形等価=パルス波形の再生を行うこと。帯域制限されたデジタル信号を正しく再生するフィルタ技術などが必要になる。HDDやEthernetなどの通信、LVDS(low voltage differential signaling)といったボード上のインタフェースなどで重要。

アナログ技術とは

アナログ技術とは何でしょうか。長さや電圧など連続的な物理量を利用しながら、電子機器を制御するための技術といえます。

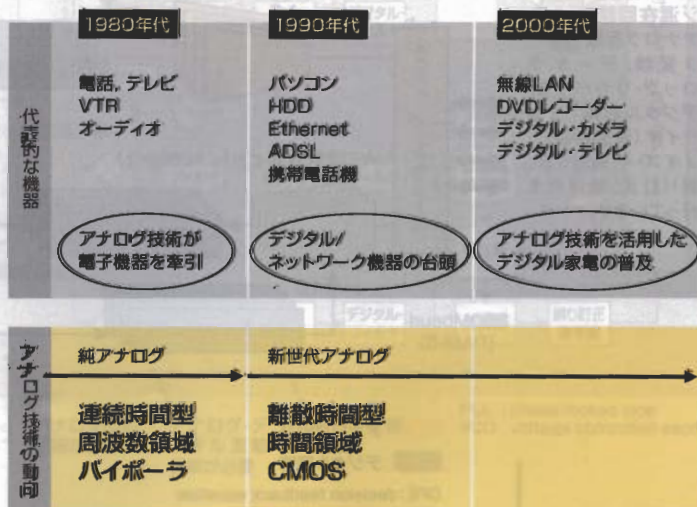
これに対しデジタル技術は、「0」「1」という信号を使い、人間が決めた規則をベースにしています。つまり人間が定めた“六法全書”のようなものが電子技術に関して有り、音声や画像などをそこで決めた手順に沿って処理します。

デジタル技術の人工的な世界以外は、すべてアナログ技術がかかわってきます。例えば、センサや通信、イメージ・センサ、HDD/DVD、電源などの制御/信号処理には、すべてアナログ技術が必須です。さらにデジタル信号も実際は現実世界で動きますから、正確な信号伝送、EMC(electro-magnetic compatibility)、電源雑音といったアナログ的な制御が、高速になるに従って重要になってきました。

このようにアナログ技術は多様ですが、技術的には二つに大別できます。一つは、インダクタ/抵抗/容量(ILRC)と時間の方程式で記述できる集中定数を用いた回路技術。もう一つは、空間がパラメータとして入る電磁界的な技術です。ここで扱う“新世代アナログ技術”は、前者の回路技術が中心になります。

■ 図5 アナログ技術が1990年代に変わる

米欧は、パソコンやHDD、通信分野で“新世代アナログ”を多用しましたが、日本はその動きに追いつけませんでした。



とが、早くて確に回路技術を理解できる方法と言えるでしょう。

また、新しい機能や高い性能を機器上に実現するときは、最近ではICを利用することが多くなりました。そのため、ここではIC上のアナログ回路技術を中心

に話を進めたいと思います。

機器メーカーの技術者が直接、IC上のアナログ回路を設計する機会は少なくなっていますが、IC上の回路がどうなっているのかわらなければ、良い機器を作ることはできません。さらに、所望の機能や

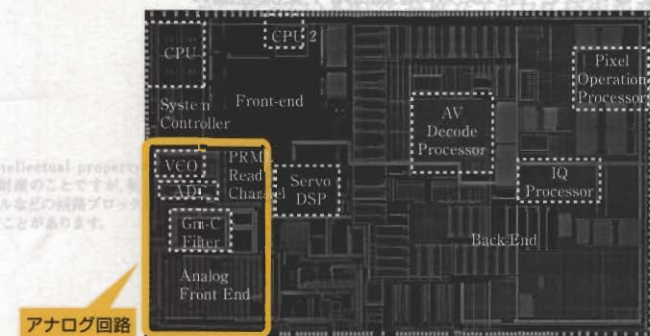
■ 図6 DVDレコーダーのアナログ-デジタル混在回路

DVDからの信号をアナログ処理後A-D変換し、デジタル処理を行うことでDVD信号をきれいにして誤りのない再生を行っています。DVD規格より3ケタも優れた低エラー率を実現しました(c) 松下電器産業のDVDレコーダーの例。

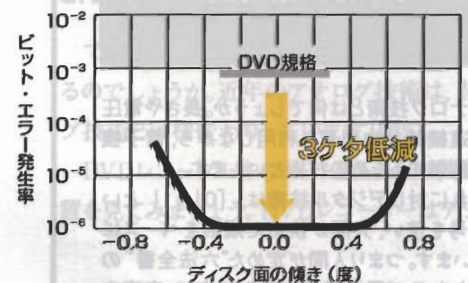
(a) 回路ブロックと波形



(b) アナログ回路を集積したDVDチップ



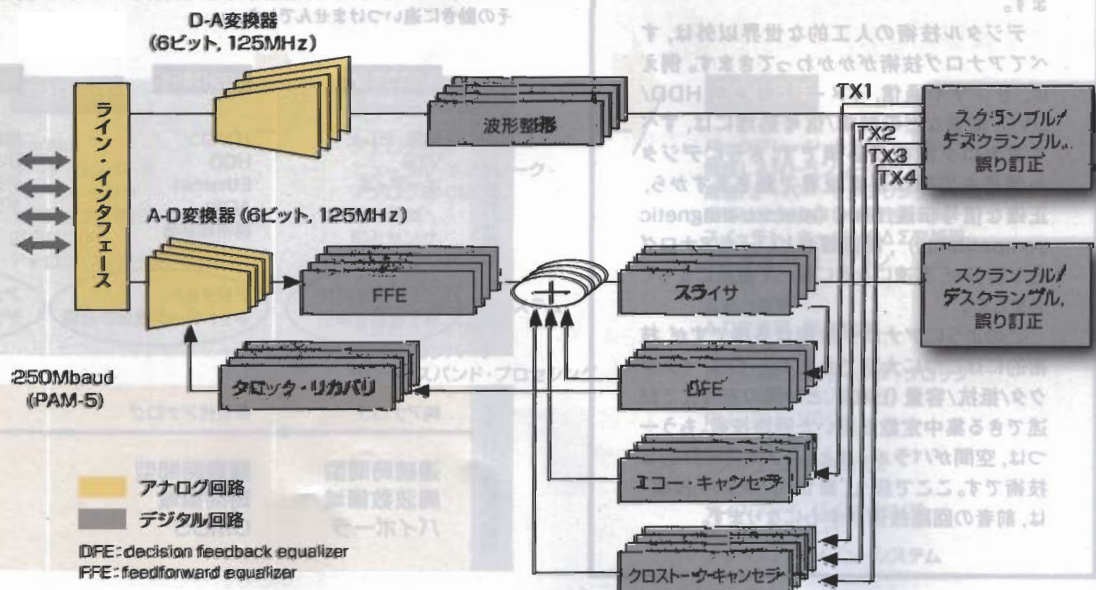
(c) エラー率



FIR : finite impulse response
VCO : voltage controlled oscillator

■ 図7 Gビット Ethernet用アナ-デジ混在回路

アナログ回路でデータ変換、データ/クロック・リカバリを、デジタル回路でイコライザ(波形整形)、ノイズ・キャンセル、誤り訂正、暗号化を行っています。



アナログで事業につまずく 企業が相次ぐ

アナログ技術の重要性を再認識し、アナログ技術者の育成にあらためて取り組み始めた企業が1990年代後半から増えてきました。そういう企業でも開発案件が増えているので、人手が足りない状況が続いています。また、今ごろになって慌てている企業も少なくありません。アナログ技術者の育成には時間がかかるので、思うように事業を進められない、開発が大幅に遅延する、という例が残念ながらたくさんあります。

あるセンサメーカーは、無線インタフェースを利用したセンサネットワーク向けのセンサを商品化しようとしていました。同社の従来製品はほとんど部品から内製していましたが、無線のアナログ回路が分かる技術者がいないので、LSIなどの部品を内製することはやめました。このため、自社の付加価値をどこに持たせるべきか、このセンサメーカーは悩んでいます。

ある電機メーカーの携帯電話機開発部門は、社内の半導体部門に対し、従来からあったRF（高周波）ICにA-D/D-A変換器を内蔵するように依頼しました。しかし、パイプライン型A-D変換器や $\Delta\Sigma$ 型A-D変換器といった回路技術も、MIM（metal-insulator-metal）構造の容量や高精度デバイス・モデリングといったデバイス技術もなかったため、半導体部門はすぐにこの要求に応えられず、外部のメーカーからA-D/D-A変換器の開発技術を導入せざるを得ませんでした。

アンテナにつなげる電力増幅回路だけだったら個別半導体素子（ディスクリット）を扱う技術、RFまでならアナログICの技術があれば問題ありませんが、A-D変換器/D-A変換器を内蔵しようとするとアナログ・デジタル混載技術、ベースバンド回路まで内蔵するとSoC（system on a chip）の技術と、高度な技術が必要になってきます（図A-1）。

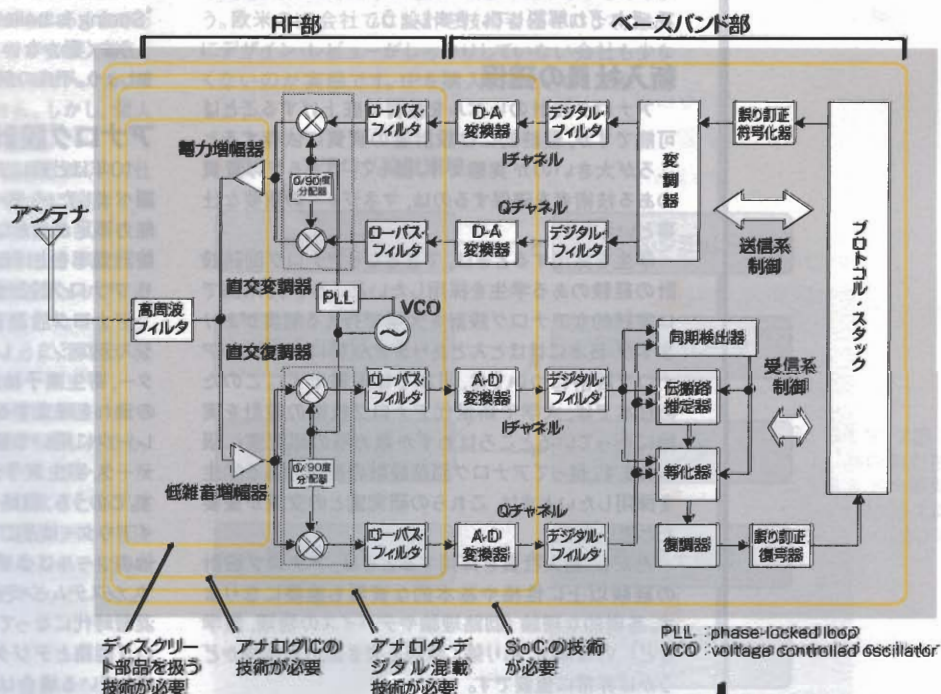
自社で作る場合は、それらの技術力がすべて必要になります。これは、製造プロセスや回路設計を担当した人は分かると思いますが、かなり大変なことです。アナロ

グとデジタルは、製造プロセスも設計環境も違うことが多いし、両方に精通している人は珍しいからです。

外注する場合でも、まず発注先がそれだけの技術力を備えているのか、性能が高くてコストが安い競合他社に負けないチップを納期までに作るのかを、見分ける能力が必要です。ひとたび開発を始めたら、失敗したと思ってもなかなか発注先を変えることはできないため、発注先を選ぶ能力は自社製品を設計する能力と同等以上に重要になります。

次のような例もあります。あるカメラメーカーは、CMOSイメージセンサを内製するときに、雑音対策で苦慮していました。それまで作っていたCCDの設計図には、ポテンシャル図はありましたが、回路図がありませんでした。CCDの開発では、それで済んでいたのです。ところがCMOSイメージセンサになると、アナログ回路とデジタル回路の知識がどうしても必要になります。A-D変換器やノイズ・キャンセラを同一チップ上に搭載し、アナログとデジタルをうまく組み合わせないと、競争力のあるイメージセンサを作ることができないからです。このカメラメーカーの技術者は、まずチップの上のアナログ信号を測定するノウハウを習得しなければなりません。

図A-1 アナログ技術がないと集積化を進められない回路図は、竹田、「信号の流れに沿ってワイヤレスの基本を理解する」、【日経エレクトロニクス】2007年4月9日号、pp.P26-P33を基に作成。



注1) デジタル技術をうまく活用したアナログ技術は、「新世代アナログ技術」の一つです。このほか、パイプラインではなくCMOSデバイスを使う回路技術も「新世代アナログ技術」に含めます。CMOSはハイゲートより消費電力が小さく、うまく制御する技術が必要になります。

性能を納期までに低コストで実現できる半導体メーカーを探し、きちんと作れるかどうか見極めるのは、自分で設計するのと同様に重要な仕事です。半導体メーカーの技術力を判断し、開発途中でトラブルが発生したときに適切に指示できる能力を身に付けておく必要があります。そのため、ここで解説する基本的な技術は機器メーカーの技術者なら知っておかな

ければなりません(下掲の「企業のアナログ人材育成法」参照)。

アナログの全体像を押さえる

今回のアナログ技術の解説は、“純アナログ”ではなく、現在の機器開発に即した“新世代アナログ”を中心に解説していきます。技術を理解する上で重

企業のアナログ人材育成法

アナログ技術者の育成には、かなり時間がかかります。長期的な視野に立って、じっくり取り組まなければなりません。

多くの企業では、次のようなことに取り組んでいます。

- ・ 新入社員の確保
- ・ 教育
- ・ 設計マネジメント体系の整備
- ・ 設計の外部委託

技術者が独学するときも参考になると思いますので、それぞれ解説していきましょう。

新入社員の確保

アナログ設計のレベルを教育で底上げすることは可能ですが、最終的には設計者の資質に依存するところが大きいのが実態です。従って、できるだけ資質のある技術者を確保するのは、マネジャーの重要な仕事といえます。

学生を採用するときは、できるならアナログ回路設計の経験のある学生を採用したいところです。米国では実践的なアナログ設計を大学で行える制度がありますが、日本にはほとんどありません(特にCMOSのアナログ設計については、日本では困難です)。このため日本では、大学で新世代アナログ技術の設計を実地に行っているところはわずか数カ所の研究室に限られます。従ってアナログ回路設計の経験のある学生を採用したいときは、これらの研究室との交流が重要だと思えます。

ただし、新社員を採用するときは、アナログ設計の経験以上に性格や基本的な資質も重要になります。基礎的な理論(回路理論やデバイスの物理、数学など)の理解や、粘り強く課題を突き詰める性格かどうかは非常に重要です。

教育

現場の第一線で活躍する技術者を動員して、新人や若手にアナログCMOS設計教育講座を開講する企業もあります。第一線の技術者は、ただでさえ忙しいのですが、教育も大事な業務として経営トップが指示しているところもあります。

単なる座学だけですと身に付きませんが、まずは基礎知識を学ぶ必要があります。応用に当たっても基礎がしっかりしているかどうか、その後の発展を大きく左右します。もちろん回路をある程度理解できても、設計できるとは限りません。ほとんどのテキストは、設計できるように書かれていません。従って、OJT (on the job training) で、実際の設計の順序や留意点をしっかり学ばせることが重要になります。

また、シミュレーションと実測を対比させながら理解することが極めて重要です。チップのボード上での評価はもとより、できればプローブで実チップ上の信号波形をモニターすることが有効です。まさに“Seeing is believing”です。

うまく動かないときは、良い教材が与えられたと思いたいでしょう。不良の解析が、最も力がつく機会になります。

アナログ設計環境の強化

10年ほど前にアナログ回路設計の不具合の原因を調べましたが、デバイス・データ不足とシミュレータの能力不足が大きな要因になっていました。設計品質や設計効率を上げるためには、教育だけでは不十分であり、アナログ設計環境を構築する必要があります。

アナログ設計環境の基本は図B-1に示すように、システム・シミュレータ、回路シミュレータ、レイアウト、寄生素子抽出、ポスト・レイアウト・シミュレータの流れを確立することにあります。また、これらシミュレータに用いる機能モデル、デバイス・モデル、セルデータ、寄生素子データなどを完備する必要があります。このうち、回路シミュレータ(いわゆるSPICE)とレイアウトはどこでも用いられているでしょうが、その他のツールは必ずしも完備されていないのが現状です。システム・シミュレータは、アナログとデジタルの混載時代になって非常に重要になりました。特にアナログ回路とデジタル回路がフィードバック・ループを形成している場合は、切り離してそれぞれ独立にシミュ

不安定な高性能微細機を デジタル制御

要なキーワードとして、「連続時間型と離散時間型」「周波数領域と時間領域」「バイポーラとCMOS」というような言葉が出てきます。最初は分からないかもしれませんが、基本から説明していきますので、ぜひ理解しておきましょう^{注1)}。最近では、シミュレータを利用することが多いので、アナログとデジタルの統合的なシミュレーション技術についても説明します。

ただし、その前に、P16～P21ページの「高性能/高精度で不安定、制御しながら使いこなす勘所」でアナログ技術とはそもそもどういうものを理解しておきましょう。よく「アナログは難しい」と言われます。なぜ難しいのか、何が難しいのかが分かれば、勉強に役立てることができそうですし、アナログの本質に迫ることになります。

注1) デジタル技術をうまく活用したアナログ技術は、「新世代アナログ技術」の一つです。このほか、バイポーラではなくCMOSデバイスを使う回路技術も「新世代アナログ技術」に含まれます。CMOSはバイポーラより雑音もバラつきも大きく、うまく制御する技術が重要になるからです。

デジタル技術

レーションすることは不可能ですから、必須の設計ツールになっています。回路設計が完全でも、システムとして不都合があれば、元のもくあみになってしまいます。

寄生素子抽出とポスト・レイアウト・シミュレータ(高速のSPICE)は、高速・高精度回路の実現には不可欠になりました。CMOSは特に寄生容量などの寄生素子の影響を受けやすいデバイスです。ノンオーバーラップ・クロックのタイミングが狂い、スイッチが同時にオン状態になってデータが消えたり、微小な線間容量によりクロストークが発生し精度が劣化したりします。このシミュレーションはテープ・アウト前の忙しい時期に実施しますからいいかげんになりがちですが、ここをおろそかにすると失敗につながり、大変な時間のロスになります。

設計マネジメント体系の整備

EDA (electronic design automation) を導入すると設計は完全になるのでしょうか。EDAはあくまでも「道具」です。それを使いこなす技術者が必要です。EDA自体は良い回路などは教えてくれませんが、技術者教育が重要なことは変わりません。しかし、個人の能力にばかり頼ってしまうと、

基本的な回路は誰が設計しても必ずうまくいく仕組み、リスクな回路はできるだけ安全に設計する仕組みの構築が大切です。これには、設計の手順やシミュレーション方法を明らかにした標準的な設計フローがまず必要になります。次に、設計をチェックするデザイン・レビュー制度の確立が重要です。チェック項目は過去の失敗を繰り返さないように、課題が発生した都度、追加していきます。

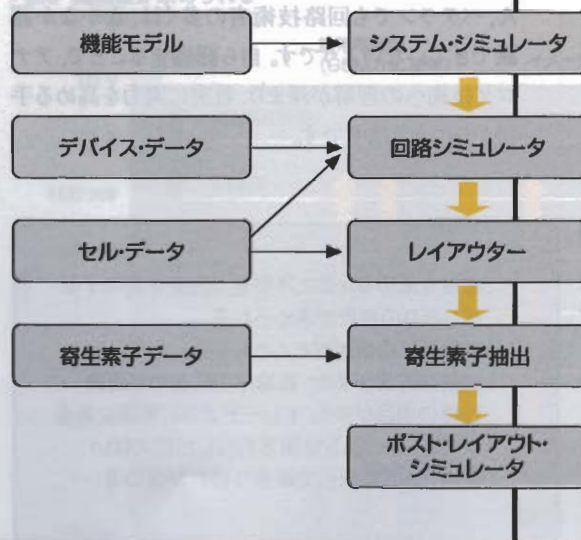
アナログ設計は専門家だけで行う傾向が強いのですが、デザイン・レビューにおいては専門家以外でも、定められた手続きがしっかり守られているかどうかチェックできます。内輪だけでチェックすると必ず見逃しが出ます。アナログ設計の標準的な設計フローを決めるだけでも大変ですが、まずは簡単なことでも決めて守る、その後で必要などころを変更する、というくらいの思い切りが必要になります。

設計の外部委託

人手が足りないとき、あるいは自社に技術がないときは、設計を外部に委託することも必要になります。このときに重要なのは、丸投げしないことです。設計の手順とチェックポイントを決めます。その設計チェックが通らなければ、次のステップを踏ませないようにします。できればステップごとに開発費を支払うようにします。フローさえ明らかになれば、例えばシミュレーションを実施したかどうかは、素人でもチェックできます。

専門家がいない場合は、米国では技術コンサルタントを活用します。筆者も15年くらい前、米国企業と共同開発を行ったときにデザイン・レビューを受けました。その会社にはアナログの専門家が少なかったため、大したことはないだろうと高をくくって参加しましたが、3人もの技術コンサルタント(そのうちの1人は大学の先生)による3時間もの質問攻めに遭い、疲労困憊しました。日本でもそのくらいはやるべきでしょう。欧米のIP会社では設計を技術者任せにして、意外にデザイン・レビューがしっかりしていない会社も少なくないのが実態です。IPを購入するときは、注意しましょう。

図B-1 アナログ設計環境



性能を納期までに低コストで実現できる半導体メーカーを探し、きちんと作れるかどうか見極めるのは、自分で設計するのと同様に重要な仕事です。半導体メーカーの技術力を判断し、開発途中でトラブルが発生したときに適切に指示できる能力を身に付けておく必要があります。そのため、ここで解説する基本的な技術は機器メーカーの技術者なら知っておかな

ければなりません(下掲の「企業のアナログ人材育成法」参照)。

アナログの全体像を押さえる

今回のアナログ技術の解説は、“純アナログ”ではなく、現在の機器開発に即した“新世代アナログ”を中心に解説していきます。技術を理解する上で重

図6 DVDレコー

DVDからの信号をア

(6) 回路ブロックと波



企業のアナログ人材育成法

アナログ技術者の育成には、かなり時間がかかります。長期的な視野に立って、じっくり取り組まなければなりません。

多くの企業では、次のようなことに取り組んでいます。

- ・ 新入社員の確保
- ・ 教育
- ・ 設計マネジメント体系の整備
- ・ 設計の外部委託

技術者が独学するときも参考になると思いますので、それぞれ解説していきましょう。

新入社員の確保

アナログ設計のレベルを教育で底上げすることは可能ですが、最終的には設計者の資質に依存するところが大きいのが実態です。従って、できるだけ資質のある技術者を確保するのは、マネジャーの重要な仕事といえます。

学生を採用するときは、できるならアナログ回路設計の経験のある学生を採用したいところです。米国では実践的なアナログ設計を大学で行える制度がありますが、日本にはほとんどありません(特にCMOSのアナログ設計については、日本では困難です)。このため日本では、大学で新世代アナログ技術の設計を実地に行っているところはわずか数カ所の研究室に限られます。従ってアナログ回路設計の経験のある学生を採用したいときは、これらの研究室との交流が重要だと思えます。

ただし、新入社員を採用するときは、アナログ設計の経験以上に性格や基本的な資質も重要になります。基礎的な理論(回路理論やデバイスの物理、数学など)の理解や、粘り強く課題を突き詰める性格かどうかは非常に重要です。

教育

現場の第一線で活躍する技術者を動員して、新人や若手にアナログCMOS設計教育講座を開講する企業もあります。第一線の技術者は、ただでさえ忙しいのですが、教育も大事な業務として経営トップが指示しているところもあります。

単なる座学だけですと身に付きませんが、まずは基礎知識を学ぶ必要があります。応用に当たっても基礎がしっかりしているかどうか、その後の発展を大きく左右します。もちろん回路をある程度理解できても、設計できるとは限りません。ほとんどのテキストは、設計できるようには書かれていません。従って、OJT (on the job training) で、実際の設計の順序や留意点をしっかり学ばせることが重要になります。

また、シミュレーションと実測を対比させながら理解することが極めて重要です。チップのボード上での評価はもとより、できればプローバで実チップ上の信号波形をモニターすることが有効です。まさに“Seeing is believing”です。

うまく動かないときは、良い教材が与えられたと思いましょう。不良の解析が、最も力がつく機会になります。

アナログ設計環境の強化

10年ほど前にアナログ回路設計の不具合の原因を調べましたが、デバイスデータ不足とシミュレータの能力不足が大きな要因になっていました。設計品質や設計効率を上げるためには、教育だけでは不十分であり、アナログ設計環境を構築する必要があります。

アナログ設計環境の基本は図B-1に示すように、システム・シミュレータ、回路シミュレータ、レイアウト、寄生素子抽出、ポスト・レイアウト・シミュレータの流れを確認することにあります。また、これらシミュレータに用いる機能モデル、デバイス・モデル、セルデータ、寄生素子データなどを完備する必要があります。このうち、回路シミュレータ(いわゆるSPICE)とレイアウトはどこでも用いられているでしょうが、その他のツールは必ずしも完備されていないのが現状です。システム・シミュレータは、アナログとデジタルの混載時代になって非常に重要になりました。特にアナログ回路とデジタル回路がフィードバックループを形成している場合は、切り離してそれぞれ独立にシミュ

不安定な高性能戦闘機を
デジタル制御

要なキーワードとして、「連続時間型と離散時間型」「周波数領域と時間領域」「バイポーラとCMOS」というような言葉が出てきます。最初は分からないかもしれませんが、基本から説明していきますので、ぜひ理解しておきましょう^{注1)}。最近では、シミュレータを利用することが多いので、アナログとデジタルの統合的なシミュレーション技術についても説明します。

ただし、その前に、P16～P21ページの「高性能/高精度で不安定、制御しながら使いこなす勘所」でアナログ技術とはそもそもどういうものを理解しておきましょう。よく「アナログは難しい」と言われます。なぜ難しいのか、何が難しいのかが分かれば、勉強に役立てることができそうですし、アナログの本質に迫ることになります。

注1) デジタル技術をうまく活用したアナログ技術は、「新世代アナログ技術」の一つです。このほか、バイポーラではなくCMOSデバイスを使う回路技術も「新世代アナログ技術」に含めます。CMOSはバイポーラより雑音もバラつきも大きく、うまく制御する技術が重要になるからです。

デジタル技術

レーションすることは不可能ですから、必須の設計ツールになっています。回路設計が完全でも、システムとして不都合があれば、元のもくあみになってしまいます。

寄生素子抽出とポスト・レイアウト・シミュレータ(高速のSPICE)は、高速・高精度回路の実現には不可欠になりました。CMOSは特に寄生容量などの寄生素子の影響を受けやすいデバイスです。ノンオーバーラップクロックのタイミングが狂い、スイッチが同時にオン状態になってデータが消えたり、微小な線間容量によりクロストークが発生し精度が劣化したりします。このシミュレーションはテープ・アウト前の忙しい時期に実施しますからいいかげんになりがちですが、ここをおろそかにすると失敗につながり、大変な時間のロスになります。

設計マネジメント体系の整備

EDA (electronic design automation) を導入すると設計は完全になるのでしょうか。EDAはあくまでも「道具」です。それを使いこなす技術者が必要ですし、EDA自体は良い回路などは教えてくれませんが、技術者教育が重要なことは変わりません。しかし、個人の能力にばかり頼ってうまくいきません。

基本的な回路は誰が設計しても必ずうまくいく仕組み、リスクな回路はできるだけ安全に設計する仕組みの構築が大切です。これには、設計の手順やシミュレーション方法を明らかにした標準的な設計フローがまず必要になります。次に、設計をチェックするデザイン・レビュー制度の確立が重要です。チェック項目は過去の失敗を繰り返さないように、課題が発生した都度、追加していきます。

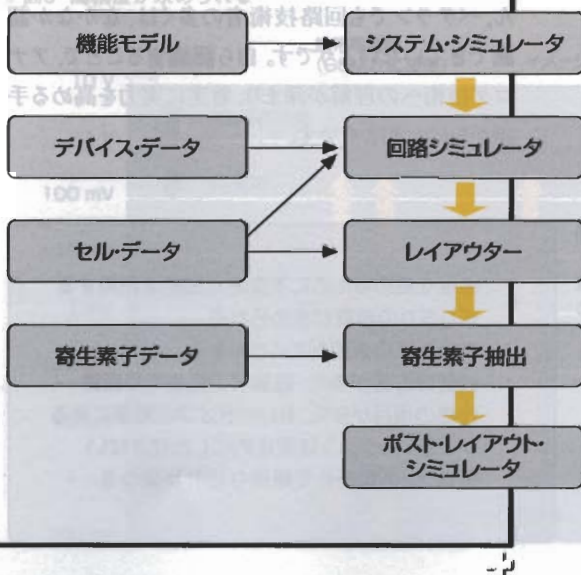
アナログ設計は専門家だけで行う傾向が強いのですが、デザイン・レビューにおいては専門家以外でも、定められた手続きがしっかり守られているかどうかチェックできます。内輪だけでチェックすると必ず見逃しが出ます。アナログ設計の標準的な設計フローを決めるだけでも大変ですが、まずは簡単なことでも決めて守る、その後で必要なところを変更する、というくらいの思い切りが必要になります。

設計の外部委託

人手が足りないとき、あるいは自社に技術がないときは、設計を外部に委託することも必要になります。このときに重要なのは、丸投げしないことです。設計の手順とチェックポイントを決めます。その設計チェックが通らなければ、次のステップを踏ませないようにします。できればステップごとに開発費を支払うようにします。フローさえ明らかになれば、例えばシミュレーションを実施したかどうかは、素人でもチェックできます。

専門家がいない場合は、米国では技術コンサルタントを活用します。筆者も15年くらい前、米国企業と共同開発を行ったときにデザイン・レビューを受けました。その会社にはアナログの専門家が少なかったため、大したことはないだろうと高をくくって参加しましたが、3人もの技術コンサルタント(そのうちの1人は大学の先生)による3時間もの質問攻めに遭い、疲労困憊しました。日本でもそのくらいはやるべきでしょう。欧米のIP会社では設計を技術者任せにして、意外にデザイン・レビューがしっかりしていない会社も少なくないのが実態です。IPを購入するときは、注意しましょう。

図B-1 アナログ設計環境



アナログの何が難しいのか 高性能/高精度で不安定 制御しながら使いこなす勘所

デジタル設計者は「アナログは分からない」と避け、アナログ設計者は「デジタル設計者は苦勞を理解できない」と不満を漏らす——こういう現場は少なくありません。本来、アナログ技術者とデジタル技術者が相互理解を進め、両方の技術をうまく使いこなさなければなりません。ここでは、アナログ技術が難しい理由と、アナログ回路にデジタル技術をうまく利用する考え方について解説します。

松澤 昭
東京工業大学大学院

アナログ回路技術は難しいので、一人前の技術者になるには時間がかかる、といわれています。容易ではないのは確かで、やみくもに勉強しても実力はなかなかアップしません。アナログの何が難しいのかを把握しておけば進むべき道が見えやすくなり、壁に当たったときに乗り越える手立てを講じやすくなります。

そうはいつても、アナログの難しさが明確になっているわけではありません。そこで、ここではアナログが難しくなる原因を考えてみます(図1)。言われてみれば当たり前のように思うでしょうが、若手はもちろん、ベテランでも回路技術者の多くは、なかなか認識できていないようです。自ら認識することで、アナログ技術への理解が深まり、着実に実力を高める手掛かりになるはずで

■ 図1 アナログ回路技術の難しさ
現場の技術者が直面する問題をまとめました。

- 感度を高めるために不安定な回路を利用する
- ぎりぎりの精度が求められる
- 精度低下の要因がたくさんある
- 設計の方式が多く、最適解の見極めが困難
- 仕様の項目が多く、トレードオフの関係にある
- シミュレーションは限定的にしか使えない
- 微細化、低電圧化で最適な設計が変わる

アナログ回路が不安定なのは宿命

アナログ回路が難しくなる最大の理由は、回路を不安定な状態で動作させるからです。分かりやすくするために、デジタル回路と比較しながら考えてみましょう。図2に示す回路はnMOSとpMOSを接続した、最も簡単なCMOS回路です。これはデジタル回路のCMOSインバータになりますし、アナログ回路のCMOS増幅器として利用することもできます。回路の構成は同じですが、インバータと増幅器では、トランジスタの動作領域が異なります。

インバータでは、ゲートに電源電圧 V_{DD} もしくは接地電圧 V_{SS} (0V)を印加します。入力が V_{DD} のときnMOSはオン、pMOSはオフとなり出力電圧は0Vになります。逆に入力が0VのときnMOSはオフ、pMOSはオンとなり、出力電圧は V_{DD} になります。ここで入力信号が多少変化しても、出力電圧は変わりません。従って、極めて安定性が高くなります。

これに対し増幅器では、入力電圧が $V_{DD}/2$ 近傍で、出力電圧が最も変化するところを用います。入力信号に対して出力が大きく変化すれば、利得が高くなるからです。入力信号電圧がわずかでずれてしまうと、出力電圧は V_{DD} か0Vに張り付いてしまい、所望の増幅作用が得られません。このようにアナログ回路は本質的に不安定な要素を持っています。

これは、わざと機体を不安定にして、交戦時に高い機動性を発揮できるようにした戦闘機の考え方と似ています(右ページの「不安定な高性能戦闘機を

不安定な高性能戦闘機を デジタル制御

戦闘機の中には、普通の飛行機と違って、前進翼を採用したものがあります(図A-1)。力学的には不安定になりますが、それゆえ旋回性能など機動性が高まります。このような機体の構造は、安定した巡航には向きませんが、交戦時に機動性を要求される戦闘機で求められます。

もちろん不安定で操縦できなければ意味がありません。力学的な不安定さを補っているのが、コンピュータによる飛行制御、すなわちデジタル技術です。ここでもデジタル技術がアナログ技術を支援するという構図になっています。



図A-1 不安定だが機動性が高い前進翼の戦闘機X-29A
米Grumman Aerospace社製。

デジタル制御)参照)。機体が不安定でも、コンピュータ制御で高い運動性と安定性を両立できるようにしています。アナログ回路でも同様に、高感度と安定性を両立できるようにすることが鍵になります。

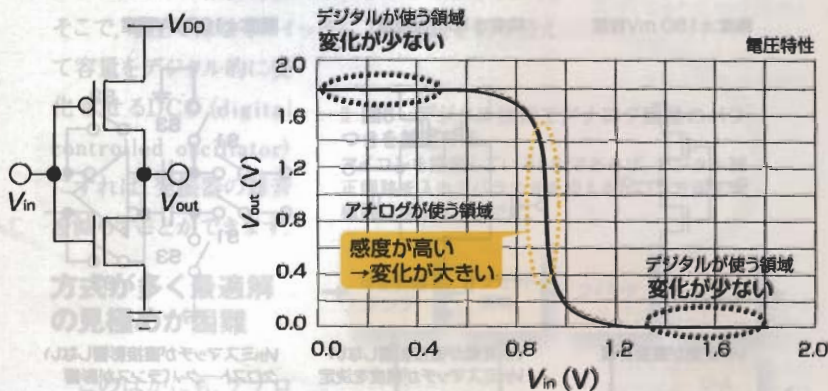
高精度が求められる

精度も大きな問題です。アナログ信号は、nV(ナノボルト)から μ V(マイクロボルト)のオーダーの微小信号を扱うことが多く、高い精度が要求されます(図3)。

携帯電話機においては、受信の信号電圧が数 μ Vになります。雑音は1 μ V以下に抑えなければなりません。しかも近くの携帯電話機が発する数百mVの強い妨害波は除去して、遠くの基地局が発する数 μ Vの弱い所望波の信号を受信するという技術が必要です。これらは規格で決められています。

イメージ・センサは、数百mVから数 μ Vの信号を扱います。人間の目は対数的に動作し、強い光も弱い

図2 アナログ回路は不安定な領域で動かす
アナログ回路は感度を高めるために変化が大きい不安定な領域で動かします。これに対し、デジタル回路は変化が少ない安定な領域で動かします。



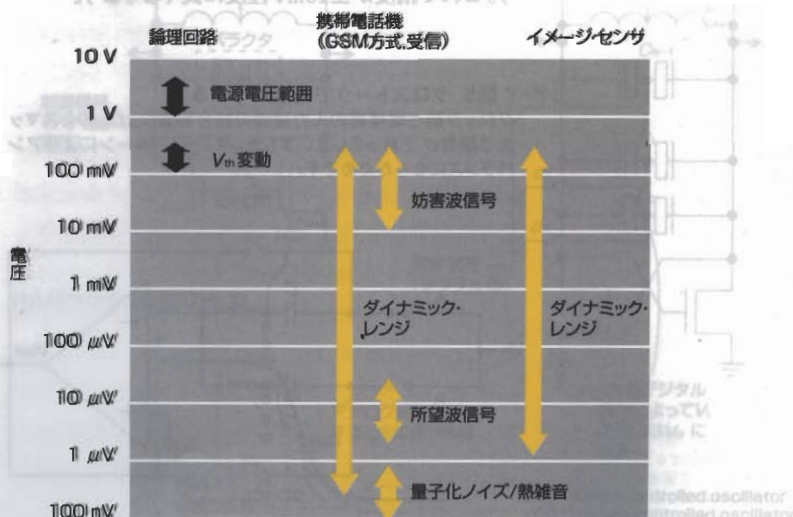
グ回路をややこしくして

光も見ることができます。イメージ・センサも、弱い光をきちんと画像としてとらえられなければなりません。またデジタル・カメラなどの画質は、どんどん高くなっています。画質は感覚的なものですから、限りがありません。競争も限りなく続き、アナログ技術者は悲鳴を上げています。しかし「他社に負けるな」と言われながら、必死に性能向上に取り組んでいるのが実情です。

精度を高める工夫を積み重ねる

このような中で、アナログ回路技術者は、苦勞しながら徐々に精度を高めていきました。先ほど挙げた

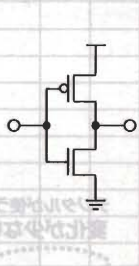
図3 高精度が求められる



■ 図4 回路を工夫して精度を高める

(a) シングル増幅

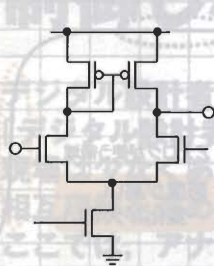
精度: ±150 mV程度



V_{th} 変動が直接影響

(b) 差動増幅

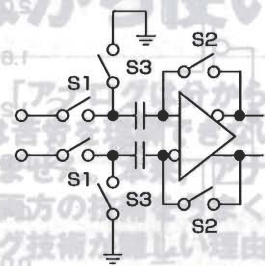
精度: ±10 mV程度



V_{th} 変動が直接影響しない
 V_{th} ミスマッチが精度を決定

(c) ミスマッチ・キャンセル

精度: ±100 μ V程度



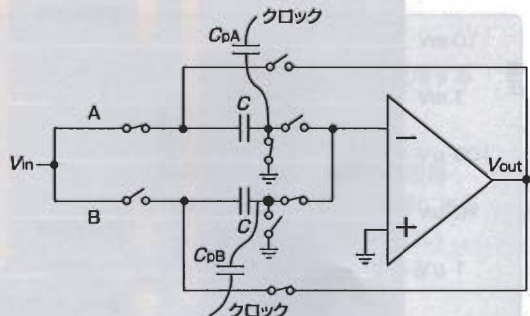
V_{th} ミスマッチが直接影響しない
クロストーク・バランスが影響

インバータ・アンプを例に説明しましょう。

インバータ・アンプでは、感度を高めるために変化の大きな部分を利用しますので、しきい値電圧 V_{th} の変動の影響を直接受けてしまいます。これは、避けることができません。 V_{th} は、温度変化も考慮すればだいたい100~200mV変化するので、インバータ・アンプの精度は±150mV程度にすぎません(図4(a))。

このしきい値電圧 V_{th} の問題を解決するために、図4(b)に示す差動増幅器がよく用いられます。差動増幅器では、接地電圧に対する入力信号の絶対的な電圧はあまり意味を持たず、信号は二つの信号の差成分のみを増幅するようになります。トランジスタの V_{th} がバラついても、近くにあるトランジスタも同じように変化するので、バラつきを打ち消すことができます。これで精度が±10mV程度に良くなります。

■ 図5 クロストークで精度が下がる
クロック線と増幅器の入力線間の結合容量 C_{pA} , C_{pB} のミスマッチで精度が下がってしまいました。ダミー・パターンによりアンバランスになったためです。



誤差の要因をつぶしていく

差動増幅器の発明のおかげで、直流増幅の精度が高くなりました。しかし、オフセット電圧が使用できる最小の電圧を制限してしまいます。この電圧はバイポーラ・トランジスタで数百 μ V~数mV, MOSトランジスタで数mV~数十mVです。特に、MOSトランジスタではオフセット電圧が問題になります。

そこで、MOSにおいては図4(c)に示すような容量を用いたオフセット補償技術が開発されました。スイッチS1, S2が閉じられている場合はゲート電圧と出力電圧が一致するので、バイアス状態が実現しています。この状態で容量に入力電圧を印加し、バイアス電圧と入力電圧差を容量に電荷として蓄積します。次にスイッチS1, S2を開き、スイッチS3を閉じると差電圧が増幅され、オフセット電圧は利得分の1に減少します。この技術により数mVのオフセット電圧を100 μ V程度に減少させることができます。このように、本質的に不安定なMOSのアナログ回路がなんとか使えるようになってきました。

レイアウトで誤差が発生

このようにミスマッチ(バラつきのランダム成分)を補償すれば精度を高めることができますが、他の要因で精度が下がってしまうこともあります。A-D変換器の例で説明しましょう(図5)。

このA-D変換器は、A, Bの2チャンネルで動作するように設計しました。A, Bは対称に設計されているので、同じ電圧が出るはずですが、実際に動かしてみると、数mVの誤差が発生してしまいました。なんでもかと思つて調べてみると、クロック線との間の寄生容量のアンバランスによって、数mVのオフセット電圧が出ていました。設計者は、この点については考慮して回路を対称にレイアウトしていたのですが、レイアウト処理のミスでダミー・パターンが勝手に入ってしまったのです。それで、 C_{pA} と C_{pB} で容量がわずかに1fFずれ、数mVの誤差が出てしまいました。

このようにトランジスタのしきい値電圧の変動を抑える対策や、クロストーク対策を行っても問題が出てしまいました。もっとも、この問題は初歩的なミスと言えます。分かっているベテラン技術者は、このような問題が起こらないようにシールド線を入れます。

このほか、ベテランでも予期できない問題もあります。特に高周波の場合が典型的なのですが、ダミーフィル（平坦性を高めるために配線密度を均一に保つフローティングのメタル）に渦電流が発生し、インダクタ値と発振周波数が変わるなど、デリケートな問題がいろいろと出てきます。どこまでいっても、問題が現れてくるので、“アナログは難しい”となってしまう。

まとめてみると、信号の精度を確保するのは容易ではありません。まず微小信号を増幅できる低雑音の増幅器が必要になります。それができたとしても、

- ・ 製造プロセスなどに起因するトランジスタや配線の特性のバラつき
 - ・ 配線間のクロストーク
 - ・ 渦電流によるインダクタンスの変動
 - ・ デジタル回路からの外的な雑音
- など、精度低下の要因に注意しなければなりません。

デジタルでアナログを支援する

ここまでに述べた不安定さや精度の低下は、アナログ技術を難しくしている主因と言えるでしょう。この問題を解消するためには、アナログ的な動作の原理をきちんと習得しておくことも必要ですが、今後はデジタル技術をうまく活用する方法が重要です。

図6は、アナログ回路のバラつきの補正にデジタル技術を用いた例です。アナログ・デジタル混載SoC (system on a chip) では、アナログ回路の一発動作が求められます。SoCをタイムリーに市場に出さないと、大きなマーケットを失ってしまいます。

しかし、アナログは一度作ってみないと分からないところがあります。またプロセスの状態により特性が変動します。そこで対策として、不確定なところやバラつきが大きいところに対しては、前もってデジタルにより制御できる回路を入れておくのがコツです。図6の例では、DVDの信号処理における可変利得アンプの増幅度やオフセット調整、フィルタが、マイコンによって自動的に制御できるようになっています。従来のアナログICにおいてはマイコンを用いることはできませんでしたが、SoCはすべて強力なマイコンを持っていますから、わけのないことです。

図7は発振器の例です。VCO (voltage controlled oscillator) では発振周波数を制御するために電圧

可変容量素子を用いていました。VCOはよく利用されますが、電圧によって容量が変化しやすいということは、同時に雑音に弱いということでもあります。そこで、電圧ではなくスイッチにより個数を切り替えて容量をデジタル的に変化させるDCO (digital controlled oscillator) にすれば、発振器の雑音を減らすことができます。

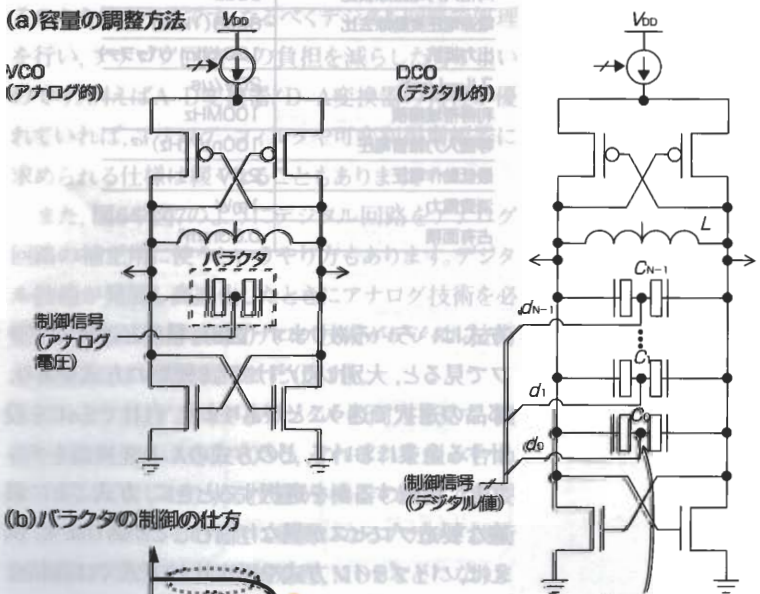
方式が多く最適解の見極めが困難

このほかにも、アナログ回路をややこしくしている問題があります。部品や設計方式の選択肢が多い、さらに仕様の項目が多くトレードオフの関係にあるものも多い、といったことです。

例えば、A-D変換器の

■ 図7 アナログ素子のデジタル的使い方

(a)容量の調整方法

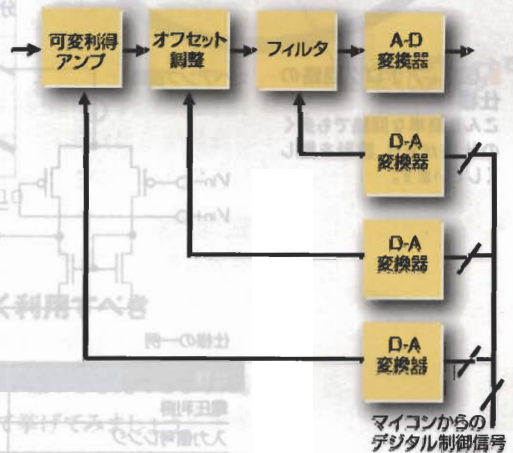


(b)バラクタの制御の仕方



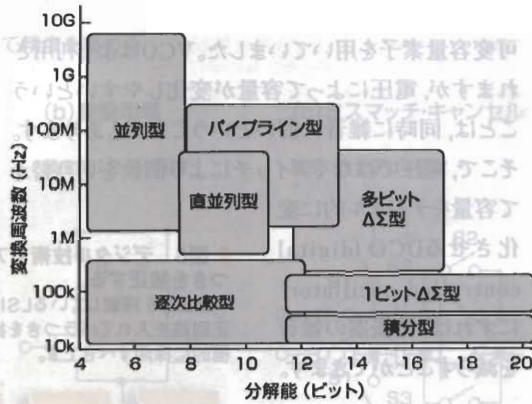
可変容量素子を用いていました。VCOはよく利用されますが、電圧によって容量が変化しやすいということは、同時に雑音に弱いということでもあります。そこで、電圧ではなくスイッチにより個数を切り替えて容量をデジタル的に変化させるDCO (digital controlled oscillator) にすれば、発振器の雑音を減らすことができます。

■ 図6 デジタル技術でアナログ回路のバラつきを補正する
マイコンを搭載しているLSIであれば、デジタル補正回路を入れてバラつきを抑えるという方法を積極的に採用すべきです。

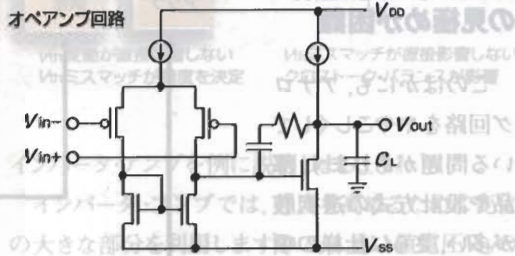


DCO: digital controlled oscillator
VCO: voltage controlled oscillator

■ 図8 アナログ回路の方式は多種多様 A-D変換器の例です。方式によって、要求されるプロセス性能バラつきなどが異なります。どれが良いとズバツと言えないのがアナログ設計者の悩みです。



■ 図9 アナログ回路の仕様 こんな簡単な回路でも多くの仕様があり、設計を難しくしています。



仕様の一例

仕様	参考値
電圧利得	80dB
入力信号レンジ	0V~V _{DD} -1.2V
出力信号レンジ	0.3V~V _{DD} -0.3V
オフセット電圧 (システムチック)	0.1mV
オフセット電圧 (ランダム)	2mV (標準偏差)
同相入力電圧除去比	80dB
電源電圧変動除去比	60dB (1kHz)
出力抵抗	100 ohm (バッファ)
スルーレート	20V/μs
利得帯域幅積	100MHz
等価入力雑音電圧	100nV/(Hz) ^{1/2}
最低動作電圧	2.5V
消費電力	1mW
占有面積	0.03mm ²

方式はいろいろあります(図8)。精度と速度のグラフで見ると、大別しただけでも8種類の方式があり、部品の選択で迷うことがあります。自社でSoCを設計する企業において、どの方式のA-D変換器をチップ上に搭載するかを選択するとき、方式ごとに最適な製造プロセスが異なり悩むことがあります。例えば、バイブライン方式や逐次比較方式では高精度の容量が必要になりますが、ほかの方式では要りません。製造プロセスを開発する部門から、高精度の容量が必要なのかどうかを尋ねられ、判断に迷うことがあります。

注1) ただし、45~65nm世代以降は、微細化するとソフト・エラーなどによって誤動作する確率が急激に増える、という問題も出てきています。

技術者によって方式の好みが変わったり、設計ルールによって適する方式が変わってきたりするのも、問題を複雑にします。自分が手掛けたものは安心できるが、ほかの方式ではどんな問題が起こるのか分からず怖い、という気持ちがアナログ回路では出てくるものです。どれを選ぶのか、人それぞれの得意なやり方、いわば“流派”があります。

この問題を解決するためには技術の動向を見極め、方式間のさまざまな比較を常々行っておくことが必要です。将来を見越して開発のロードマップを作っておき、行き当たりばったりの対応にならないようにしておくしかありません。

満たさなければならない仕様が多い

アナログ回路の仕様は、通常、項目が非常に多くなります。デジタル回路なら遅延時間、消費電力、面積など、仕様として考慮すべきものはそれほど多くありません。しかし、アナログ回路は仕様として挙げられる項目がたくさんあります。トランジスタ数が10個以下の簡単なオペアンプでさえ、主な仕様は、電圧利得や入力信号レンジ、出力信号レンジ、オフセット電圧、同相入力電圧除去比、スルーレート、利得帯域幅積など多岐にわたります(図9)。

どの項目も、動作で重要になるものが多く軽視できません。ところが、各項目は一方を立てれば他方が立たないトレードオフの関係にあることが多いという問題があります。例えば、周波数特性を良くすると雑音特性や安定性、消費電力が悪化するなど、項目ごとに独立に特性を高めることが難しいのです。

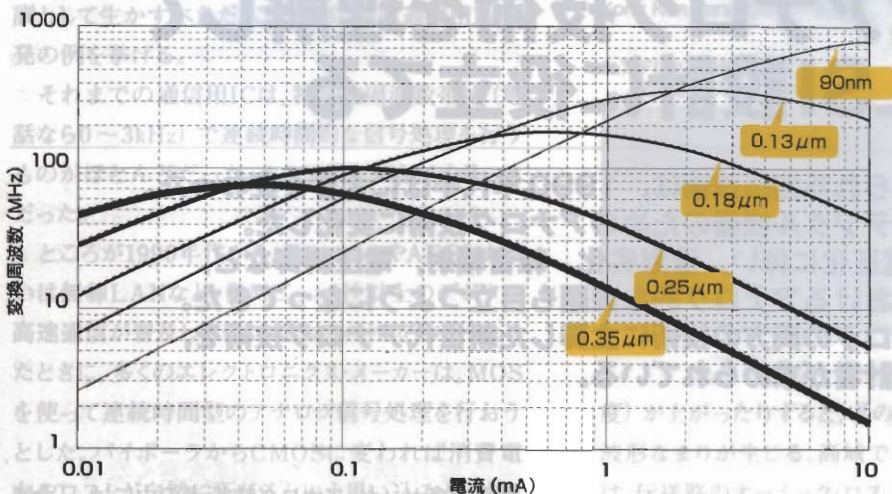
それでも図9のような簡単な回路なら、最近ではオプティマイザと呼ばれるツールで自動的に最適化してくれるようになりました。しかし、規模が大きくなれば、ツールでは最適化できません。最後は「勘・経験・度胸(いわゆるKKD)」になってしまいますので、ツールを使いこなすとともに勘を磨くことがやはり必要になります。

微細化、低電圧化で最適な設計が変わる

デジタル回路は、微細化すると寄生容量が小さくなり、動作を高速にしつつ、消費電力も小さくなること分かっています^(注1)。

ところが、アナログ回路では微細化は必ずしも性

図10 微細化しても単純には性能が上がらない
分解能が10ビットのパイプライン型A-D変換器の消費電流と変換速度の限界を示しました。



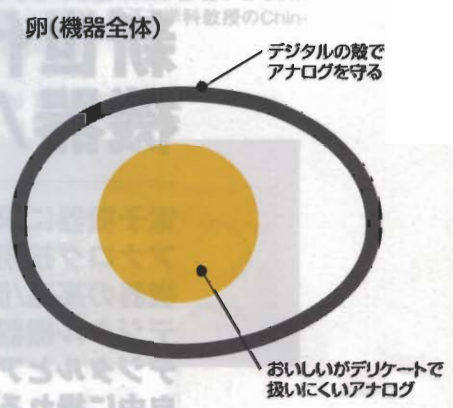
能向上に結び付きません。図10は10ビットのA-D変換器におけるオペンプ内の単位電流と変換周波数を使用する設計ルールごとにシミュレーションしたものです。各設計ルールにおいて使用できる電源電圧が異なりますが、信号振幅はこの電源電圧に対応して変化すると仮定しています。

低電流の領域では信号振幅が大きく取れ、その結果、信号系の容量を小さくできる0.35μm CMOSが最も変換周波数が高くなります。90nm CMOSは電源電圧が低く信号振幅が小さくなりますので、信号対雑音比(S/N)の確保のために信号系の容量が大きくなってしまいます。この結果、最も変換周波数が低くなります。

電流を増加させていくと、各設計ルールともいったん最大値を取り、そこからだんだんと低下していきます。これは電流増によりトランジスタ寸法が増加し、トランジスタのゲート容量や寄生容量が増加するからです。0.35μm CMOSでは0.04mAを超えたあたりから減少します。設計ルールが微細になると、このピークを取る電流もピーク値も共に高くなっていきます。2mAを超えると、90nm CMOSが0.13μm CMOSを抑えてトップに立ちます。

このようにアナログ回路では微細な設計ルールを用いたからといって、必ずしも低電流になるとは限りません。性能に応じた最適な設計ルールが存在すると思えるを得ないのです。

図11 アナログをデジタルで“守る”



デジタル回路をうまく利用すべき

ここまで、アナログ回路の難しさを見てきました。開発のポイントをあらためて挙げてみましょう。

大事なのは、アナログをなるべく使わないことです。せっかくアナログ回路を勉強しているのに変なことを言うと思うかもしれませんが、安定な回路を使えるのなら使うべきです。なるべくデジタル回路で処理を行い、アナログ回路への負担を減らした方がよいのです。例えばA-D変換器/D-A変換器の特性が優れていれば、アナログ・フィルタや可変利得増幅器に求められる仕様は緩くなることもあります。

また、図6や図7のようにデジタル回路をアナログ回路の補正用を使うというやり方もあります。デジタル技術が発展し高速化したときにアナログ技術を必要としたように、今後はアナログ技術がデジタル技術を必要としていると言えます(図11)。

このように、アナログとデジタルの両方を見て、機器全体でバランスを取ったり、それぞれを組み合わせ使いこなしたりする技量が、機器の設計で重要になっています。そのときに重要になるアナログ技術が、離散時間型や時間領域処理、MOSなどになります。ぜひ、P22~P29ページの「新世代アナログ技術を理解して機器/LSI設計に役立てる」で把握しておきましょう。

↑アイバターン→低雑音における信号波形の歪みを軽減する方法の一つ。目玉のようなアイの部分が大きいと、限りなく波形伝送しやすい状態になっていることを示す。

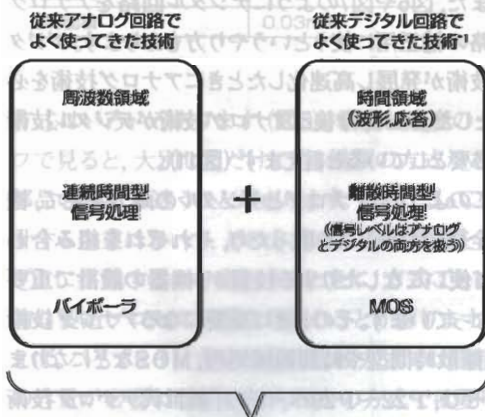
時間領域、離散時間型、MOSの特徴を把握する 新世代アナログ技術を理解して 機器/LSI設計に役立てる

電子機器に求められる回路技術は、1990年代半ばに大きく変わった。アナログ技術はデジタル機器のためのアナログ技術に変化した。機器の高速/低電圧化に伴い、波形劣化、雑音輻射、電圧制御など、デジタル機器におけるアナログ的な課題も目立つようになってきた。デジタルとアナログの両方の技術に立脚した新世代アナログ技術を、自由に操れる設計者が求められている。

松澤 昭
東京工業大学大学院

電子機器の競争力を左右する、新世代アナログ技術とは具体的に何か、機器やIC設計にどう生かせばよいのか——。ここでは、新世代アナログ技術の全容と設計の大まかな方針を、電子機器の設計者および回路設計者向けに解説する。これまでは機器設計者も回路設計者も、デジタル担当とアナログ担当というように分かれている

■ 図1 新世代アナログ技術「時間領域」「離散時間型」「MOS」の三つの技術を把握すべきである。



新世代アナログ技術

*1 離散時間型のアナログ信号処理は、通常、デジタル回路では利用されていない

場合が多かった。アナログ技術者の中には、「今までバイポーラでアナログを設計してきたが、MOSも似たようなものだろう」と考え、痛い目に遭った人は多い。「連続時間型回路で設計してきたので離散時間型回路は苦手だ」「アナログ回路技術者だからデジタル信号処理は知らなくてよい」などと、昔ながらのやり方に固執する人も少なくない。デジタル技術者も、「私はデジタル屋だから周波数特性は考えたくない」とは言っていられなくなった。デジタル機器開発では、新世代アナログ技術をきっちり理解しておくことが必須になっている。

新世代アナログの三つの技術

各技術を説明する前に、新世代アナログ技術の全体像を図1に示す。従来アナログ回路でよく使われてきた技術と、従来デジタル回路でよく使われてきた技術の両方をうまく使いこなすのが、新世代アナログ技術である。

これまでアナログ技術と言えば、周波数軸で特性を考える「周波数領域」、連続的に信号を処理する「連続時間型信号処理」、昔から使われてきたデバイスである「バイポーラ」を利用するのが普通だった。新世代アナログ技術では、時間軸で「1」、「0」の波形を扱う「時間領域」、一定時間ごとにサンプリングを行って信号を処理する「離散時間型信号処理」、デジタル回路でよく使っているデバイス「MOS」の三つが重要になる。

これらの技術は、中途半端に使ってはならない。

例えば、1995～2000年ごろにかけて、日本の多くのエレクトロニクス・メーカーが経験した失敗は、教訓として生かすべきだ。ここでは、高速通信IC開発の例を挙げる。

それまでの通信用ICは、特定の周波数帯域（電話なら0～3kHz）で連続時間的な信号処理を行うものがほとんどだった。トランジスタはバイポーラだった。

ところが1990年代から、EthernetやADSLあるいは無線LANなど、数Mビット/秒以上のデジタル高速通信が普及してきた。それらのICを作ろうとしたときに、多くのエレクトロニクス・メーカーは、MOSを使って連続時間型のアナログ信号処理を行おうとした。バイポーラからCMOSに変われば消費電力やコストが自然に下がるという思い込みが、技術者にもかなりあった。

しかしながら実際には、想定よりも消費電力が大きい、性能が出ない、歩留まりが良くない、コストが下がらないという四重苦を味わい、欧米メーカーに大きく遅れを取った。これは、MOSトランジスタの特性を十分に把握できず、時間領域、離散時間型といった考えで設計できなかったからである。

以下では新世代アナログ技術について、周波数領域と時間領域、バイポーラとMOS、連続時間型信号処理と離散時間型信号処理、の順に解説する。

周波数領域と時間領域

両方を使いこなし 高性能化を達成する

設計や分析をするときに、信号の周波数特性に着目するのが周波数領域、時間応答に着目するのが時間領域である。

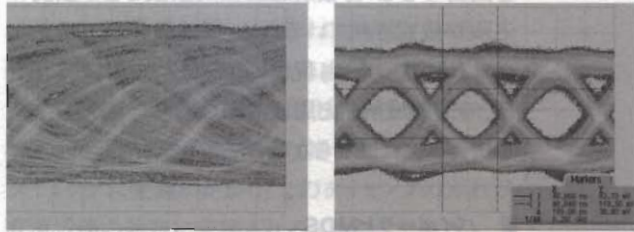
図2は、高速シリアル伝送後のデジタル信号のアイパターンである。図2 (a) は信号のアイが開いておらず、このままでは誤りのない波形を再生できない。どうすれば図2 (b) のようにデジタル信号の波形として伝送/整形できるだろうか。

それには、周波数領域と時間領域の技術が必要である。高速信号伝送時にアイが開かないのは、基本的には信号の高域成分が減衰しているからである。ケーブルが長くなったり、ビット・レート（伝送速

■ 図2 高速シリアル伝送路の出力波形

時間領域と周波数領域の両方の技術で波形を整形する必要がある。米University of California, Los Angeles校 (UCLA) 電子工学科教授のChin-Kong Ken Yang氏のデータ。

(a) デジタル信号を正確に伝送できていないとき (b) アイが開いて信号を伝送できているとき



度) が上がったりとすると、その高調波成分が減衰し波形なまりが生じる。高域での信号減衰の原因には、伝送路のオーミックロス（抵抗による損失）のほかに、周波数が高くなると信号が金属の表面近傍のみを流れることによる表皮効果、誘電体の誘電緩和によるタンデル効果などがあり、それぞれ固有の周波数特性を有している。従って、アイを開かせるには、これら伝送系の周波数特性の補償が必要であり、波形等価回路という一種のフィルタ回路が必要である。

このフィルタには基本的に高域を持ち上げる特性が必要だが、持ち上げ過ぎると雑音が増えて逆効果となるため、ケーブル特性に合わせた最適化が不可欠になる。つまり時間応答を改善するためには、周波数特性の制御技術が必要である。

ただし、周波数特性の制御だけでは不十分ことがある。例えばエコーのような、信号の多重反射により波形劣化が生じる場合は周波数領域ではなく、時間領域でキャンセルをかけなければならない。つまり信号を一定時間遅らせて、ある係数を掛けて引くという処理が必要になる。これは従来の連続時間型のアナログ回路では実現できない。離散時間型のアナログ回路やA-D変換器が必要である。信号をA-D変換してデジタル値にした後、デジタル信号処理により不要信号を抑制することになる。

もう一つEMC（電磁環境適合性）の例を挙げる。携帯電話やデジタル・テレビ、液晶ディスプレイなどは電磁雑音に悩まされている。マイコンなども低電圧化に伴い、電磁雑音による誤動作（EMS: electro-magnetic susceptibility）が深刻な問題に

↑ダイレクト・コンバージョン方式＝RF信号をベースバンド信号へ周波数変換する方式の一つ。10MHzを介さずRFからベースバンドへ直接変換する。

従来「電圧」方式では、イメージ信号（送動変動後のIF信号に飛び込む雑音）の発生が問題になるが、イメージ信号を抑制するがリフェーズ・フィルタ回路の構成によって、電圧方式は実用化できなかった。

↑アイパターン＝伝送路における信号波形の歪みを観測する方法の一つ。目のようなアイの開きが大きいと、誤りなく波形伝送しやすい状態になっていることを示す。

なっている。

機器やデバイスが正常に動作していたとしても、そこから法規制に違反するような電磁雑音が出ているかもしれない。そうすると、機器メーカーは製品を出荷できない。輻射雑音は周波数ごとに強度の上限が規定されているため、周波数領域で分析しなければならない。現代のデジタル機器の開発者は、時間領域解析と周波数領域解析の両方の技術を扱えなければならないのである。

バイポーラとMOS

電力、バラつき、雑音の課題を把握する

1990年代以降、アナログ回路をMOSTランジスタで構成することが多くなってきた。この際、従来用いていたバイポーラ・トランジスタとはかなり性質が違っていることを認識する必要がある。違いを理解しないと、前述のように回路の性能は極めて悪いものになる。

MOSTランジスタはバイポーラと同様に3端子デバイスとしてとらえることができる(図3)。正確には、MOSはボディ端子を有しておりゲートと同様の作用があるが、通常この端子は固定されている。ソース・ボディ間電圧が生じるとしきい値電圧 V_{th} の変動や相互コンダクタンス g_m が変動するが、あまり大きな影響は生じない。

3端子デバイスとしてのバイポーラ・トランジスタとMOSTランジスタの差は、小信号等価回路ではバイポーラ・トランジスタは入力端であるベースに電流が流れ、MOSTランジスタの入力端であるゲートには電流が流れない、というぐらいの差でしかない。あとは、バイポーラの g_m は図3(a)のよ

うに、コレクタ電流 I_c と温度 T で決まるのに対し、MOSではドレイン電流 I_{ds} と有効ゲート電圧 V_{eff} で決まり、 V_{eff} はドレイン電流と W/L (ゲート幅/ゲート長)というジオメトリーによって決まる点異なるぐらいだ。

従って、バイポーラ回路の大半は、MOSTランジスタに置き換えることが可能である。バイポーラ・トランジスタによるアナログ回路に慣れた設計者は、MOSTランジスタを3端子デバイスとして扱い、バイポーラからの単純な置き換えにより設計する場合が多い。ただし、この置き換えには以下の課題がある。これらの課題を知らないと、MOSの欠点が露骨に現れてしまい、消費電力や雑音の増大を招く。

消費電力:MOSの電流は大きくなる

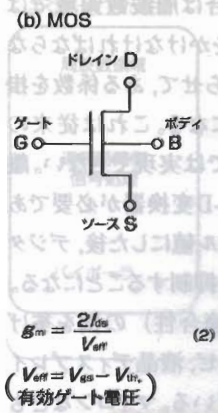
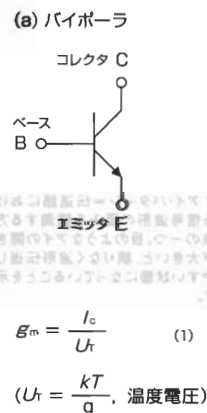
バイポーラの g_m の式(1)で、 U_T は常温で26mVであるのに対し、MOSの g_m の式(2)を見ると $V_{eff}/2$ は75~100mVと、バイポーラの3~4倍もある。このため、同一動作電流に対しMOSの g_m はバイポーラの1/4から1/3程度の大きさしか取れない。MOSを用いてバイポーラと同じ g_m を得ようとすれば、3~4倍の電流を流す必要がある。バイポーラから単純にMOSに置き換えると、消費電力が増大してしまうのである。

CMOSによるアナログ回路が開発され始めたころは、バイポーラからの置き換えの回路が多かったため、MOSアナログは消費電力が大きく性能が劣るという印象を、業界に強く植え付けた。

例えば、無線機器におけるフィルタがそれに当たる。高速のアナログ・フィルタは g_m を高くする必要があるが、バイポーラにおいても消費電力が大きい。これをそのままMOSで置き換えると消費電力がさらに増大する。従って、フィルタの一部の機能をA-D変換器によってデジタル・フィルタに置き換えたり、A-D変換器の変換周波数を上げてアナログ・フィルタの要求性能を緩和したりなどの方法を取るべきである。

CMOS回路の消費電力が小さいのは、静止電流がほとんど流れない論理回路の場合であり、アナログ回路では消費電力はむしろ増大する性質があることを認識する必要がある。

図3 バイポーラ・トランジスタとMOSTランジスタの相互コンダクタンス g_m



$$V_{eff} = \sqrt{\frac{2I_{ds} L}{\mu C_{ox} W}} \quad (3)$$

バラつき:MOSは1ケタ大きい

ミスマッチ電圧（トランジスタ・ペアの間のアンバランス電圧）は、MOSがバイポーラに対し約1ケタ大きい。トランジスタの大きさに依存するが、バイポーラではミスマッチ電圧が数百 μ V程度で、MOSでは数mVから数十mVにもなる。

従って、カレントミラー回路を構成した場合には、MOSTランジスタだと電流値が大きくバラつく。バイポーラ回路では電流の受け渡しにカレントミラー回路をカスケード接続することが多いが、MOSTランジスタを用いてこの回路を構成すると、接続段数が多くなるほどバラつきが増幅されてしまう。

比較器やオペアンプでも、ミスマッチ電圧が問題となる。そこで、CMOSアナログ回路においては容量を用いてオフセット電圧をキャンセルする方法がよく用いられる（P16～P21ページの「高性能/高精度で不安定、制御しながら使いこなす勘所」参照）。この方法によりバイポーラをしのぐ低ミスマッチ電圧を実現することが可能になる。ただしクロックを使うため、完全な連続動作を要求される場所には用いることができないが、離散時間型回路なら十分に活用できる。

1/f雑音:1～2ケタも大きいMOS

MOSTランジスタは、同一電流ではバイポーラ・トランジスタに比べて g_m が1/4～1/3程度なので熱雑音が大きい。バイポーラ・トランジスタもショット雑音（半導体のpn接合部における電荷のわずかな揺らぎによって起こる雑音）が大きいので、周波数依存性がない雑音に関してはほぼ互角である。しかし、MOSTランジスタは基本的にSiと酸化膜の界面をキャリアが移動することにより電流が流れるので表面散乱の影響を受け、1/f雑音が大きくなる。図4のようにバイポーラに比べてnMOSで約2ケタ、pMOSで約1ケタ大きい。

この1/f雑音の影響は数MHzにも及ぶため、ほとんどの応用において無視できない影響を持つ。特に微弱な信号を扱うフロントエンドではこの1/f雑音により信号対雑音比（S/N）の劣化を引き起こす。無線システムにおいては、ミキサとVCO（voltage controlled oscillator）がその影響を受けやすい。

アンテナで受信した電波を増幅する低雑音増幅器（LNA:low noise amplifier）は、高周波増幅器なので100MHz以上の周波数では熱雑音の影響は受けても1/f雑音の影響は受けない。ただし、100MHz以下の周波数を扱うラジオ/テレビチューナーでは影響が大きい。ミキサは高周波信号からベースバンド信号を再生するため、この影響をまともに受ける。負荷回路はもとよりミキサを構成するスイッチ回路においても、1/f雑音によりスイッチタイミングに変調がかかり、このタイミングのぶれが直流近傍の雑音に変換されるといわれている。

このため、CMOSを用いた無線システムにおいては、1/f雑音の影響を受けるダイレクト・コンバージョン方式に代わり、低IF（intermediate frequency, 中間周波数）方式が開発された。1/f雑音の影響を受けにくい、数MHz離れた中間周波数のIF信号に変換して信号を増幅しておいてから直流レベルを再生する^{注1)}。

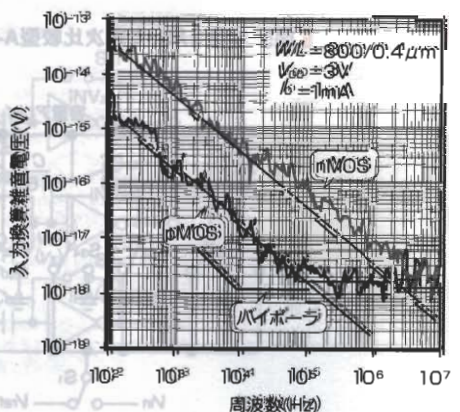
また、VCOにおいては、MOSTランジスタの1/f雑音により発振周波数に変調がかかり、位相雑音が増大し、ビット・エラー・レートを劣化させる。1/f雑音の大きさはミスマッチ電圧と同様、トランジスタ寸法に依存するので、トランジスタ寸法を大きくすることで減少させることができる。しかしながら、このことは当然、コストアップだけでなく寄生容量の増大と周波数特性の劣化をもたらす。特に、高周波回路においては深刻な性能劣化を引き起こす。従って、改善には限度がある。pMOSの方がnMOSよりも雑音レベルが小さいので、1/f雑音に影響する箇所には、pMOSを用いた方がよい。

信号が低周波信号であれば、チョッパー技術とう信号の極性を高速でスイッチングする回路技術により、1/f雑音の影響をキャンセルすることができる。一般にセンサからの信号は周波数が低く、信号も微弱なことが多いので1/f雑音の影響を受けやすい

注1)ダイレクト・コンバージョン方式はIF信号をベースバンド信号へ周波数変換する方式の一つ。IF信号を介さずRFからベースバンドへ直接変換する。

注2) 低IF方式では、イメージ信号（波数変換後のIF信号に飛び込む雑音）の発生が問題になるが、イメージ信号を抑圧するボリフェーズ・フィルタ技術の開発によって、低IF方式は実用化できた。

図4 各デバイスの1/f雑音



が、周波数が低いためチョッパ技術を用いることができる。

連続時間型回路と離散時間型回路

アナログ技術を
離散時間型回路で駆使

CMOSを用いたアナログ回路ではスイッチと容量を用いることができるため、従来の連続時間型回路に加え、離散時間型回路を用いることができる。連続時間型回路とは、通常のアナログ信号のように時間的に連続した信号を扱う回路のことである。離散時間型回路とはアナログ信号をサンプリングし、このサンプリングされたアナログ信号を扱う回路のことである。

以下では、離散時間型回路を中心に解説する。離散時間型回路で扱う信号には、デジタルとアナログの2種類がある。

アナログの離散時間型回路は、重要な技術である。うまく使えば、MOSTランジスタのミスマッチ電圧や1/f雑音が大きいという問題を、無理なく回避できるからだ。具体的には容量(コンデンサ)を活用することになる。ところがこの技術を使いこなすという発想を持っていない人が意外に多いので、注意してほしい。

デジタルの離散時間型回路は、通常デジタル回路そのものである。従来アナログ・フィルタなどで行っていた処理をデジタル回路で行えば、回路規模や消費電力を小さくできるようになった。P16～P21ページの「高性能/高精度で不安定、制御しな

がら使いこなす勘所」で述べたように、デジタル回路でアナログ回路の補正を行うことも可能である。

以下では、離散時間型回路の活用の仕方を、実際の例を挙げながら解説する。

超低消費電力で高精度演算が可能

CMOS技術を用いると、バイポーラ技術と異なりスイッチを容易に利用できる。また、オペアンプの入力に直流電流が流れないため、容量を用いて演算を行うことができる。この容量を用いた演算をうまく利用すると、抵抗を用いた演算ではできないさまざまな機能が実現できる。

容量を用いた逐次比較型A-D変換器を図5に示す。容量とスイッチ、比較器のみを用いたシンプルな構成になっている。簡単に動作を説明する。最初に、スイッチS₂とスイッチS₃₁～S₃₆はすべて接地側に倒し、容量の電荷を抜いておく。次にスイッチS₃₁～S₃₆は信号線側に倒し、スイッチS₁は入力信号V_{in}側に倒す。この状態において容量アレイの各容量は入力信号V_{in}により駆動される。スイッチS₁もしくはS₂を開くとその瞬間の電圧が電荷として各容量に保存され、入力信号V_{in}は標本化される。次にスイッチS₁をV_{ref}側に倒し、スイッチS₃₁のみをV_{ref}側に倒し、残りのスイッチをすべて接地側に倒すと比較器の入力信号電圧V_cは電荷保存則より、

$$V_c = - \left(V_{in} - \frac{V_{ref}}{2} \right) \quad (4)$$

となる。従って、比較器で接地電圧と比較すれば入力信号が参照電圧の半分よりも高いか低いかにによりMSB (most significant bit, 最上位ビット)の判定が可能である。もしも入力信号が高ければ、MSB出力を「1」にする。次にスイッチS₃₁、S₃₂を参照電圧側に倒し、残りのすべてのスイッチを接地側に倒すと、入力信号電圧V_cは

$$V_c = - \left(V_{in} - \frac{3}{4} V_{ref} \right) \quad (5)$$

となり、この電圧を比較して極性判定することで2ビット目の変換出力を得ることができる。この操作を繰り返して行けばA-D変換が完了する。

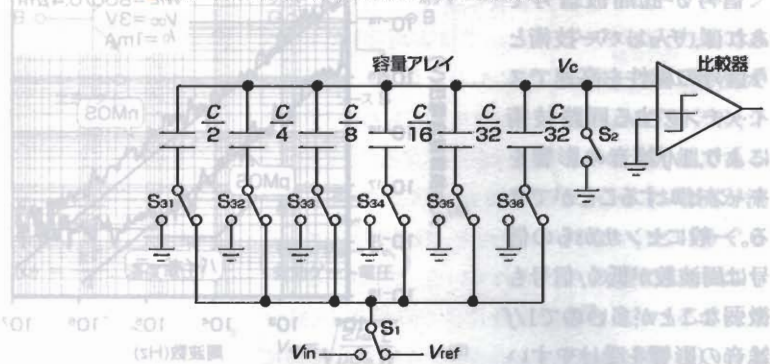
図3 バイポーラトランジスタの相互コンダクタンス

図3 バイポーラトランジスタの相互コンダクタンス

図3 バイポーラトランジスタの相互コンダクタンス

(a) バイポーラトランジスタ

図5 容量を用いた逐次比較型A-D変換器



以上の動作で注目すべきは、この回路は定常電流を全く必要とせずにアナログ演算が可能なことである。CMOSでは、比較器を定常電流を流さずに構成することが可能である。信号のサンプル・ホールドはスイッチと容量で実現でき、また必要なアナログ電圧は容量を用いた演算により作り出すことができる。容量は温度特性が極めて小さく、抵抗に比べてミスマッチが少なく高精度である。従って、高精度演算が超低消費電力で可能である。

バイポーラでは、アナログ演算は抵抗か電流を用いなければならず、演算の際に定常電流を必要とするので消費電力が大きくなる。

この容量を用いた逐次比較型A-D変換器の開発は、最近活発化している。この背景として、最近の微細化・低電圧化により現在のA-D変換器の主流であるパイプライン型A-D変換器に必要なオペアンプの性能が出にくくなり、オペアンプを用いないA-D変換器の研究が活発になってきたことが挙げられる。逐次比較型A-D変換器の改良により、有効ビットが約8ビットで変換周波数20MHzにおいて消費電力0.3mW (64fJ/ステップ)¹⁾や、有効ビットが約14ビットで変換周波数40MHzにおいて消費電力66mW (140fJ/ステップ)²⁾という驚異的な超低電力A-D変換器の開発報告が相次いでいる。

次に、容量を用いた離散時間型回路を用いることで、高精度A-D変換だけでなく、ミスマッチ電圧や1/f雑音の影響を低減できることを示す。図6は筆者が1993年に発表した、ビデオ用10ビット直並列型A-D変換器に用いられている比較器回路を示している³⁾。このA-D変換器は、発表時点では群を抜く低消費電力を実現した。インバータとスイッチ、容量という極めて単純な回路を用いている。この構成により、サンプル・ホールド、オフセット電圧補償、電圧の補間、パイプライン増幅処理、比較を実現することができる。

高速・高精度A-D変換器をバラツキの大きいMOSTランジスタを使って実現するには、工夫を要する。例えば、MOSTランジスタは30mV程度のバラツキがあるが、ここでは0.3mVの精度で電圧比較をしなければならなかった。つまり、基準電圧V_{ref1}が1V、V_{ref3}が0.998Vだったとき、1mVの刻みでV_{in}の電圧を確実に判定する必要があった。100

個程度の比較器を確実に動作させるには3σ程度の分布を考慮する必要があるため、各比較器の精度は0.3mV程度になる。

そのために、図6のような容量を利用した回路を設計した。初めにスイッチS₁₁、S₁₃は入力信号V_{in}側に倒され、スイッチS₂₁、S₂₃が閉じられて、スイッチS₃₁～S₃₃が開かれているものとする(モード1)。インバータINV₁₁、INV₁₃は入出力間が閉じられており、そのときの発生電圧をそれぞれV_{b1}、V_{b3}とすると、容量C_{a1}、C_{a3}に蓄積される電荷は、次のようになる。

$$\begin{aligned} Q_{a1} &= C_{a1}(V_{in} - V_{b1}) \\ Q_{a3} &= C_{a3}(V_{in} - V_{b3}) \end{aligned} \quad (6)$$

次にスイッチS₁₁、S₁₃は参照電圧側に倒され、スイッチS₂₁、S₂₃が開かれて、スイッチS₃₁～S₃₃が閉じられる(モード2)。すると、INV₁₁、INV₁₃の出力電圧V_{o1}、V_{o3}は、Gを利得として、

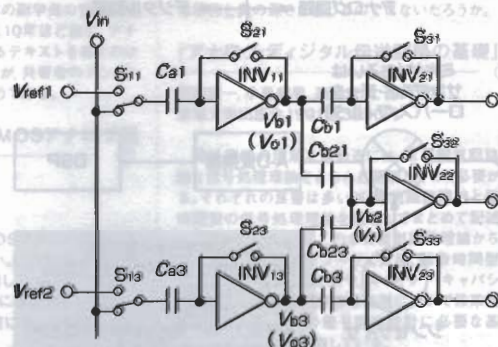
$$\begin{aligned} V_{o1} &= G_1(V_{in} - V_{ref1}) + V_{b1} \\ V_{o3} &= G_3(V_{in} - V_{ref2}) + V_{b3} \end{aligned} \quad (7)$$

インバータINV₂₂もバイアス電圧をV_{b2}として、容量C_{b21}、C_{b23}に蓄積される電荷は、

$$\begin{aligned} Q_{b21} &= C_{b21}(V_{o1} - V_{b2}) = C_{b21} \{ G_1(V_{in} - V_{ref1}) + V_{b1} - V_{b2} \} \\ Q_{b23} &= C_{b23}(V_{o3} - V_{b2}) = C_{b23} \{ G_3(V_{in} - V_{ref2}) + V_{b3} - V_{b2} \} \end{aligned} \quad (8)$$

この状態でモード1の状態に戻ったとすると、INV₁₁、INV₁₃の出力電圧V_{o1}、V_{o3}はV_{b1}、V_{b3}となるの

■図6 高性能・低電力CMOS比較器
()内の電圧はモード2のとき。



CMOS アナログ 入門

20mV

アログ・デジタル

注2) また、増幅をバイブライン的に行うことができるので、多段増幅で課題となるセトリング時間の短縮問題を緩和することができる。さらに、この技術を用いることでバラつきだけでなく1/f雑音も相当緩和することができる。1/f雑音よりも相当高い周波数のクロックと同様の動作を行うことで、インパータ間のバイアス電圧のミスマッチをキャンセルしたように、1/f雑音のような低周波雑音もキャンセルできる。

で、INV22の入力電圧を V_x 、 C_{b21} に蓄積される電荷を Q_{b21}' 、 C_{b23} に蓄積される電荷を Q_{b23}' とすると、

$$Q_{b21}' = C_{b21}(V_{b1} - V_x)$$

$$Q_{b23}' = C_{b23}(V_{b3} - V_x)$$

である。 $G=G_1=G_3$ 、 $C_b=C_{b21}=C_{b23}$ とすると、電荷保存則 $Q_{b21}+Q_{b23}=Q_{b21}'+Q_{b23}'$ より、

$$V_x = V_{b2} - G \left(V_{in} - \frac{V_{ref1} + V_{ref2}}{2} \right) \quad (9)$$

と求められる。つまり、インパータINV11、INV13のバイアス電圧のバラつきをきれいに補償しながら、容量を用いることで等価的に参照電圧間の補間電圧を作り出している。これによって、入力電圧 V_{in} と基準電圧を高精度に比較することができた^{注2)}。

ここでは容量を用いた演算の一例を紹介したまでであるが、容量を用いることによって高精度で低電力な演算が実現可能となる。

図7 CMOS技術によりあらゆる回路/信号処理技術が利用できるようになった。

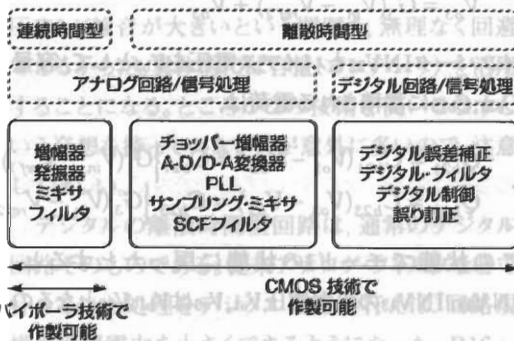
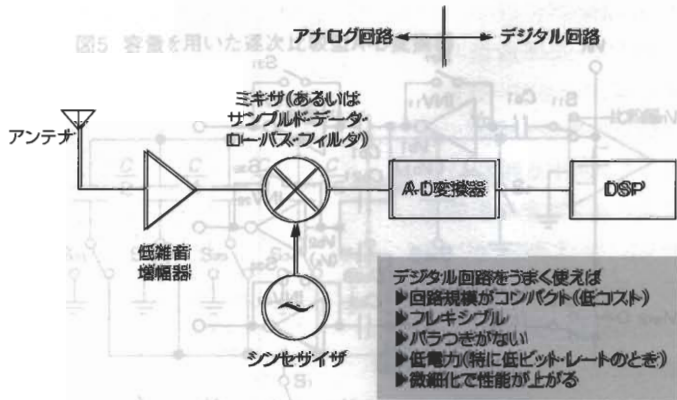


図8 現在開発中の無線機の典型的な回路構成。デジタル回路の適用範囲が広がっている。



離散時間型は雑音に注意

このようにCMOSを用いたアナログ回路では離散時間型回路の利用が効果的であるが、幾つかの注意点がある。

まず、問題は雑音である。雑音は基板や電源あるいはクロストークにより侵入するので、完全に防ぐことが困難である。連続時間型の回路では各ブロックで低域フィルタが構成されているので、雑音はこの帯域以下の周波数成分にしか影響を与えない。しかしながら、離散時間型回路では標準化回路自体の帯域は相当高い（数GHzに達する場合もある）ので、相当高い周波数成分の雑音まで拾うことが多い。この高い周波数成分の雑音は、標準化によりすべて標準化信号周波数の1/2以下の周波数に変換されてベースバンド雑音になってしまい、低周波信号のS/Nに大きな影響を与える。従って、離散時間型回路を用いる場合は、連続時間型回路以上に基板や電源からの雑音の回り込みに気を使う必要がある。

また、デジタルからの雑音の回り込みがある場合は、雑音の発生タイミングと標準化タイミングが重要になる。標準化のタイミングにおいて雑音発生がなければ雑音の影響を避けることができる。デジタルからの回り込み雑音はクロックに同期していることが多いので、デジタル回路のクロックと標準化パルスのタイミングをずらすことで雑音を減少させることができる。

アナ - デジ混在回路で性能を高める

以上述べたように、CMOSを用いたアナログ回路には多くの課題と可能性が同居している。可能性を最大限に引き出し、課題を最小限に押しえ込むことが成功の鍵になる。重要なことは、従来のアナログ回路の延長線上だけではとらえないことだ。

CMOSを用いることで、利用可能な回路/信号処理技術は大きく広がる。図7はバイポーラ技術とCMOS技術で取り扱うことのできる回路を示している。バイポーラ技術はスイッチおよび容量や論理回路を用いることができないため、主として連続時間型の回路技術しか用いることができない。

これに対し、CMOSでは連続時間型の回路技

術とともに離散時間型のアナログ回路/信号処理技術を用いることができる。さらにデジタル制御技術やデジタル信号処理技術をも使うことができる。従って、CMOS技術を使用する場合は単にバイポーラ・アナログ回路を置き換えるのではなく、いかにこれらの技術を総合的かつ最適に用いるかがポイントとなる。

図8は、現在、一般に開発されている無線機の典型的な回路構成である。以前のようなスーパーヘテロダイン方式に比べ、A-D変換器がアンテナに近づき、デジタル回路の適用範囲が広がっている。

従来はデジタル信号処理技術を下手に用いると、コスト・消費電力共にアナログ技術を用いるよりも増大してしまっていたが、微細化の進展とともにアナログ技術をしのぐ低コスト・低消費電力が実現できるようになった。デジタル信号処理技術は、分解能に応じた演算精度が確実に実現できるため、ミスマッチにより演算精度が限定されるアナログ信号処理に比べ、確実に高性能化が期待できる。例えば、デジタル回路でイメージ抑圧処理を行う場合

は60dB以上のイメージ抑圧が実現できるが、アナログではミスマッチにより40dB程度にとどまる。

また微細化により演算速度など着実な性能の向上が見込めるため、技術の流れとしては確実にデジタル信号処理の適用範囲が広がっている。

ただし、デジタル信号処理技術はA-D変換器やD-A変換器を必要とし、その性能、消費電力、コストが追いつかないと効果を発揮できない。それ故A-D変換器やD-A変換器が最後のアナログ回路と呼ばれており、回路全体の鍵を握っている。その性能競争は、現在ますます激烈になっている。

参考文献

- 1) Craninckx, J. and Van der Plas, G., "A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," 2007 IEEE Solid-State Circuits Conference (ISSCC 2007), Digest of Technical Papers, pp.246-247, Feb. 2007.
- 2) Hesener, M., Hanneberg, A., Herbison, D., Kuttner, F., and Wenske, H., "A 14b 40MS/s Redundant D/A ADC with 480MHz Clock in 0.13μm," ISSCC 2007, Digest of Technical Papers, pp.248-249, Feb. 2007.
- 3) Kusumoto, K., Matsuzawa, A., and Murata, K., "A 10-b 20-MHz 30mW Pipelined Interpolating CMOS ADC," IEEE Journal of Solid-State Circuits, vol.28, no.12, pp.1200-1206, 1993.

アナログを学びたい技術者に薦める5冊の書

「アナログCMOS集積回路の設計」①
Behzad Razavi著/黒田忠広監訳
丸善,2003年,4200円(基礎編)/8610円(応用編)

CMOSを用いたアナログ回路設計に関する最良のスタンダード的なテキスト。原著は2000年に、翻訳書は2003年に出版されたが、世界中で読まれており、いまだにその輝きを失っていない。

米UCLA (University of California, Los Angeles校)教授のBehzad Razavi氏は、PLL(phase-locked loop)やRF CMOS回路の研究者として世界的な評価を受けているが、設計教育やテキスト作成に熱心に取り組み、極めて分かりやすい説明を行う教育者としても評価が高い人物である。CMOSアナログ回路設計の基本に関して、デバイス、回路設計はもとより、レイアウトやパッケージにまで言及している。基礎編と応用編を合わせて、全18章にわたり分量が多いが、じっくりと考えながら読むべき書である。

1997年あたりに、筆者とRazavi氏との雑談で、CMOSによるアナログ回路設計が盛んになりつつあるのに良いテキストがないねという話になり、Razavi氏に著述を勧めたことがある。それだけ、CMOSアナログはまだ新しい分野と言える。

「システムLSIのためのアナログ集積回路設計技術」②

P. R. Gray, S. H. Lewis, P. J. Hurst, R. G. Meyer著, 浅田邦博, 永田穰訳
培風館,2003年(第4版),5145円(上)/4200円(下)

もともとGray & Meyerの「アナログ集積回路設計技術」といえば、アナログ集積回路設計技術に関する古典的な名著といわれ、この分野では読んだことのない人はいないとまでいわれた本である。デバイスから回路まで、アナログ集積回路設計に必要な事柄に関して詳細に記述されている。以前はバイ

ポーラ技術がほとんどでCMOS技術についての記述は少なかったが、全面的改訂がなされCMOS技術に関して大幅に追加された。従って、バイポーラとCMOSの両方の技術を総合的に把握するには格好の書である。

Gray氏は、米UCB (University of California, Berkeley校)においてA-D変換器やスイッチトキャパシタ回路などを中心とするアナログCMOS集積回路技術研究グループを率いて先駆的な研究業績を上げた。UCBはアナログCMOS集積回路技術のメッカといわれ、世界中の著名な研究者はたいていこの研究室の卒業生であったり、何らかの関係があったりするといわれる。ISSCC (International Solid-State Circuits Conference) においては、世界中に散らばった研究室の卒業生や関係者がGray氏の周りに集まり、さながら同窓会のようなものである。

Gray氏は、最近UCBの工学部長、副学長、University of California全体の副学長の要職を務め、学校運営に多忙であった。10年ほど前に、アナログCMOS集積回路に関するテキストを書くのは無理と、残念そうに語っていたが、共著者のアシストを受けて改訂版が完成したようである。

「LSI設計者のためのCMOSアナログ回路入門」③

谷口研二著
CQ出版,2005年,2940円

日本人が書いた唯一のCMOSアナログ回路技術に関するテキストと言ってよい。CMOSを用いた基本的なアナログ回路設計に関して、あまり式を用いず直感的に理解しやすいように書かれている。従って、本格的なテキストを読む前にざっと理解するにはうってつけである。

谷口氏はもともとデバイス関係では世界的に著名な研究者であるが、10年ほど前からCMOSを用い

たアナログ回路の研究と教育に携わったようになった。日本の大学では実際の回路設計を研究している研究室は少なかったが、このような方が多くなっていくことを願わずにはいられない。

「電子回路ハンドブック」④

藤井信生, 関根康太郎, 高木茂孝, 兵庫明誠
朝倉書店,2006年,2万1000円

最新の電子回路技術について、日本のアナログ電子回路に関する研究者・開発者が網羅的に執筆したハンドブック。CMOSだけでなくバイポーラ回路の記述も多いが、最新の電子回路全般についての理解を深めるにはうってつけの本である。ほとんどの電子回路について述べられているので、傍らに置いておく必要に応じて調べるのもよいが、ざっと通目を通してみることをお勧めする。電子回路の多様性と奥の深さを感じるのではないだろうか。

「アナログ・デジタル伝送回路の基礎」⑤

町田東一, 小島紀男, 高橋宣明, 西川清著
東海大学出版会,1991年,3990円

電子回路の理解を深めるには、まず電気回路理論と信号処理理論をきちんと理解しておく必要がある。それぞれの良書は多いが、電気回路理論と離散時間型の信号処理理論を整理してまとめて記述しているものは少ない。この本は電気回路理論から始まり、ラプラス変換やフーリエ変換、離散時間型の信号処理に必要なz変換や、スイッチトキャパシタ回路による離散時間型信号処理について体系的に記述しており、現代の電子回路設計に必要な基礎理論を学ぶには大変適している。



①



②



③



④



⑤