

# RF-SoC の現状と今後の展開

松澤 昭 (東京工業大学)

## Current Status and Future Prospective on RF-SoC

Akira Matsuzawa, (Tokyo Institute of Technology)

This paper discusses current status and future prospect of RF-SoC technology. Global technology trend of RF-SoC technology is moving from analog-centric technologies to digital-centric technology. Analog CMOS circuit technology plays important role in current mixed signal SoC, however has many serious issues. Analog performances have the limitations such as imperfection of balance, mismatch, large effect by PVT fluctuations and  $1/f$  noise. Some external components and adjustment points are still needed. Furthermore cost increase due to large analog area becomes serious along with further technology scaling. Then the digital-centric technology using DSP, MCU with ADC/DAC promises the perfect signal processing which is almost free from PVT fluctuation and realizes high production yield and no or less adjustment points. Moreover cost will decrease along with technology scaling.

キーワード: ワイヤレスシステム, システム LSI, CMOS, アナログ技術, デジタル技術, チューナー  
(Key words: wireless system, SoC, CMOS, analog technology, digital technology, tuner)

### 1. はじめに

RF-SoCはRFシステムに必要な殆どの機能をシステムオンチップの技術を用いて集積することで、高機能化、低電力化、低コスト化を図るものである<sup>(1)(2)</sup>。微細化による集積度の向上とともにワイヤレスシステムのSoC化が進められてきた。しかしながらデジタル回路の集積とは異なり、アナログ回路や高周波回路を微細素子の集積で実現するのは容易ではない<sup>(3)</sup>。本論文ではSoC化が不十分であったAM/FMチューナーの集積化の歴史を概観し、アナログ技術主体の回路構成ではなくデジタル技術主体の回路構成により周辺部品点数の削減を図るとともに性能および量産性を向上された例を取り上げ、更に関連するデジタル化技術の動向を述べてRF-SoCの本質を探りたいと思う。

### 2. FM/AM チューナーにみる RF-SoC 技術

#### (2.1) 現状の FM/AM チューナー

FM/AM チューナーは CMOS 化が最も遅れた技術分野である。周波数がせいぜい 100MHz 程度であることから一見 CMOS 化が容易なように思われるが、周波数が低いと内蔵インダクタが非常に大きくなり集積化に向かない他、AM においては  $1/f$  ノイズを受けやすいという課題もある。また携帯電話に比べ、より高い感度や妨害波耐性を要求されると

いう側面がある。

図1に現状のFM/AMチューナー基板の外観写真、図2に回路構成を示す。多くの外付け部品と調整箇所を必要としている。例えばこの例では3個のIC、187個の部品、12カ所の調整箇所を必要としている。

構成図により、主要な外部部品はタンク回路とセラミックフィルターなどのフィルターであることが分かる。このままでは小型化のみならず、低コスト化も困難である。

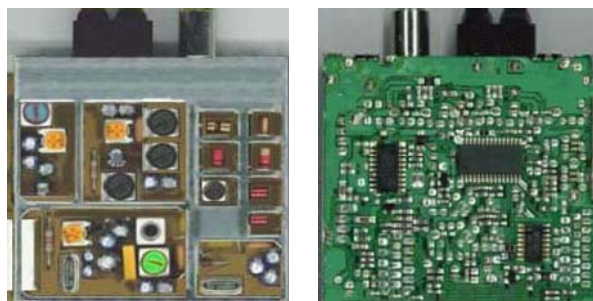


図 1 現状の FM/AM チューナー基板  
Fig. 1. Current FM/AM tuner board.

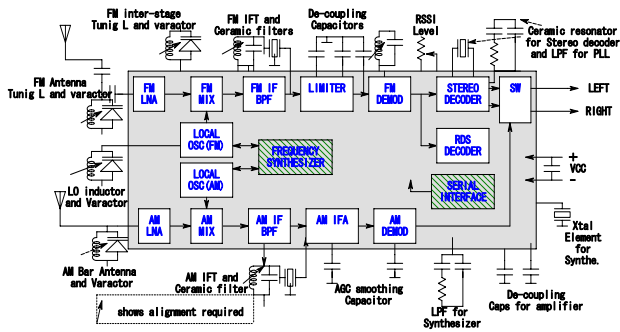


図 2 現状の FM/AM チューナーの構成図

Fig. 2. Block diagram of current FM/AM tuner.

〈2.2〉アナログ回路中心の CMOS 化技術

FM/AM チューナーの CMOS 化の最初の挑戦は基本的に従来のアナログ回路を CMOS アナログ回路に置き換えることから始まった。表 1 に用いた技術の概要と課題を示す。

FM/AM チューナーでは信号帯域が狭いためにダイレクト変換方式では 1/f ノイズ影響を受け SNR が劣化することや、DC オフセットが発生するという課題があるため、Low-IF 方式を選択し、チャンネル選択にはアクティブフィルターを用いた。またイメージ信号除去にはポリフェースフィルターを用いている。

再生系も、FM 復調はパルスカウント方式、ステレオ信号再生にはマルチプライベータを用いた。

しかしながら結果は芳しいものではなかった。選択性は -45dB 程度であり、イメージ除去比は 30dB 程度にとどまった。復調信号も歪みが 0.5%程度と大きかった。更にばらつきが大きく、量産性にも課題が多かった。

表 1 アナログ技術を用いた回路技術と課題

Table 1. Analog-centric technologies and issues.

Parts	Methods for on-chip	Problems
AM/FM IF BPF	1. Low IF (a few hundred KHz) 2. Gm-C BPF with auto alignment, SCF	1. poor selectivity(-45dB), 2. SCF Switch noise 3. Center frequency shift by DC offset 4. Poor image rejection ratio (25 to 35dB)
FM Demodulator	Pulse count FM detector	Poor THD (0.5%)
Stereo Decoder	Multi-vibrator VCO, SCF filter	Large variation of free-run frequency Still need external LPF for PLL
RSSI Level adj.	Signal detector with DC compensation	Can't cover all process corner
Varactor	MOS varactor	Too much sharp C-V curve, distorted signal
AGC smoother	Time division charge and discharge	Needs large capacitor for low audio frequency
Capacitors	Stages Direct connection, use small value coupling capacitor	High impedance required, Difficult for low frequency

図 3 に CMOS アナログ回路技術を用いた LSI を用いた FM/AM チューナーボードを示す。CMOS 技術を用いたにも拘わらず、外部素子数は 69 個と多く、また外部調整箇所も 11 個もあった。つまり性能、コストともに魅力的なものではなかったと言える。



図 3 CMOS アナログ回路技術を用いた LSI を用いた FM/AM チューナーボード

Fig. 3. FM/AM tuner board using analog-centric CMOS LSI.

〈2.3〉デジタル回路中心の CMOS 化技術

この反省を踏まえて開発したのが、図 4 に示す、アナログ部分を最小にして、信号処理や制御にできるだけ多くのデジタル技術を用いた CMOS LSI である。

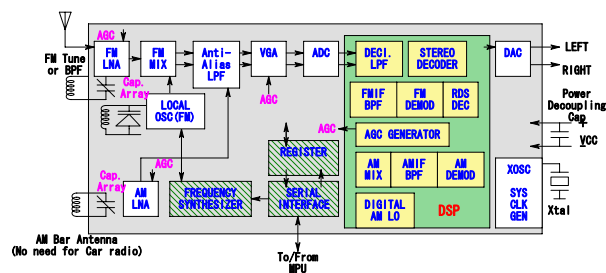


図 4 CMOS デジタル技術を用いた FM/AM チューナー用 LSI の構成

Fig. 4. Block diagram of digital-centric CMOS LSI for FM/AM tuner.

主要信号部分を図 5 に示す。

FM 信号に対しては Low IF 方式を用いたが、チャンネル選択フィルターは DSP を用いている。チャンネル選択度は 65dB を得た。

イメージ除去は内部でイメージ信号を発生させ、DSP 内部でイメージ信号が最小になるように I/Q 信号間の振幅と位相を調整することで 65dB 程度の良好な特性を得た。

AM 信号に対してはミキサーを介さず、簡単なフィルターを通過させた後、直接 A/D 変換を行い、DSP で再生している。

AM 信号の復調は式(1)に示すように A/D 変換後の受信波にデジタル信号処理で負のキャリア周波数を掛けることで実現した。

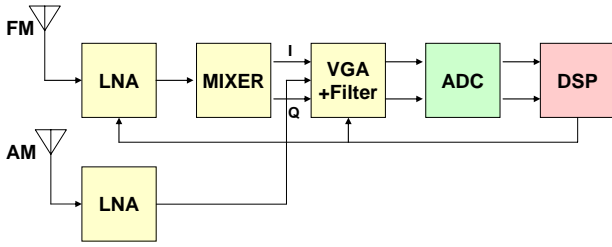


図 5 CMOS デジタル技術を多用した FM/AM チューナー用 LSI の主要構成

Fig. 5. Main block diagram of digital-centric CMOS LSI for FM/AM tuner.

$$[1 + S(t)] \exp(j\omega t) \times \exp(-j\omega t) = [1 + S(t)] \quad (1)$$

FM 信号に対しては、式(2)、式(3)に示すように信号の位相成分を時間微分することで再生している。

$$R(t) \exp\left(j\left(\Delta\omega t + K_d \int m(\tau) d\tau\right)\right) \quad (2)$$

$$\frac{d\theta}{dt} = \Delta\omega + K_d m(t) \quad (3)$$

ステレオ信号は式(4)に記述し、図 6 に示したような周波数構造を有している。

$$S(t) = (L + R) + (L - R) \cos \omega_s t + K \cos \omega_p t \quad (4)$$

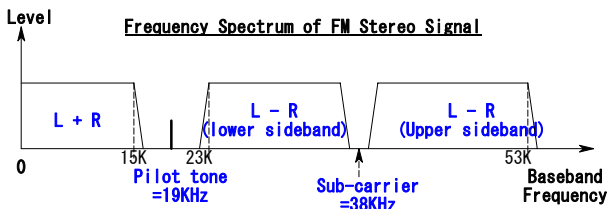


図 6 ステレオ信号の周波数スペクトラム

Fig. 6. Frequency spectrum of stereo signal.

したがって、デジタル信号処理技術を用いて図 7 に示すような再生処理系を構成した。

PLL、ミキサー、フィルターは全てデジタル信号処理技術で実現した。この結果ステレオセパレーションは 55dB の良好な値を得た。

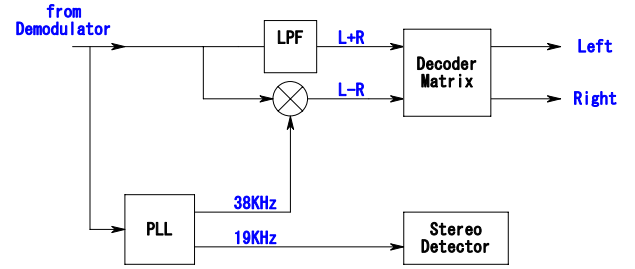


図 7 ステレオ信号の再生処理

Fig. 7. Demodulation system for stereo signal.

また、イメージ信号の除去は従来のようなアナログ信号処理ではせいぜい 40dB 程度のイメージ信号の除去比しか得られないが、図 8 に示すようにデジタル信号処理技術を用いることで 60dB 以上の高いイメージ信号の除去比を実現している。

イメージ除去のためには I/Q 信号パスにおける利得と位相を合わせる必要があるが、このイメージ除去システムにおいては、イメージ信号発生器(IMO)にてイメージの信号を発生させ、この信号が最小になるようにコントローラが DSP 内部における信号遅延と利得をデジタル的に制御している。

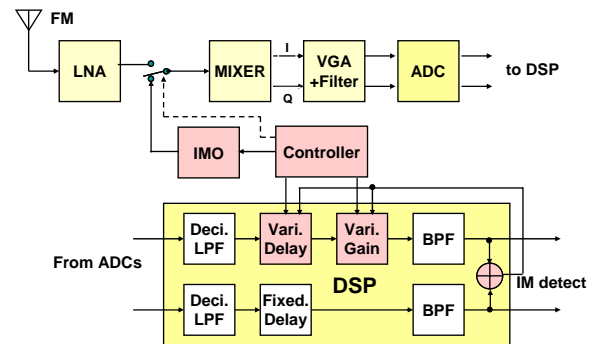


図 8 イメージ除去システム

Fig. 8. Image rejection system.

図 9 にこの LSI を用いたチューナーボードを示す。外部部品は僅か 11 個まで減少し、良好な性能と量産性を実現した。

この LSI はデジタル技術により、以上述べた主要な信号処理だけでなく、所望波と妨害波の信号強度をモニターすることによりアナログ回路各部の利得の制御および各種パラメータの制御を行うことで安定な受信を可能にしている。

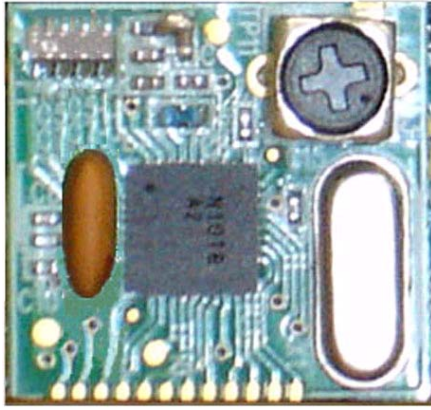


図9 CMOS デジタル技術を用いた FM/AM チューナーボード

Fig. 9. FM/AM tuner board using digital-centric CMOS LSI.

### 3. RF-SoC 技術のトレンド

以上、述べたように RF-SOC の大きなトレンドはアナログ回路部を最小にして、できるだけデジタル技術を用いることである。これはアナログ回路が PVT などプロセスや周囲の環境の変化を受け易く、性能ばらつきを生じたり、製造歩留まりが悪化することが大きな原因であるが、微細化に伴うコスト増加も大きな理由の一つである。

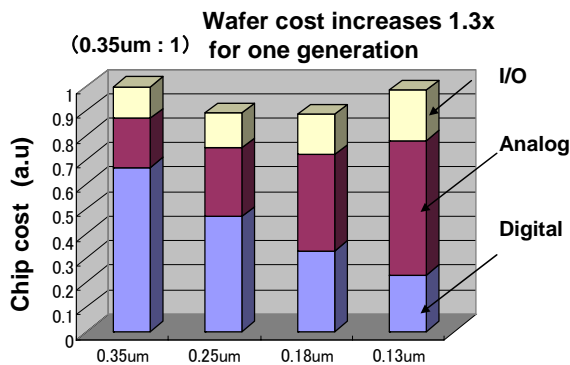


図10 アナログ・デジタル混載 LSI のコスト試算  
Fig. 10. Estimated cost of mixed signal LSI.

図10に0.35um CMOS 技術を用いた、デジタルの面積が70%、残り30%がアナログ回路と I/O 回路のアナログ・デジタル混載 LSI を基準として、アナログ回路と I/O 回路の面積は変えずにデジタル回路の面積のみをデザインルールに応じて縮小した LSI の、各デザインルールにおけるコスト試算を示している<sup>(1)</sup>。

面積が変わらなくとも、デザインルールが微細化すると面積当たりのコストは約30%程度上昇するので、微細化に伴いコストが上昇する。したがって、微細な技術を用いる場合はアナログ回路の縮小が重要になる。

このコスト上の理由と、プログラムによる制御性の向上のために、最近ではアナログ回路をできるだけデジタル回路に置き換える動きが活発となっており、デジタル RF 技術などとも呼ばれている<sup>(4)(5)(6)</sup>。図11に示すのは全デジタル PLL の構成である。通常の位相周波数比較器(PFD)の代わりに Time to Digital Converter (TDC) が、アナログフィルターの代わりにデジタルフィルターが、電圧制御発振器の代わりに Digital Controlled Oscillator (DCO)が用いられている。

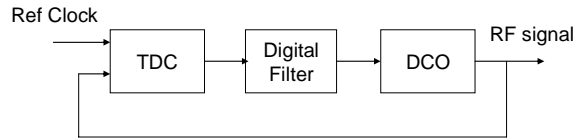


図11 全デジタル PLL  
Fig. 11. Full digital PLL.

TDC は図12に示すように通常インバータ遅延をラッチすることで実現し、数10psの分解能を得ている。

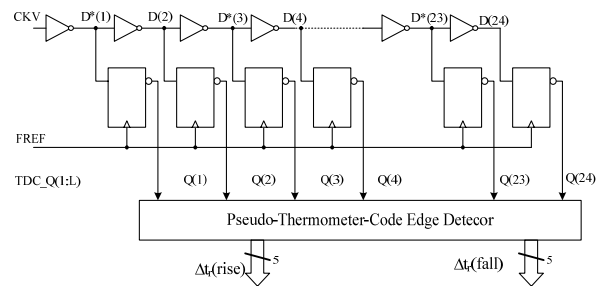


図12 時間・デジタル変換回路  
Fig. 12. Time to Digital Converter.

DCO は可変容量素子を用いて発振周波数を変化させる代わりに、容量アレーをスイッチで切り替えることで実現できる。

DCO は図13に示すようにバラクタを用いて周波数を制御するが、通常のアナログ制御で 사용되는電圧感度の高い傾斜領域ではなく、感度の低い2つの領域を切り替えることで容量アレーのスイッチング制御を実現している。バラクタを従来のように電圧感度の高い傾斜領域で用いると1/f ノイズなどのノイズにより発振周波数に変調がかかり位相ノイズが増大する懸念があり、デジタル制御は一つの解決策である。ただし、デジタル RF 技術のコンセプトは妥当であり、特に微細化されたデバイスではアナログ特性劣化が懸念されるため、技術の方向性としては正しいものと判断されるが、現在のところ性能面での各段の優位性は実証されていないのではないかとと思われる。したがって、今後さらなる研究が期待される。

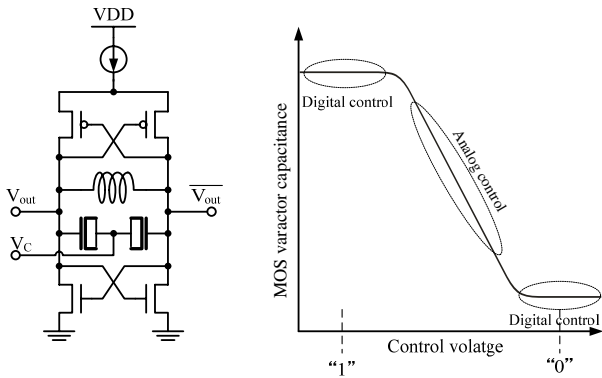


図 13 デジタル制御発振器  
Fig. 13. Digital Controlled Oscillator

#### 4. まとめ

RF-SoC の現状と今後の動向について、意外に CMOS 化が遅れていた FM/AM チューナーの CMOS 化に例を取って考察した。従来のバイポーラを CMOS に置き換えたようなアナログ回路技術中心の CMOS 化は、性能や量産性に課題があるほか、結局、外付け部品や調整箇所削減が中途半端なためにユーザーメリットを見いだせなかった。このため CMOS が得意なデジタル技術を多用する方向に変更する必要があった。高周波信号の増幅とミキシングはアナログ技術で行ったが、メインフィルタや信号のデコード、各部の調整は全てデジタルにしている。この結果、性能と量産性が向上し、調整箇所はゼロまでの削減が可能になった。外付け部品は 11 個と極小になった他、アッセンブリーコストも削減可能となり、ユーザーメリットが目に見える形となった。またこの技術は微細化が進むほど高性能化と低電力化およびコストダウンが可能となる。つまり、スケーリング則に代表される CMOS 集積回路の本質に合致しているのである。

ただし、このことはアナログ・RF 技術の重要性が薄れたことを意味しない。デジタル技術は高性能の ADC, DAC を必要とし、ますます高度なアナログ CMOS 技術が不可欠である。LNA, VCO, PA、ミキサーなどは未だに性能向上が求められ、その基本技術はアナログ・RF 技術である。したがって、今後はアナログ・RF 技術に磨きをかけるとともに、如何にうまくデジタル技術を用いるかが今後の RF-SoC 開発にとって極めて重要である。

#### 謝辞

本稿をまとめるにあたり、FM/AM チューナー用 RF-CMOS SoC 技術に関しては新潟精密（株）にご協力をいただいた。ここに感謝の意を表する次第である。

- (1) Akira Matsuzawa, "RF-SoC- Expectations and Required Conditions," IEEE Tran. On Microwave Theory and Techniques, Vol. 50, No. 1, pp. 245-253, Jan. 2002.
- (2) Akira Matsuzawa, Mixed Signal SoC Era," IEICE, Trans. Electron., Vol. E87-C, No. 6, pp. 867-877, June, 2004.
- (3) Akira Matsuzawa, " Analog IC Technologies for Future Wireless Systems", IEICE Trans. Electron, vol. E89-C, No. 4, pp. 446-454, Apr. 2006.
- (4) R.B. Staszewski, K. Muhammad, D. Leipold, Chih-Ming Hung, Yo-Chuol Ho, J.L. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, Jinseok Koh, S. John, Irene Yuanying Deng, V. Sarda, O. Moreira-Tamayo, V. Mayega, R. Katz, O. Friedman, O.E. Eliezer, E. de-Obaldia and P.T. Balsara, "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS," IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, pp. 2278-2291, December 2004.
- (5) R. B. Staszewski, D. Keipold, K. Muhammad and P. T. Balsa, "Digitally Controlled Oscillator (DCO)-Based Architecture for RF Frequency Synthesis in a Deep-Submicrometer CMOS Process," IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 50, No. 11, pp.815-828, November 2003.
- (6) R. B. Staszewski, C-M. Hung, D. Keipold and P. T. Balsa, "A First Multi-gigahertz Digitally Controlled Oscillator for Wireless Applications," IEEE Trans. on Microwave Theory and Techniques, Vol. 51, No. 11, pp.2154-2164, November 2003.