

A-D変換器の新たな地平拓く 極限に迫る低消費技術が登場

松澤昭 東京工業大学

ISSCC 2008におけるデータ・コンバータ(A-D変換器/D-A変換器)分野の注目は、A-D変換器のエネルギー効率の向上が一気に進んだことである。すなわち、変換速度や変換精度といった性能当たりの消費電力を大幅に低減した(図10)。特に逐次比較(SAR)型A-D変換器のエネルギー効率向上が著しい。

その中でも最も注目すべき論文は、1変換ステップ当たりの消費エネルギー量を表すFOM(Figure of Merit)^{*1)}が4.4fJと極めて低い逐次比較型A-D変換器だろう。オランダUniversity of TwenteとオランダPhilips Research社が共同で開発した(講演番号12.4)^{†9)}。この4.4fJというFOMは驚異的だ。極限値

といてよいほど低い。A-D変換器の新たな地平を拓く成果だといえよう。

FOMの急激な低下は、ここ数年間にわたる傾向である。例えば、現在最も活発に開発されている高速A-D変換器のISSCC 2006におけるFOMは500fJ程度だった。これがISSCC 2007には一気に1/10近くの65fJまで低下した。これは、ベルギーIMECが発表した逐次比較型A-D変換器の値である。帰還用の内部D-A変換器に電荷再分配方式を採用することなどで達成した^{†10)}。この成果にも十分驚いたが、今回はそれよりもさらに1/10以上も低い4.4fJである。まさに世界中の研究者が卒倒するほどの低い値をたたき出した。

逐次比較型A-D変換器は、原理的には「究極の低消費電力化」を実現できる可能性を秘めたアーキテクチャである。オペアンプなど、アナログ回路に通常は欠

かせない、定期的に電流を消費する回路要素を使わずに構成できるからだ。具体的には、静電容量(コンデンサ)とスイッチ、比較器のほかは、デジタル回路だけで構成可能である。そうはいても、数fJと低いFOMがこれほどすぐに達成されるとは思ってもしなかった。

今回University of TwenteらがこのFOMを達成できたポイントはいくつかある。最初に挙げられるのは、図11に示した通り、回路構成が極めて簡素なことだろう。つまり、2進数を係数に使用して重み付けしたコンデンサを並べたコンデンサ・アレイを用意して、各コンデンサを論理インバータで駆動するだけで、電荷再分配方式の内部D-A変換器を実現している。こうした簡素な回路構成ながらも、A-D変換器としては10ビットの分解能と1Mサンプル/秒の変換速度を確保し、消費電力を1.9μWに抑えた。この技術力はかなり高いと評価できる。

そしてこのA-D変換器で最も面白いポイントは、逐次比較型A-D変換器の原理的な特徴である低い消費電力に駄目を押す格好で、消費電力をさらに低減する「断熱充電技術」を適用したことである。この技術はデジタル回路に向けた低消費

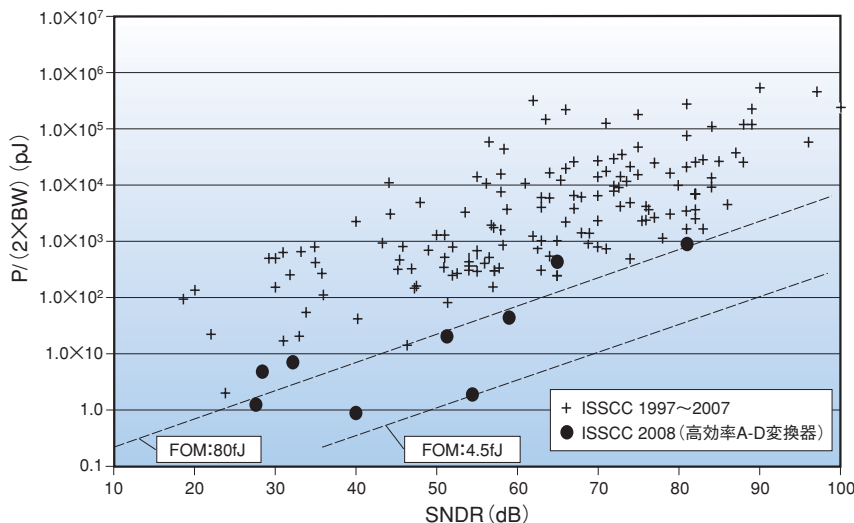


図10 A-D変換器のエネルギー効率がいっそう高まる

1997~2007年のISSCCで発表されたA-D変換器と、ISSCC 2008で発表されたA-D変換器について、変換精度とエネルギー効率を比較した。横軸には変換精度の指標であるSNDR(Signal to Noise and Distortion Ratio)をプロットした。縦軸にはエネルギー効率の指標として、消費電力(P)を帯域幅(BW)の2倍の値で割って求めた、変換速度当たりの消費電力をpJ(ピコジュール)の単位でプロットした。出典:ISSCC

*1) A-D変換器のFOM(Figure of Merit)は次式で求められる。ただしPは消費電力、 $2 \times BW_{eff}$ 、 F_s は実効帯域幅(BW_{eff})を2倍した値もしくはサンプリング周波数(F_s)のいずれか一方、ENOBは有効ビット分解能、 $E_{CONVERSION}$ は変換ステップ当たりの消費エネルギーである。

$$FOM = \frac{P}{(2 \times BW_{eff}, F_s) \times 2^{ENOB}} = \frac{E_{CONVERSION}}{2^{ENOB}}$$

参考文献

^{†9)} M. van Elzakker, E. van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B. Nauta, "A 1.9 μW 4.4fJ/conversion-step 10b 1MS/s Charge-Redistribution ADC," ISSCC 2008, Feb. 2008.

^{†10)} 松澤昭、「A-D変換器の注目論文を解説、各方式とも着実に進化」、EE Times Japan、2007年4月号(no.22)、pp.47~49.

電力化技術としては知られていたが、これまでアナログ回路にはほとんど用いられていなかった。

断熱充電とは、コンデンサを充電する際に高い充電電圧をいきなり印加するのではなく、低い電圧から時間をかけてじわじわと充電電圧を高める技術である。こうすれば、充電電圧を供給する電源とコンデンサの電極電圧との間の電位差を常に低く抑えられる。従って、電源とコンデンサの間に挿入されたスイッチの抵抗成分による電力消費（ジュール熱損失）を低減できる仕組みだ。理論的には、充電電圧を高める過程を n 回のステップに分けることで、ジュール熱損失を $1/n$ に低減できる（図 12）。

実際には、内部 D-A 変換器のコンデンサ・アレイを充放電する処理にこの断熱充電技術を適用した。充電電圧を高めるステップ数は 3 に設定している。ステップ数が多ければ多いほど前述の通りジュール熱損失を低く抑えられるが、制御用のデジタル回路の規模が大きくなってその消費電力が増えるというトレード・オフが発生するからだ。

逐次比較型の実用性が高まる

このほかにも ISSCC 2008 では、逐次比較型 A-D 変換器による高エネルギー効率変換技術の発表が相次いだ。その中でも、記録的な性能の達成という際立った成果は上げていないものの、実用性の点で優れていたのが、9ビットの分解能で 40M サンプル/秒の変換速度を 820 μ W の消費電力で達成した逐次比較型 A-D 変換器だろう。IMEC とイタリアの University of Salento が共同で開発した（講演番号 12.1）^{†11)}。

画像処理や無線通信のベースバンド信号処理などの用途では、10ビット程度の分解能と 50M サンプル/秒程度の変換速度が必要になる。ところがこれまでに

開発されてきた逐次比較型 A-D 変換器は、6ビット、数 M サンプル/秒にとどまるものが多かった。これでは用途がかなり限定されてしまう。今回の IMEC らの成果は、逐次比較型 A-D 変換器の用途

参考文献

^{†11)} V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. Van der Plas, J. Craninckx, "An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," ISSCC 2008, Feb. 2008.

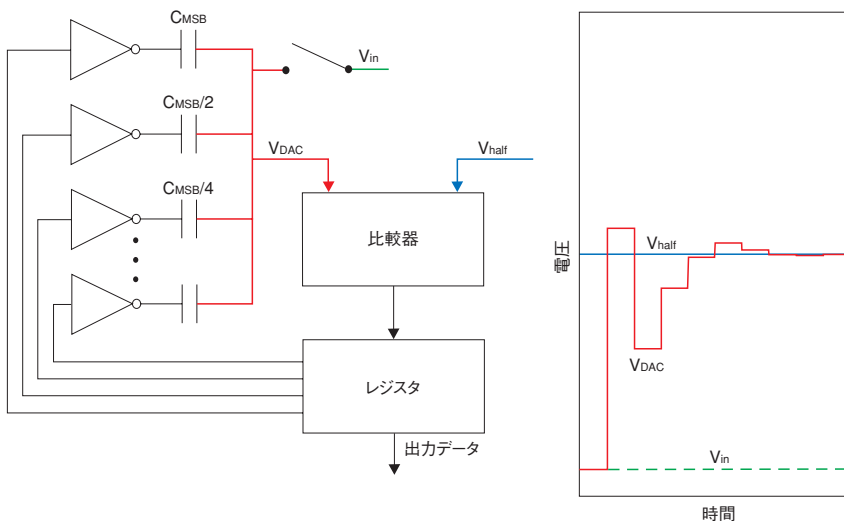


図 11 電荷再分配方式の逐次比較を簡単に実現

C_{MSB} 、 $C_{MSB}/2$ 、 $C_{MSB}/4$ …と 2 進数で重み付けしたコンデンサ・アレイを論理インバータで駆動する簡単な回路で、電荷再分配方式の内部 D-A 変換器を構成した。この出力電圧 (V_{DAC}) と参照電圧 (V_{half}) の大小を比較器で比べることで、最上位ビット (MSB) から順番に、A-D 変換器の出力データを逐次決定する。

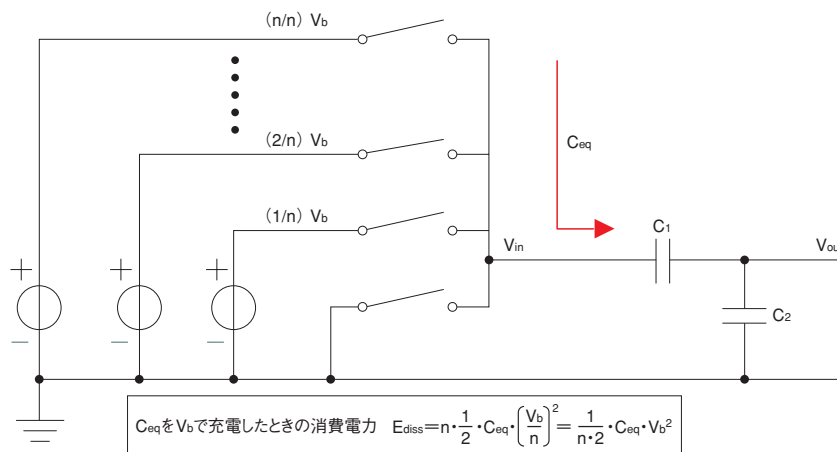


図 12 断熱充電回路の動作

C_1 と C_2 を直列に接続した際の等価的な静電容量 (C_{eq}) を V_b で充電する場合の模式図である。充電電圧を n 回のステップに分割して段階的に高めていく。まず $(1/n) V_b$ 、次に $(2/n) V_b$ と、順番にスイッチをオンに切り替える。最後に $(n/n) V_b$ のスイッチをオンすれば、最終的な充電電圧である V_b が印加される仕組みだ。こうすれば、スイッチの抵抗成分による無駄な電力消費 (E_{diss}) を $1/n$ 倍に減らせる。実際にはこれを電荷再分配方式の内部 D-A 変換器に適用した。

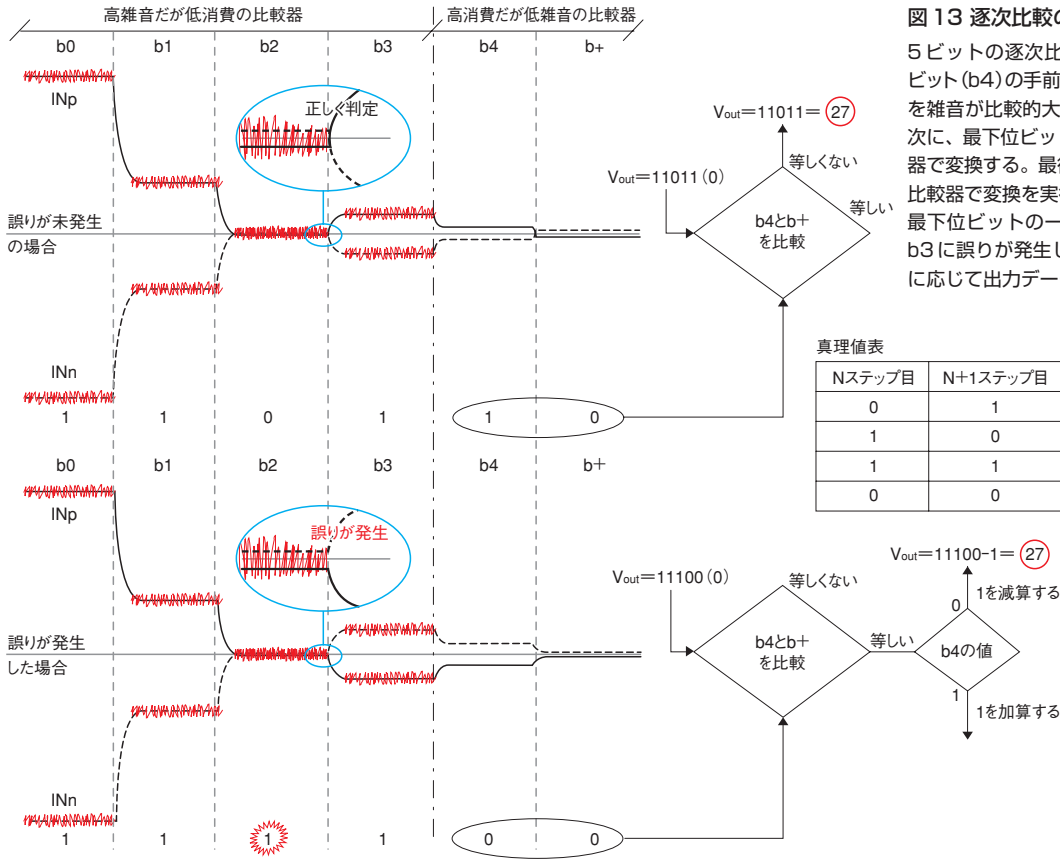


図 13 逐次比較の誤り訂正アルゴリズム
5ビットの逐次比較の例である。まず最下位ビット(b4)の手前までの上位ビット(b0~b3)を雑音が比較的大きい比較器を使って変換し、次に、最下位ビットを雑音が比較的小さい比較器で変換する。最後にもう一度、雑音が小さい比較器で変換を実行して、その結果(b+)と最下位ビットの一致/不一致によって、b0~b3に誤りが発生したかどうかを検出し、必要に応じて出力データに誤り訂正を施す。

を広げるものだと見える。

逐次比較型A-D変換器では前述の通りオペアンプを使わない。このため、分解能を高めるには比較器の感度を高めることが不可欠である。すなわち比較器において熱雑音の影響を低く抑えることが必要だ。ただし感度の改善は、理論的には応答速度の低下や消費電力の増大を招いてしまう。そこでIMECらは今回、この課題を回路技術によって解決した。

具体的には、感度は低い(雑音が大)が消費電力が低い比較器と、感度は高い(雑音が小)が消費電力が高い比較器を用意して、どちらか一方のみを逐次変換アルゴリズムに従って動作させることで、消費電力の増大を抑えつつ、比較器の感度に起因した誤りが発生しないようにした。

アルゴリズム工夫し誤り訂正

採用した逐次変換アルゴリズムはこうだ(図13)。Nビットの変換処理において、まず、最上位ビットの変換処理(1ステップ目)から最下位ビットの1つ手前のビットの変換処理(N-1ステップ目)までは低感度・低消費電力の比較器を使って実行する。この期間は、比較器の雑音が大いため各ビットを誤って判定する危険性がある。ただし比較器の実効的な雑音電圧は最下位ビット(LSB)に相当する電圧振幅の1/2以下に抑えてあるため、A-D変換後のデジタル・データ(2進数)に発生する誤りの大きさは最大でも1である。

そこで、最下位ビットの比較処理(Nステップ目)は高感度・高消費電力の比較器に切り替えて、誤った判定を防ぐ。

さらに、低感度の比較器を使った以前のステップで誤りが発生していたかどうかを検出し、誤りが発生していた場合はそれを訂正する処理を実行する。

誤りの検出は簡単だ。同じく高感度の比較器を使って追加の変換処理(N+1ステップ目)を実行し、Nステップ目の結果と比較すればよい。もし誤りが発生していれば両者が一致するため、LSBが0だったら1を引き、LSBが1だったら1を足して誤りを訂正する。誤りが発生していなければ両者は一致せず、その場合は訂正処理を実行する必要はない。

90nmのCMOS技術で製造した。FOMは54fJと非常に小さい。この成果が示すように、逐次比較型A-D変換器の開発は今後、これまでのようにさらなる低消費電力化を追求する動きよりも、

FOMをこれまでのレベルに維持したまま、10ビット以上の高精度化や50Mサンプル/秒以上の高速化を目指す動きが強まるものと思われる。

160個並列で24GS/s達成

変換エネルギー効率が高いという逐次比較型A-D変換器の特徴を生かした応用の1つに超高速A-D変換器がある。すなわち、数多くの逐次比較型A-D変換器コアを用意して並列に接続し、時間的にインターリーブ動作させることで高い変換速度を実現する。

こうしたコンセプトは従来から提案されており、それ自体に目新しさはない。しかしISSCC 2008ではこのコンセプトの可能性を徹底的に追求し、6ビットの分解能で24Gサンプル/秒と極めて高い変換速度を達成したA-D変換器が登場し、聴講者の関心を集めていた。

カナダNortel社と伊仏合併STMicroelectronics社が共同で開発した（講演番号30.3）¹⁾²⁾。回路構成は図14に示す通りである。16個のサブA-D変換器を備えており、そのサブA-D変換器それぞれが、さらに10個の逐次比較型A-D変換器（単位A-D変換器）から構成されている。すなわち全体では160個の単位A-D変換器がインターリーブ動作するわけだ。従って、各単位A-D変換器は150MHzで動作するとみられる。

このアーキテクチャでは、数多くのA-D変換器を用いるため、互いの特性のばらつきが問題になりやすい。そこで、サブA-D変換器ごとのオフセットや利得、タイミング・スキューのばらつきを補正する機能を備えた。

5ビットのENOB（有効ビット分解能）が得られる帯域幅としては6GHz程度を確保している。90nmのCMOS技術で製造した。消費電力は1.2W、専有面積は16mm²である。24Gサンプル/

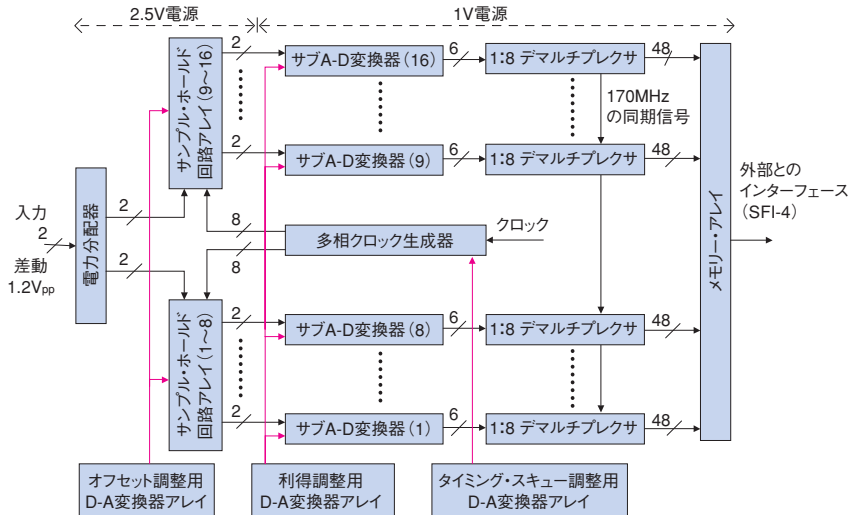


図14 24Gサンプル/秒の6ビットA-D変換器

回路ブロック図である。16個のサブA-D変換器を並列に接続し、インターリーブ動作させることで24Gサンプル/秒と極めて高い変換速度を実現した。各サブA-D変換器は10個の単位A-D変換器からなる。サブA-D変換器ごとの特性のばらつきを補正するために、オフセットと利得、タイミング・スキューそれぞれをデジタル制御で調整するD-A変換器アレイを設けた。

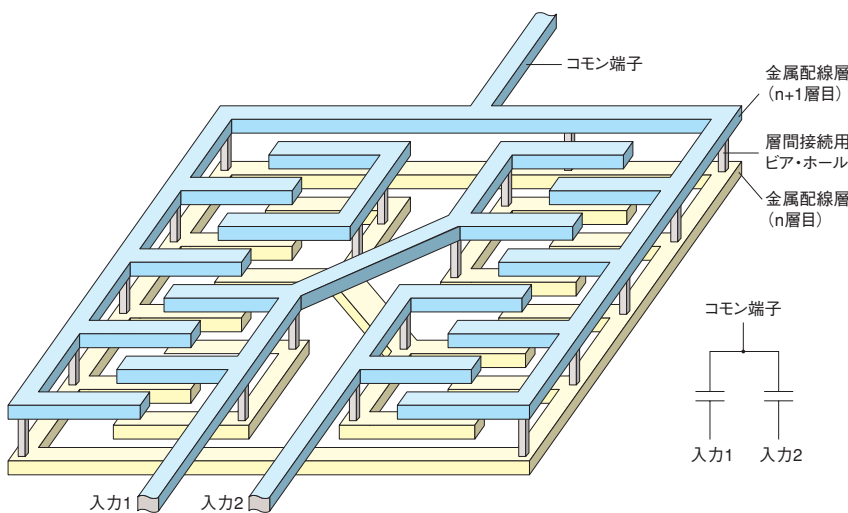


図15 インターリーブ型コンデンサ

多層配線を使って形成したコンデンサである。くしの歯状の配線を上下それぞれの配線層に設けてビア・ホールで接続したものをコンデンサの一方の電極とし、2つの電極をくしの歯をかみ合わせるように重ねることでコンデンサとして機能させる「インターリーブ型」だ。

秒という変換速度は目を見張る性能だが、消費電力と専有面積については、際立った成果というわけではない。

例えば、2007年にルネサス テクノロジが発表した並列型の6ビット・フラッ

参考文献

- ¹⁾²⁾ P. Schvan, J. Bach, C. Falt, P. Flemke, R. Gibbins, Y. Greshishchev, N. Ben-Hamida, D. Pollex, J. Sitch, S-C. Wang, J. Wolczanski, "A 24GS/s 6b ADC in 90nm CMOS," ISSCC 2008, Feb. 2008.

シュ型 A-D 変換器^{†13)}と比較してみよう。ルネサスのこの開発品も、同じく 90 nm の CMOS 技術で製造されており、変換速度は 3.5G サンプル/秒、消費電力は 98mW、専有面積は約 0.15mm² である。

ここで、Nortel 社らの今回の開発品とルネサスの開発品それぞれの消費電力と専有面積を 1G サンプル/秒当たりの値に換算すると、消費電力は今回が 50mW、ルネサスが 28mW で、専有面積は今回が 0.667mm²、ルネサスが 0.043 mm² であり、いずれもルネサスの開発品の方が優れている。

この比較結果から分かる通り、確かに逐次比較型 A-D 変換器は変換エネルギーを低く抑えられるが、変換速度そのものは高くないので、並列化によるインターリーブ動作を使って変換速度を高めると、専有面積が大きくなったり、さまざまな調整回路が必要になったりするため、設計上のオーバーヘッドが生じやすい。従って今後の開発においては、こういった変換方式をどのように組み合わせる手法が最も妥当かという検討が盛んになるものと思われる。

パイプラインも負けていない

エネルギー効率が高い A-D 変換器といえば、最近では逐次比較型ばかりが目立っているが、パイプライン型も決して負けてはいない。ISSCC 2008 では、10ビットの分解能で 100M サンプル/秒の変換速度を備えながらも、消費電力が 4.5 mW と非常に低いパイプライン型 A-D 変換器を STMicroelectronics 社が発表した（講演番号 12.7）^{†14)}。FOM は 62fJ で、逐次比較型にも引けを取らないような高いエネルギー効率を達成した。65nm の CMOS 技術で製造しており、専有面積は 380 μm × 180 μm（約 0.07mm²）と極めて小さい。

回路構成そのものは標準的なパイプライン型だが、コンデンサやトランジスタなどの素子（デバイス）形成方法を低電圧動作のアナログ回路に向けて改良したようだ。例えばコンデンサについては、従来の MIM（Metal Insulator Metal）コンデンサを使う代わりに、**図 15**に示すように多層配線を用いて形成している。単位面積当たりの静電容量が 2fF/μm² と一般的な MIM コンデンサに比べて 2 倍程度も高い上に、静電容量の精度も高い（静電容量のばらつきが少ない）。従って、小さな面積で高精度の A-D 変換器を実現できる。

トランジスタについては、通常はショートチャネル効果を抑える目的で施すボケット・イオン注入を使わない、アナログ回路専用のトランジスタを開発したようだ。スイッチとして動作させる際に、**図 16**に示すようにオン抵抗を低く、ドレイン抵抗を高くできるので、低い電源電圧で動作する高性能のアナログ回路に

適している。

このほか発表論文では言及されていないが、この手法を使うと理論的にはしきい値電圧（ V_{th} ）のばらつきも小さくできるはずである。このように、デバイス開発によって性能を高めるというアプローチも重要である。

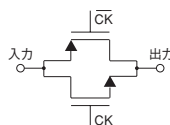
この STMicroelectronics 社の成果のように、FOM が低い A-D 変換器をパイプライン型でも実現できるとなれば、「最適なアーキテクチャは何か」という論争が今後しばらく続くことになりそうである。

参考文献

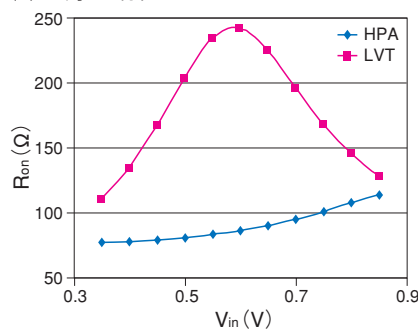
^{†13)} K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, T. Miki, "A 6-bit 3.5GS/s 0.9V 98mW Flash ADC in 90nm CMOS," 2007 Symposium on VLSI Circuits, Jun. 2007.

^{†14)} M. Bouleonnakher, E. Andre, J. Roux, F. Paillardet, "A 1.2V 4.5mW 10b 100MS/s Pipelined ADC in 65nm CMOS," ISSCC 2008, Feb. 2008.

(a) 相補型スイッチ回路



(b) V_{in} 対 R_{on} 特性



(c) L 対 V_{th} 特性

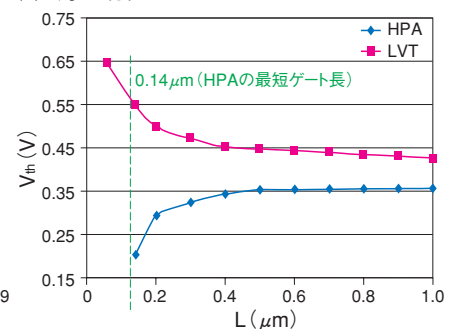


図 16 低電圧アナログ向けにトランジスタ改良

低電圧動作のアナログ回路に向けてトランジスタの特性を改良したプロセス（HPA）と、標準的な低しきい値電圧トランジスタに対応したプロセス（LVT）それぞれを使って、nMOS と pMOS をバス・トランジスタとして組み合わせた相補型スイッチ回路（a）を構成し、特性を比較した。入力電圧（ V_{in} ）に対するオン抵抗（ R_{on} ）の特性（b）と、ゲート長（ L ）に対するしきい値電圧（ V_{th} ）の特性（c）を示している。