

ミリ波チップの設計課題 発表論文から読み取る

松澤昭 東京工業大学

60GHz 程度のミリ波帯に向けた CMOS トランシーバ・チップの開発は、2006 年ころから活発化し始めた。ISSCC 2007 における代表的な成果は、米 University of California, Los Angeles (UCLA) 教授の Behzad Razavi 氏が発表した受信チップだろう (講演番号 10.1) ¹⁾。

この発表からは、CMOS 技術をミリ波帯に適用する際の課題が読み取れる。すなわち、Si (シリコン) 基板による信号の減衰が大きいのということだ。従ってミリ波帯の信号を扱う CMOS チップでは、配線をなるべく短くするとともに、ミリ波領域での信号処理を極力、簡素化する必要がある。

実際に同氏は、設計当初はダイレク

ト・コンバージョン方式の採用を検討したものの、最終的にはヘテロダイン方式を選択した。ダイレクト・コンバージョン方式では、直交発振器と直交ミキサー

を用意する必要があり、しかもこれらを搬送波周波数である 60GHz で動作させなければならない。実現の難易度は高く、消費電力が増えてしまう。さらに、信号を 60GHz のまま引き回す距離が長いと、配線による減衰が大きくなる。

ミリ波帯における設計課題はこれだけではない。扱う周波数がトランジスタの最大発振周波数 (f_r) に近づき、両者の比が小さくなるため、増幅器を構成しても高い利得を得ることが難しくなる。例えば、カスコード (縦積み) 接続の低雑音アンプ (LNA) では、2 つのトランジスタの静電容量によって、両トランジスタの接続点におけるポール周波数は $f_r/2$ 程度に制限されてしまう (図 12)。そこで同氏は、この接続点にインダクタを接

続し、共振させることで静電容量の影響を取り除いた。

ミリ波帯 CMOS 送受信チップの設計技術は、現在のところまだ十分な完成度に達していない。従って、性能改善の余地は大きく残されているはずだ。

シンセの構成要素に新提案

ミリ波帯向け送受信チップの開発において、重要な回路ブロックが周波数シンセサイザである。ISSCC 2007 では、周波数シンセサイザの構成要素として欠かせない分周器や VCO (電圧制御発振器) についても、注目すべき発表が多かった。

分周器では、UCLA の Razavi 氏は前述の受信チップにおいて、ミキサーとフィルタを組み合わせる分周動作を実現する手法を適用した (図 13)。いわゆる Miller (ミラー) 分周器である。仕組みはこうだ。 f_{in} と $f_{in}/2$ の 2 つの周波数成分をミキサーに入力する。こうすると出力には $f_{in}/2$ と $3f_{in}/2$ の 2 つの周波数成分が発生する。このうち、高周波数側の

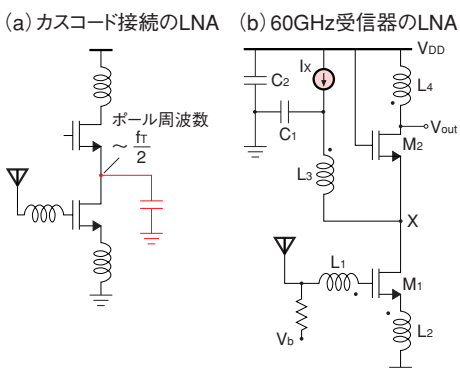


図 12 容量の影響をインダクタで取り除く

(a)は2つのトランジスタをカスコード接続することで構成した低雑音アンプ (LNA) である。この回路では、2つのトランジスタの静電容量によって帯域幅が大きく制限されてしまう。そこで米 University of California, Los Angeles は、60GHz 帯向け受信チップに向けて、(b)のような回路を採用した。2つのトランジスタの容量成分と共振するような値のインダクタ (L_3) を X 点に挿入し、容量成分の影響を実効的に取り除いた。

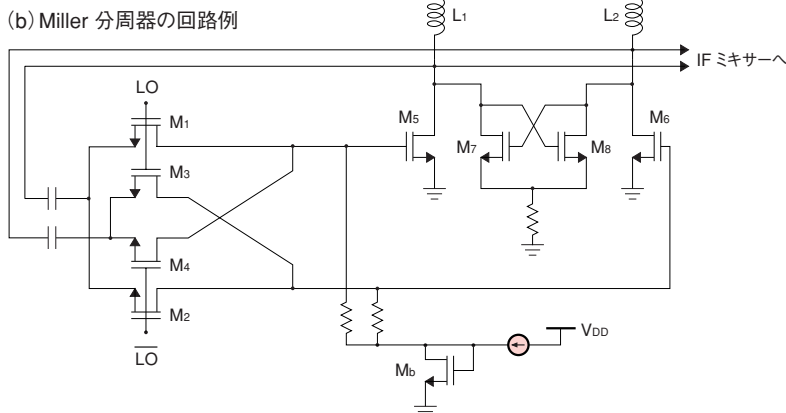
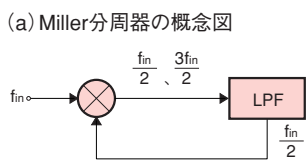


図 13 ミキサーとフィルタで分周器を構成

(a)は Miller 分周器の概念図である。ミキサーの後段に低域通過フィルタ (LPF) を接続し、その出力をミキサーの入力に帰還する。(b)は Miller 分周器の実際の回路例である。米 University of California, Los Angeles がミリ波帯の受信チップに採用した回路である。

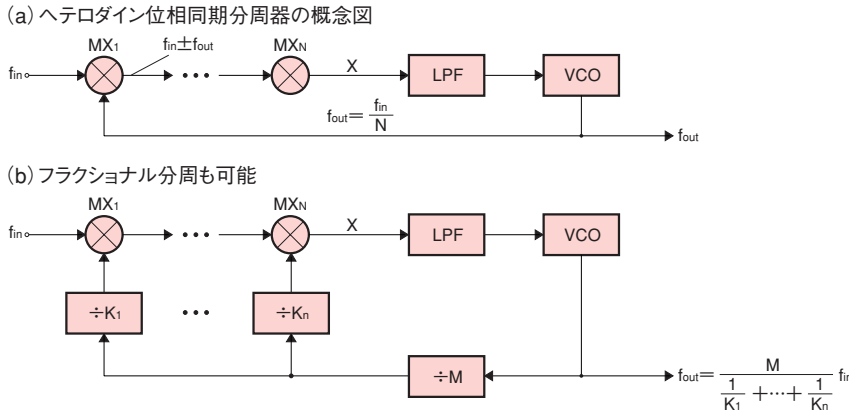


図 14 ヘテロダイン PLL を分周器として利用

(a) は、米 University of California, Los Angeles が提案した分周器の概念図である。「ヘテロダイン位相同期 (Heterodyne Phase Locking)」と呼ぶ。ヘテロダイン方式の PLL を使って整数分周動作を実現する。(b) は、(a) の回路を応用したフラクショナル (分数) 分周器である。各ミキサーへの帰還経路に分周器を挿入した。なお、(a)、(b) とともに図中には示していないが、各ミキサーは低域通過フィルタを介して次段のミキサーに接続する。

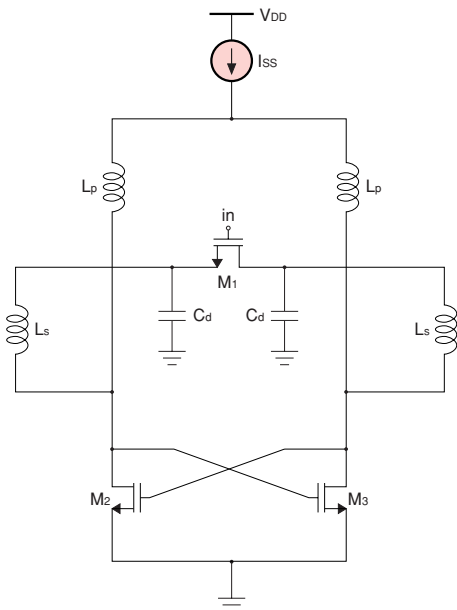


図 15 インダクタでロック・レンジを拡大

台湾 National Taiwan University が発表した 40GHz 分周器である。ミキサーとフィルタで分周動作を実現した。トランジスタ M_1 はスイッチとして動作し、ドレイン・ポンプ型の受動ミキサーの役割を果たす。トランジスタ M_2 と M_3 は発振器を構成する。インダクタ L_s は、受動ミキサーの動作帯域幅を広げるために設けてある。 L_s を挿入しない場合に比べて、同期範囲 (ロック・レンジ) は 2 倍に拡大した。この手法を適用した結果、0.18 μm の CMOS 技術で 40GHz 信号の 1/2 分周動作を達成した。

成分 ($3f_{in}/2$) を低域通過フィルタで減衰させてからミキサーの入力に帰還をかける。このときループの利得が十分に高ければ、1/2 の分周器を実現できる。

さらに同氏は、ISSCC 2007 における別の発表で、「ヘテロダイン位相同期 (Heterodyne Phase Locking)」と呼ぶ方式を提案した (図 14) (講演番号 23.6) ^{†11)}。PLL (Phase Locked Loop) 回路の位相比較器を、カスケード接続した複数のミキサーで置き換えた構成を採用。注入同期 (インジェクション・ロック) 方式を採用する一般的な分周器に比べて、5 ~ 10 倍と広い周波数範囲の分周動作に対応できるとしている。この PLL 回路では、ループ利得を高く設定することで、同期範囲 (ロック・レンジ) をほぼ VCO の同調範囲 (チューニング・レンジ) まで広げられるからだ。カスケード接続するミキサーの個数を N とした場合に、 $1/N$ の整数分周器とし

て機能する。さらに、フラクショナル (分数) 分周にも対応可能だ。例えば、図 14 (b) に示すように帰還経路に分周器を挿入すれば、 $M / (1/K_1 + 1/K_2 + \dots + 1/K_n)$ のフラクショナル分周器を実現できる。

分周器の実例が豊富

ミキサーとフィルタを組み合わせる分周器を実現するというコンセプトは、台湾の National Taiwan University (NTU) が発表した 40GHz 分周器にも採用されている (講演番号 30.4) ^{†12)} (図 15)。この分周器は、0.18 μm の CMOS 技術で製造した。このほか、独 Ruhr-Universität Bochum が発表した分周器も同様の手法を使う (講演番号 10.6) ^{†13)}。90GHz 入力対応の分周器を 65nm の CMOS 技術で製造した。

一方、インジェクション・ロック方式の分周器では、VCO に付加的な回路を追加することで、分周動作を実現する手法について NTU が発表した (講演番号 23.8) ^{†14)}。この手法は、75GHz で動作する PLL 回路の一部として発表された。通常は VCO と分周器を個別に用意するが、この手法を使えば VCO に付加回路を追加するだけで分周器の機能を併せ持たせることができる (図 16)。

参考文献

- ^{†11)} B. Razavi, "Heterodyne Phase Locking: A Technique for High-Frequency Division," ISSCC 2007, Feb., 2007.
- ^{†12)} J-C Chien, L-H Lu, "40GHz Wide-Locking-Range Regenerative Frequency Divider and Low-Phase-Noise Balanced VCO in 0.18 μm CMOS," ISSCC 2007, Feb., 2007.
- ^{†13)} P. Mayr, C. Weyers, U. Langmann, "A 90 GHz 65nm CMOS Injection-Locked Frequency Divider," ISSCC 2007, Feb., 2007.
- ^{†14)} J. Lee, "A 75-GHz PLL in 90-nm CMOS Technology," ISSCC 2007, Feb., 2007.

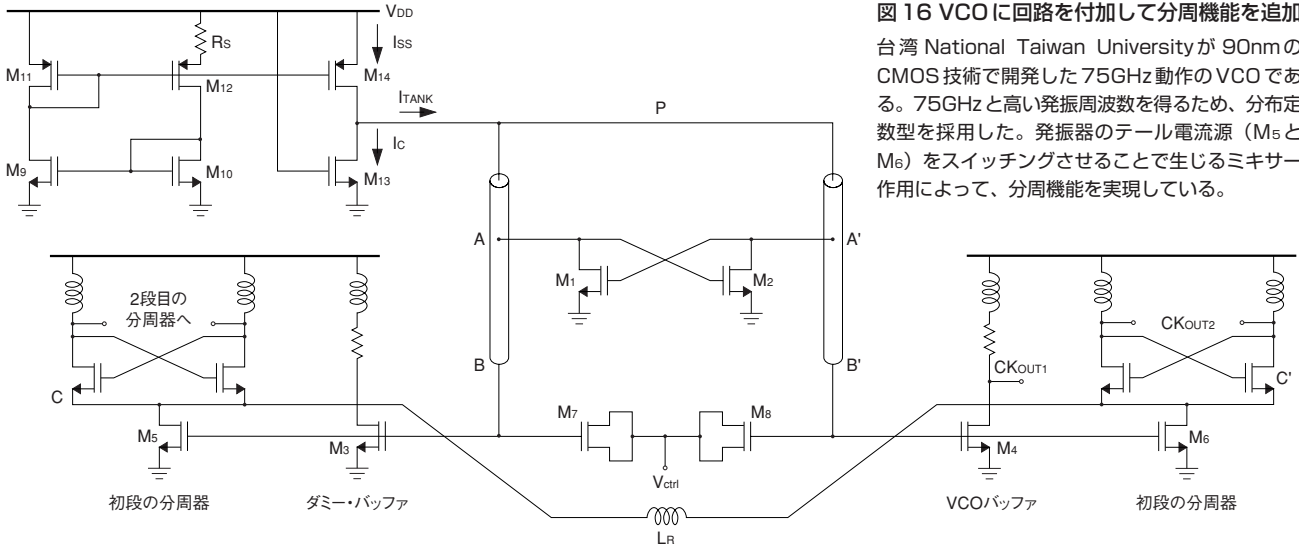


図 16 VCO に回路を付加して分周機能を追加
台湾 National Taiwan University が 90nm の CMOS 技術で開発した 75GHz 動作の VCO である。75GHz と高い発振周波数を得るため、分布定数型を採用した。発振器のテール電流源 (M₅ と M₆) をスイッチングさせることで生じるミキサー作用によって、分周機能を実現している。

10GHz 以下向け回路も進化

ミリ波帯以外では、携帯電話や無線 LAN、UWB 通信などの用途を想定し、10GHz 程度までの高周波を扱う無線送受信回路の構成要素が数多く発表された。ここでは、LNA と VCO について見ていこう。

LNA はインダクタを使わずに構成した「インダクタ・レス」型の開発例が増えている。インダクタ・レス型の狙いは 2 つある。1 つは、回路面積を小さく抑えてチップ・コストを低減すること。もう 1 つは動作帯域幅を広げることである。広帯域を利用する UWB 通信や、広い周波

LNA は、カスコード接続した 2 個のトランジスタ (図 17 中の M₁ と M₄) と抵抗 (図 17 中の R_D) で構成し、入力のインピーダンス整合と雑音指数 (NF) の低減を狙って、M₁ のゲートとソースにそれぞれインダクタを挿入するのが一般的だ。ただしこの手法は基本的に、インダクタと M₁ のゲート・ソース間容量との共振現象を利用している。従って広帯域の動作には対応できず、LNA の帯域幅が制限されてしまう。さらに LNA の設計難易度が高くなる。LNA が扱う無線信号の周波数に共振周波数を合わせなければならないからだ。LNA を集積するチップの設計精度を高めたり、ボンディング・ワイヤーやパッケージの寄生成分を考慮する必要もある。もちろん、インダクタを集積すれば回路面積が増加し、チップ・コストは上昇してしまう。

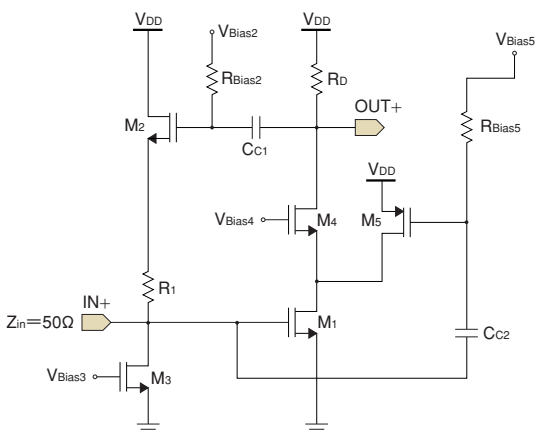


図 17 インダクタを使わない LNA

スウェーデンの Linköping University が発表したインダクタ・レス型 LNA である。ソース・フォロワ (ドレイン接地) 増幅器であるトランジスタ M₂ を挿入し、抵抗 R₁ を介して入力に帰還をかけることで、入力整合を確保した。トランジスタ M₅ はトランスコンダクタンス (g_m) を高める目的で設けた。なお、実際の回路は差動構成だが、この図ではその一方のみを示した。

数可変範囲を確保する必要があるチューナなどに対応するためだ。

ISSCC 2007 では、ベルギーの IMEC (Inter University Microelectronics Center) ら (講演番号 23.3) ^{†15)} や、スウェーデンの Linköping University (LiU) (講演番号 23.4) ^{†16)} がインダクタ・レス型の LNA を発表した。2 件とも設計思想はほぼ同じなので、ここでは LiU の発表を詳しく紹介する。

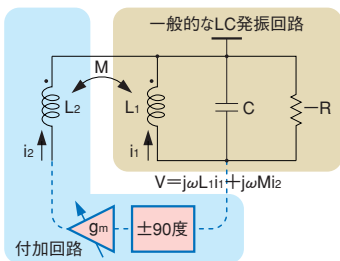
同大学が開発したインダクタ・レス型 LNA の回路図を図 17 に示す。通常の

そこで LiU のインダクタ・レス型 LNA では、ソース・フォロワ (ドレイン接地) 増幅器であるトランジスタ M₂ を設け、抵抗 R₁ を介して入力にフィードバックをかけることで、入力のインピーダンス整合を実現した。さらに、トランジスタ M₅ を使ってトランスコンダクタンス

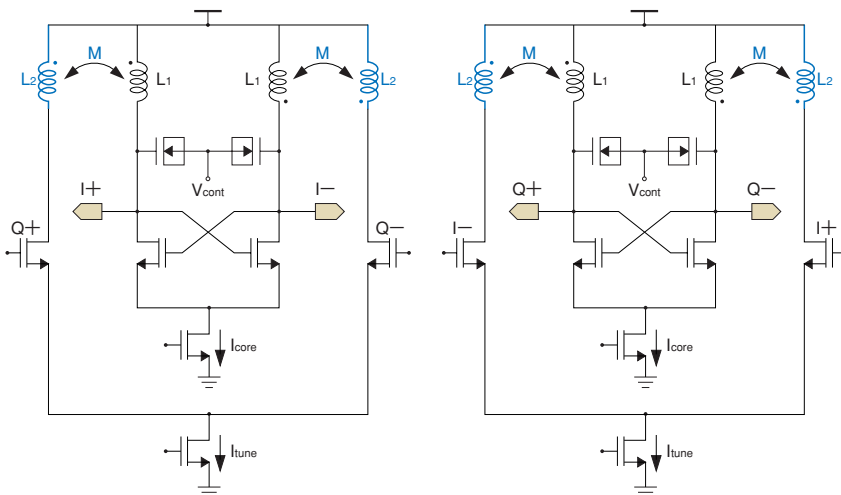
(g_m) を高めている。

入力に帰還をかけると、入力インピーダンスの設定自由度が増す。このほか、歪みを多少低減する効果もあるだろう。LNA全体の雑音指数は、トランジスタ M_1 と M_3 、 M_5 のトランスコンダクタンス (g_{m1} 、 g_{m3} 、 g_{m5}) でほぼ決まる。0.18 μm の CMOS 技術で製造した。特性は、1G~7GHzの周波数範囲において利得が 17dB、雑音指数が 2.4dB、入力第3次インターセプト・ポイント (IIP3) が -4.1dBm、消費電力は 25mW である。雑音指数の値は、LNA として許容できるレベルだと思われる。回路面積は 0.019mm²。インダクタを使わずに構成し、広い動作帯域幅を確保しながらも、回路面積を極めて小さく抑えた。

(a) 磁氣的調整の原理



(b) 直交発振器の回路例



VCO の特性を磁氣的に調整

VCO の発表で興味深かったのは、相互インダクタンスを利用してインダクタンスの大きさを磁氣的に変化させる技術である。イタリアの University of Pavia が発表した (講演番号 4.8) ^{†17)}。一般的な LC 発振器では、可変容量ダイオード (バラクタ) を使って容量 (C) を調整することで発振周波数を変化させている。発振周波数の可変範囲をさらに広げるためには、インダクタンス (L) を変化させることが望ましい。ただし実際には、可変インダクタをチップ上で実現することは困難である。これまでは、MEMS 技術などの機械的な手法が試みられていた。

これに対し同大学らは、相互インダクタンスを利用した。原理を示したのが図

図 18 VCO のインダクタを磁氣的に調整

イタリアの University of Pavia から開発した直交発振器である。(a) はインダクタンスを磁氣的に調整する方法の原理図である。付加回路中のインダクタ (L_2) との相互インダクタンス (M) を利用する。 g_m を調整すると M の大きさが変化して、発振回路中のインダクタ (L_1) にかかる電圧が変化する仕組みだ。(b) は実際の回路例である。シンク電流 (I_{tune}) を調整して g_m を変化させる。

18 (a) である。LC 共振器と負性抵抗を組み合わせた発振回路そのものは、一般的な発振器と同じである。これに加えて、インダクタ L_1 と L_2 の相互インダクタンス M を用いる。ここでインダクタ L_1 に発生する電圧 V は次式で表せる。

$$V = j\omega(L_1i_1 + Mi_2) = -\frac{i_1}{j\omega C}$$

次にこの電圧を、位相を ± 90 度回転させてから、トランスコンダクタンス回路 (g_m) で電流に変換する。こうすれば、インダクタンスを変化させることができる。

このとき問題になるのは、90 度の位相回転をどのように実現するかである。幸い発振器においては、直交発振器を採用することで比較的容易に実現可能だ。同大学らが示した回路が図 18 (b) である。2 つの発振器が互いに結合して、周波数が同じで位相が 90 度異なる信号を発振する直交発振器として構成した。各発振器の外側に設けた、 L_2 を含む差動回路が g_m を作り出すトランスコンダクタンス回路である。 g_m はシンク電流 (I_{tune}) を制御することで変化させられる。発振範囲が 3.2G~7.3GHz の VCO を 65nm の CMOS 技術で試作し、4.9 GHz の中心周波数において 70% の周波数可変範囲を実現した。

参考文献

- †15) J. Borremans, P. Wambacq, D. Linten, "An ESD-Protected DC-to-6GHz 9.7mW LNA in 90nm Digital CMOS," ISSCC 2007, Feb., 2007.
- †16) R. Ramzan, S. Andersson, J. Dabrowski, C. Svensson, "A 1.4V 25mW Inductorless Wideband LNA in 0.13 μm CMOS," ISSCC 2007, Feb., 2007.
- †17) G. Cusmai, M. Repposi, G. Albasini, F. Svelto, "A 3.2-to-7.3GHz Quadrature Oscillator with Magnetic Tuning," ISSCC 2007, Feb., 2007.