

アナログ・RF・デジタル混載LSI技術 の現状と今後の動向

東京工業大学
大学院理工学研究科

松澤 昭

内容

- ・ CMOS微細化とアナログ性能

- ・ A/D変換器

- パイプライン型ADC
- 直並列型ADC
- 逐次比較型ADC

講演内容の半分程度については

EE Times Japan No. 22, pp.40–55, April 2007.

ISSCC 2007開催 回路技術の新潮流を読む
に寄稿しています。

また、研究室ホームページ

<http://www.ssc.pe.titech.ac.jp>

にも関連資料が掲載されています。

- ・ RFCMOS回路

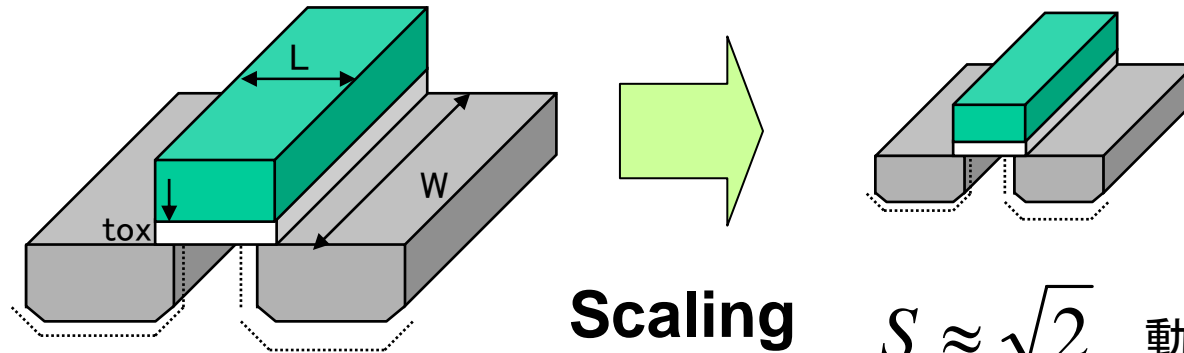
- インダクタレスLNA
- デジタルポワラPA
- ミリ波SoC

CMOS微細化とアナログ性能

A. Matsuzawa, “ Design Challenges of Analog-to Digital Converters in Nanoscale CMOS,” IEICE, Tran. Electron., Vol. E90-C, No. 4, pp. 779-785, April 2007.

デジタル回路におけるスケージング則

デジタル回路においてはデバイスの各パラメータを一定比率で縮小することにより回路の速度が向上し、低電力・低コストが達成される。



Scaling

$S \approx \sqrt{2}$ 動作電圧も1/Sにする

デバイスと回路のパラメータ	Scaling Factor
寸法: L, W, Tox	1/S
不純物濃度	S
電圧	1/S
電界	1
電流	1/S
回路遅延時間	1/S
消費電力(デバイス1つあたり)	1/S ²

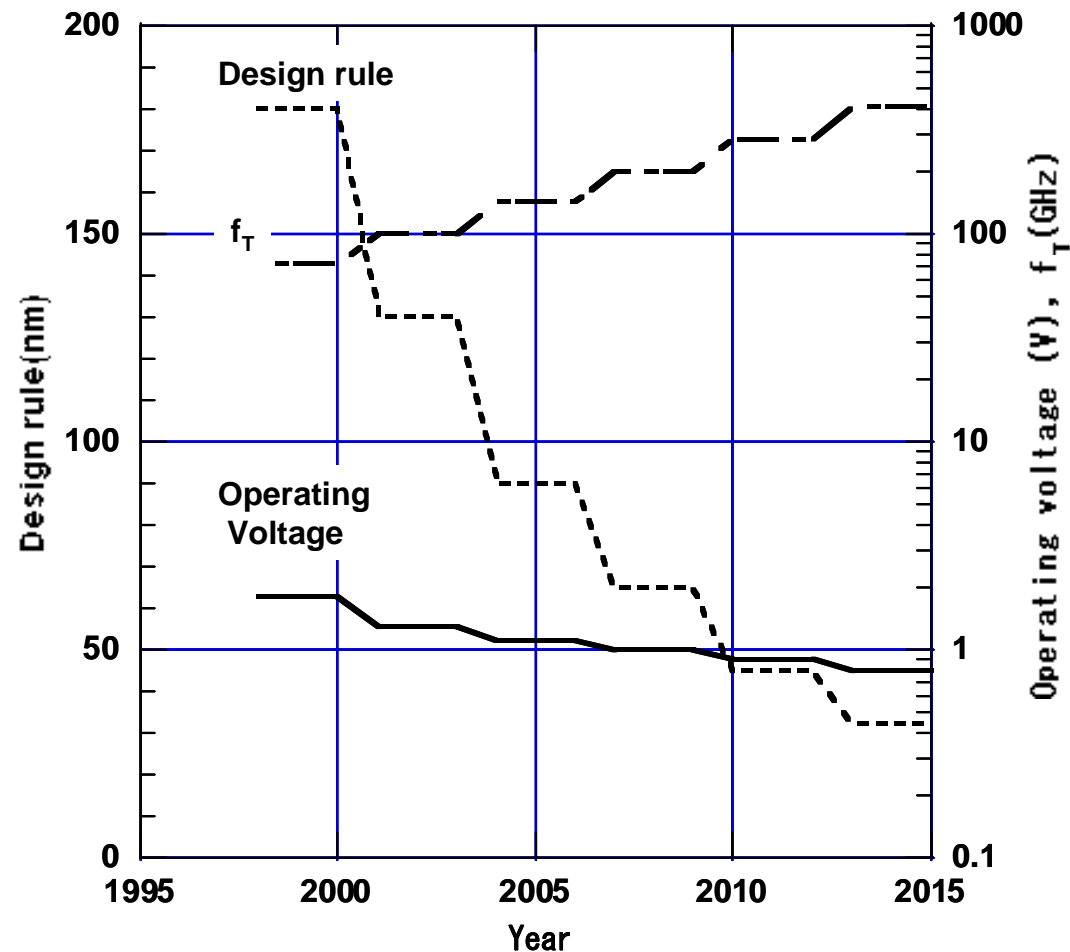
微細化・低電圧化により、

- ・高密度化(低コスト)
- ・高速化
- ・低消費電力

が同時に達成される

f_Tと動作電圧の予測

微細化によりCMOSのf_Tは200GHzを超え、60GHzのミリ波応用まで可能にしている
電源電圧は1V近辺であり、大幅には下がらない

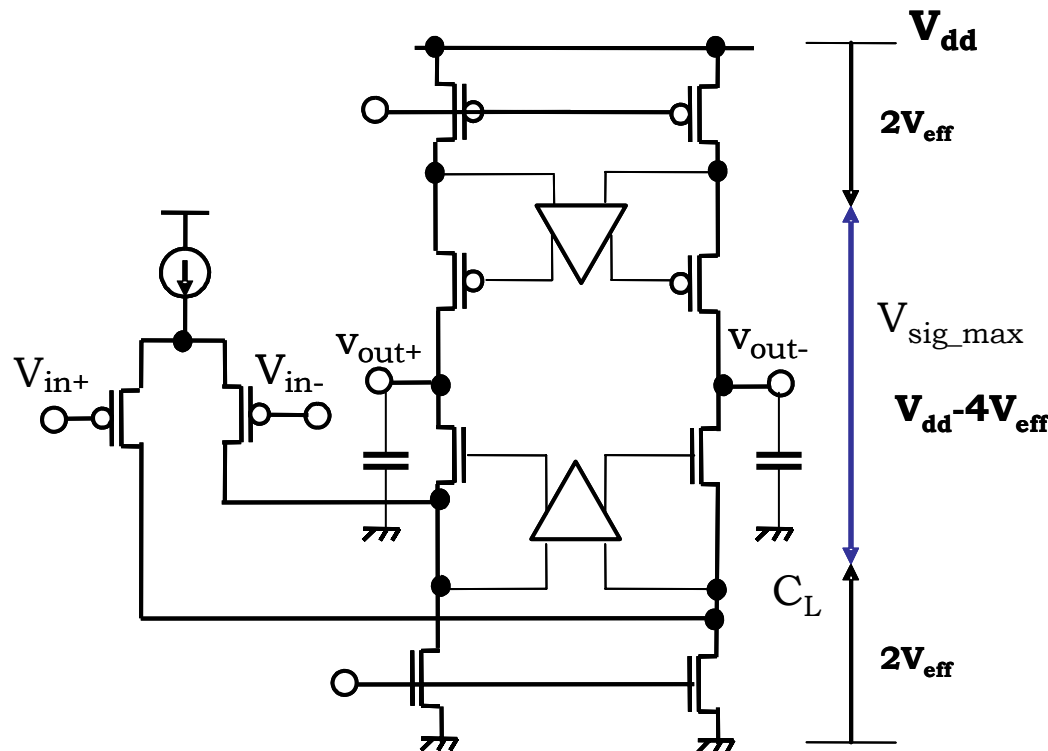


$$f_T \approx \frac{v_s}{2\pi L}$$

v_s: キャリアの飽和速度
L: チャネル長

アナログ回路の特性

容量負荷のOPアンプを標準的なアナログ回路として特性を記述し、
スケーリングの効果を検討する



利得: $G = (g_m r_{ds})^n$ n: 増幅段数

利得帯域幅積: $GBW = \frac{g_m}{2\pi C_L}$

第2ポール: $f_{p2} \propto \frac{g_m}{C_{gs}}$

安定条件: $GBW < \frac{f_{p2}}{3}$

SNR: $SNR \propto C_L V_{sig}^2$

消費電力: $P_d \propto V_{dd} I_{ds}$

アナログCMOS回路のスケーリング

- 1) トランスコンダクタンス: g_m $V_{eff}=V_{gs}-V_T$: アナログ回路では一定にする
通常 0.2V~0.15V程度

$$g_m \cong \frac{2I_{ds}}{V_{eff}}$$

g_m は電流により決定され、不変である。

- 2) ドレイン抵抗: r_{ds}

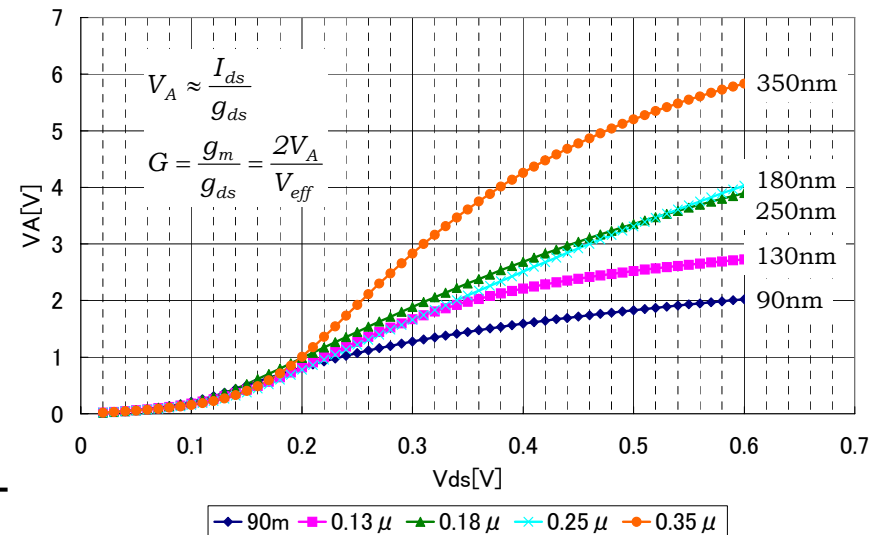
$$r_{ds} = \frac{V_A}{I_{ds}}, \quad V_A \propto L$$

また低電圧にすることで低下する

$$r_{ds} \propto \frac{1}{S}$$

S: スケーリングファクター
通常 1.4

デザインルールをパラメータとするときの V_{ds} に対する V_A



アナログCMOS回路のスケーリング

3) 利得 $G = (g_m r_{ds})^n \quad G \propto \frac{1}{S^n}$

利得は微細化により急速に減少する

4) 寄生容量 $C_p \propto C_{ox} LW \propto S \times \frac{1}{S} \times \frac{1}{S^2} = \frac{1}{S^2} \quad \frac{W}{L} \propto \frac{1}{C_{ox}}$

5) 利得帯域幅積: $GBW = \frac{g_m}{2\pi C_L}$ 負荷容量が変わらなければ一定

$GBW = \frac{g_m}{2\pi C_p} \propto S^2$ 寄生容量で決まるときは急上昇

6) 第2ポール: $f_{p2} \approx \frac{f_T}{2} \propto \frac{g_m}{C_{gs}} \propto \frac{g_m}{C_{ox} LW} \propto \frac{1}{S \times \frac{1}{S} \times \frac{1}{S^2}} = S^2$

遮断周波数および第2ポールは微細化により急上昇する
→回路はより安定する方向になる

アナログCMOS回路のスケーリング

7) SNR: $SNR \propto \frac{C_L V_{sig}^2}{kT}$ a) 一定の信号振幅が確保できれば C_L は一定

$C_L \propto \frac{V_{sig}^2}{SNR} \propto s^2$ b) 微細化による電源電圧の減少により信号振幅を下げざるを得ない場合は C_L は上昇

8) 消費電力: $P_d \propto V_{dd} I_{ds}$

低SNRの場合 a) g_m および C_L が一定とすると $P_d \propto \frac{1}{s}$

C_p で決まるときは $P_d \propto \frac{1}{s^3}$

低電圧化に伴い消費電力は下がる

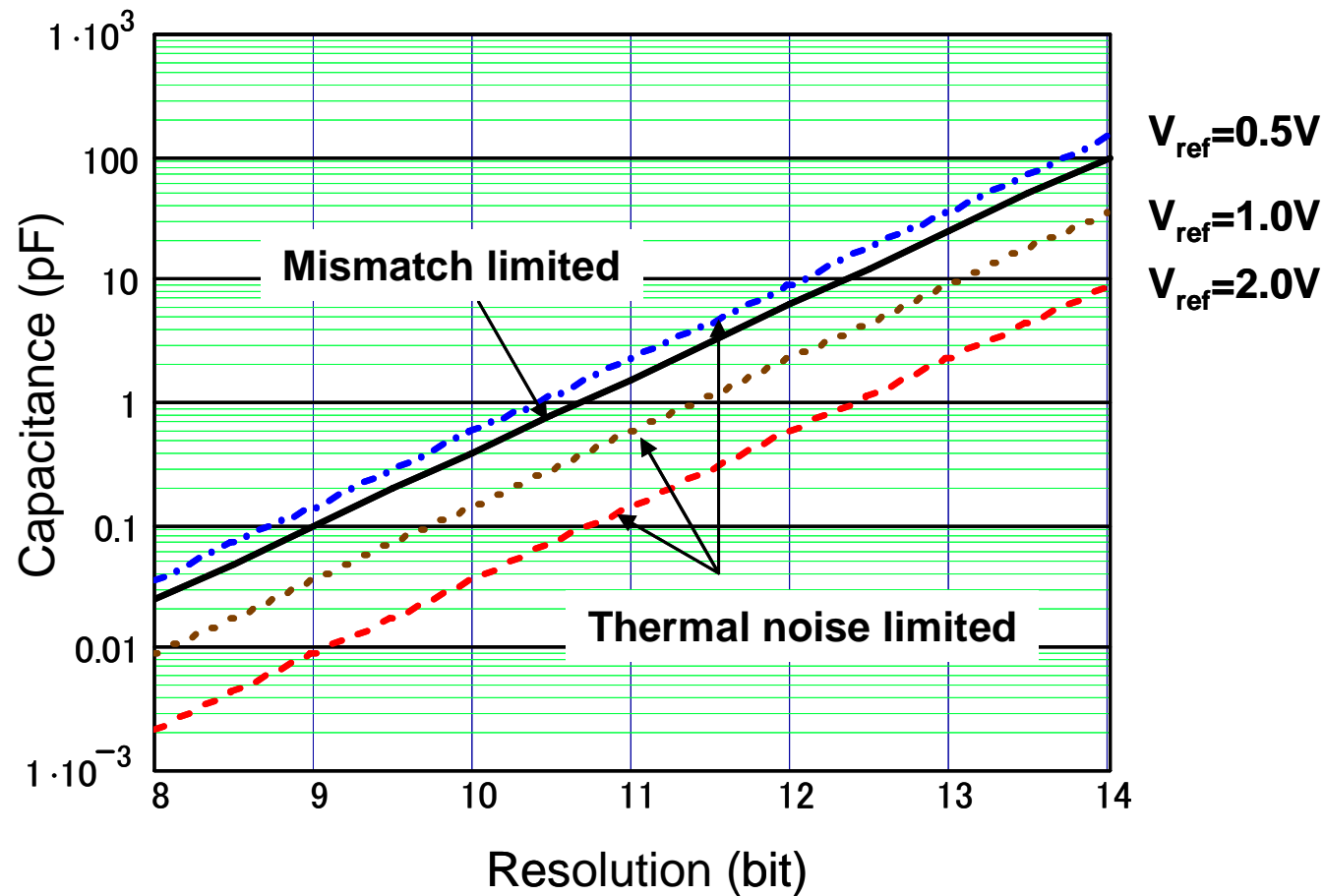
高SNRの場合 b) 低信号振幅により容量を上げざるを得ない場合

$$I_{ds} \propto g_m \propto GBW \cdot C_L \propto s^2 \quad P_d \propto s$$

低電圧化に伴い消費電力は上がる

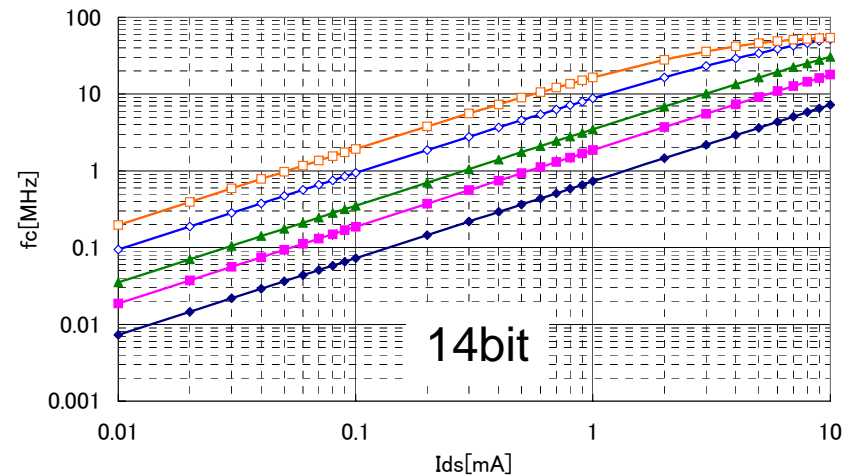
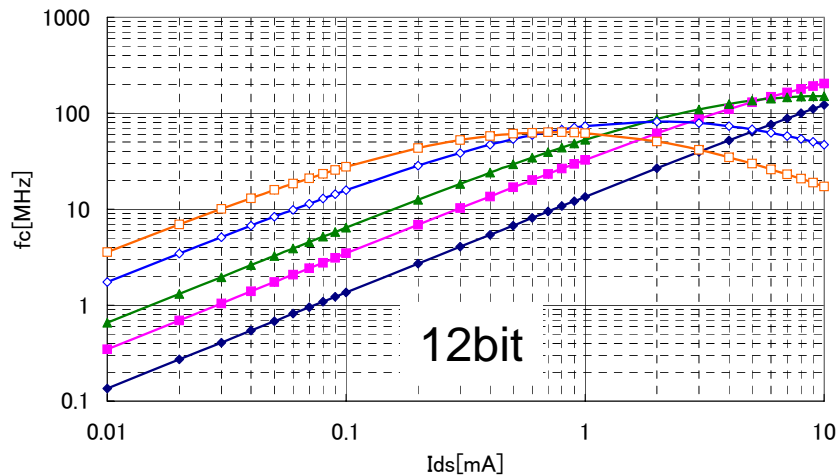
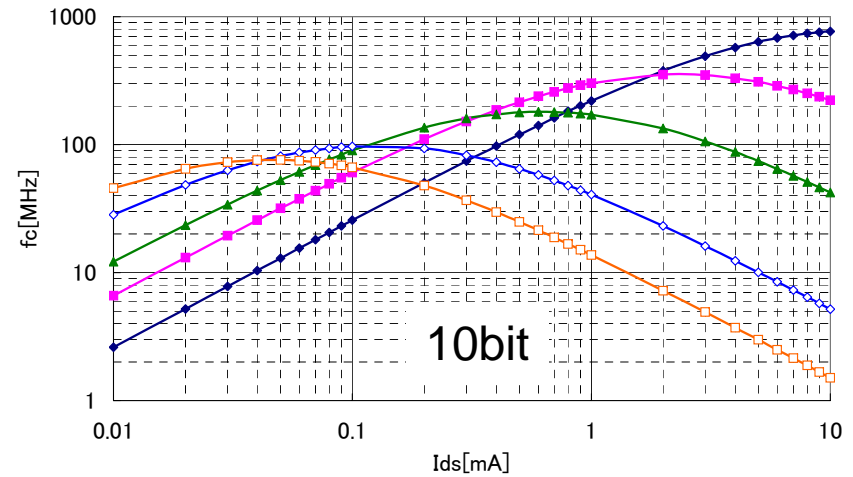
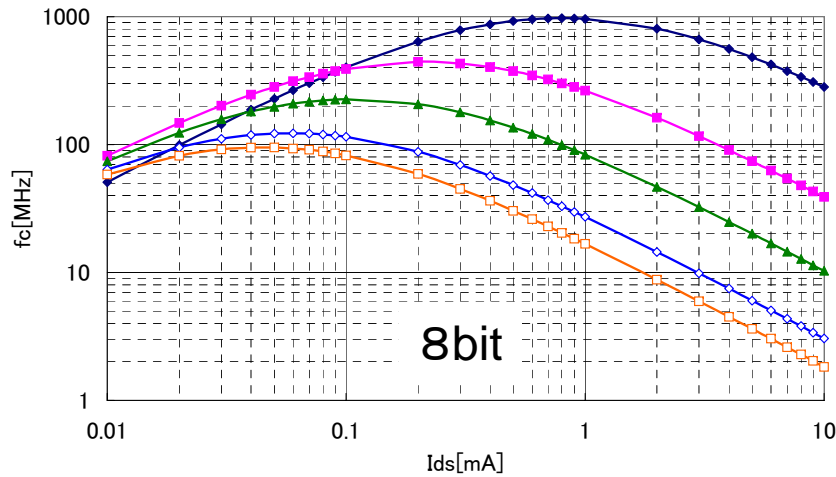
パイプライン型ADCの分解能と容量

ADCの分解能が高くなる(高SNRになる)と必要な容量は大きくなる
また、信号振幅が下がるとますます大きくなる



パイプライン型ADCの変換周波数

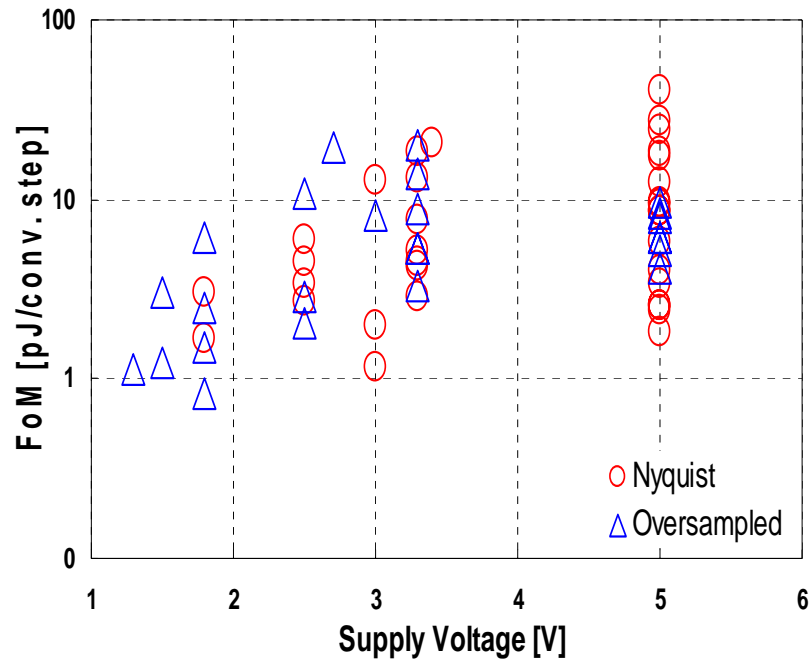
低分解能では微細化、高分解能では緩いプロセスが有利。



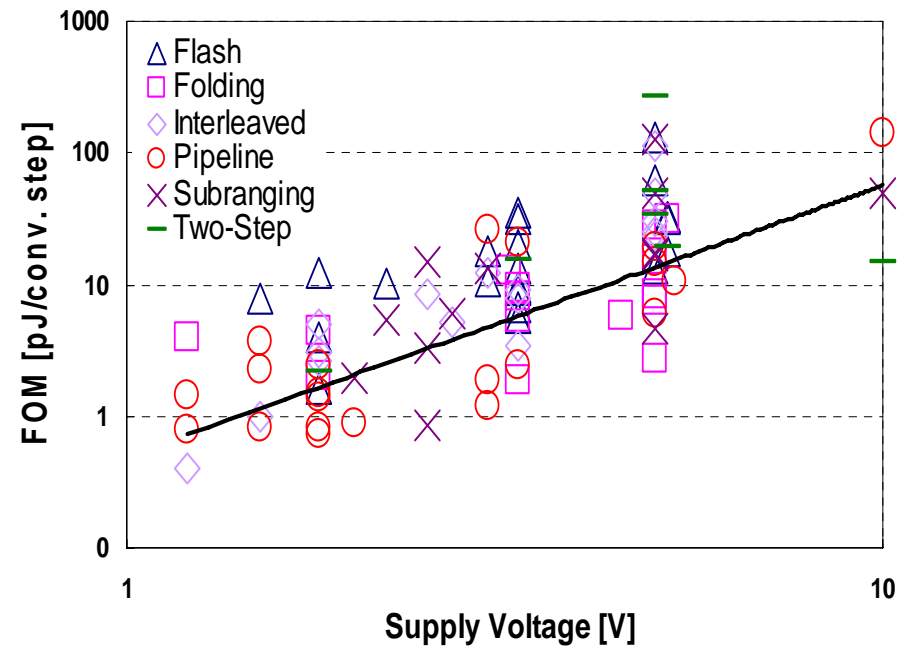
ADCの性能と動作電圧

10ビット以下では微細化・低電圧化に伴いFoMは確実に下がったが、12ビット以上では微細化・低電圧化に伴うFoMの改善は緩やかである。

12ビット以上



10ビット以下



$$FoM = \text{消費電力} / (\text{変換ステップ} \cdot \text{変換周波数})$$

まとめ 1

- ・ CMOSの微細化
 - 高周波化→60GHz応用が可能に
 - OPアンプ性能が課題に
 - ・ 低利得
 - ・ 低振幅
 - 低電圧・低振幅化→SNR確保のため容量増大
 - ・ 低SNR・低分解能については高速化・低電力化を促進
 - ・ 高SNR・高分解能については高速化・低電力化が困難

A/D変換器

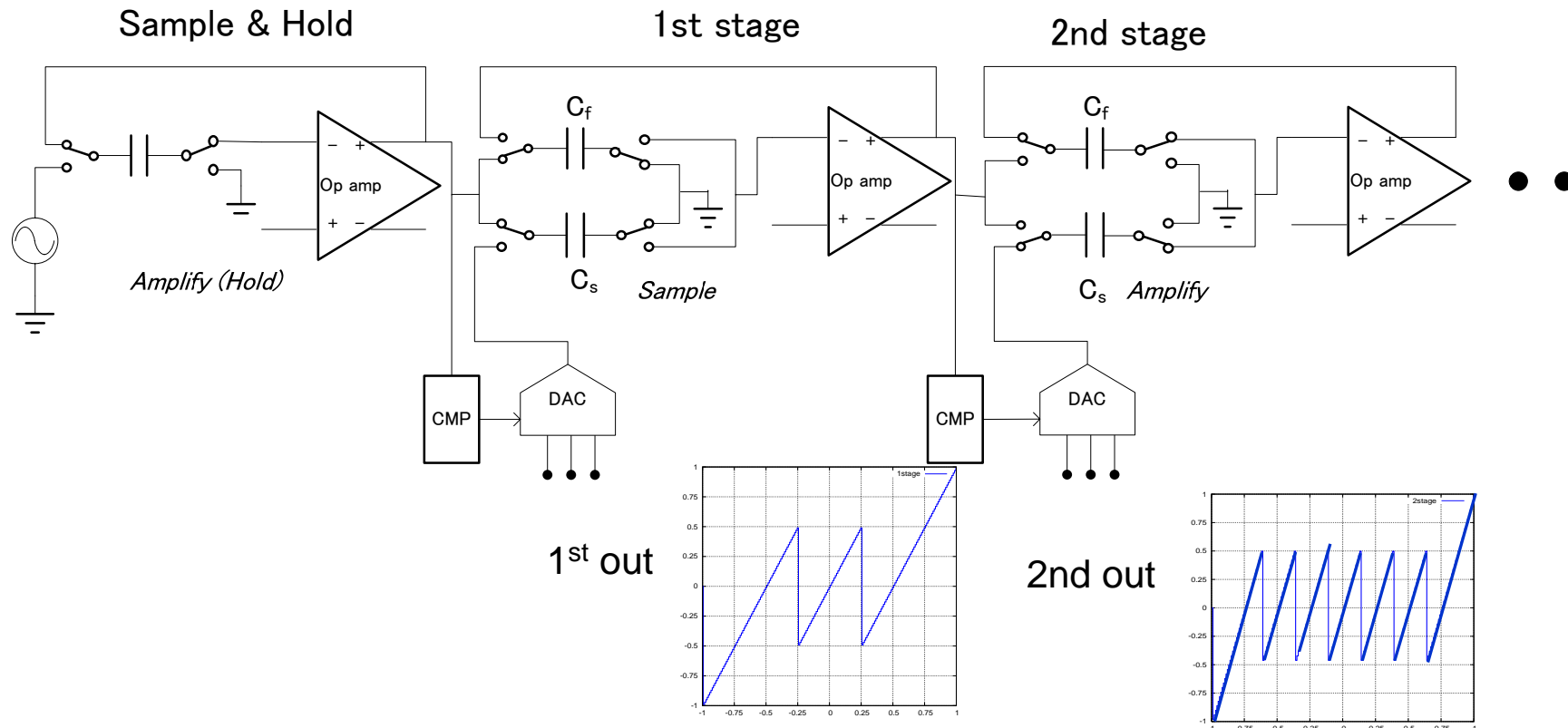
- ・パイプライン型ADC
- ・直並列型ADC
- ・逐次比較型ADC

ADCはOPアンプを用いない方式が検討されはじめている

パイプライン型ADC

現在の高速・高精度ADCの主流

- パイプライン型ADCは
- ・ 標本化
 - ・ 電圧比較 (ADC)
 - ・ 比較結果に応じたDAC電圧設定
 - ・ (信号-DAC電圧)の増幅(通常2倍)
- をパイプライン的に行う



OPアンプから比較器+電流源へ

パイプライン型ADCは高利得のOPアンプが必要だが、微細化・低電圧化に伴い実現が困難に

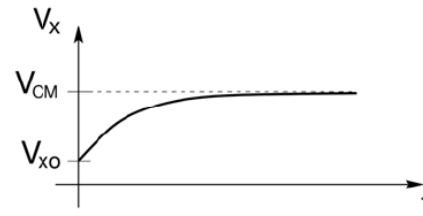
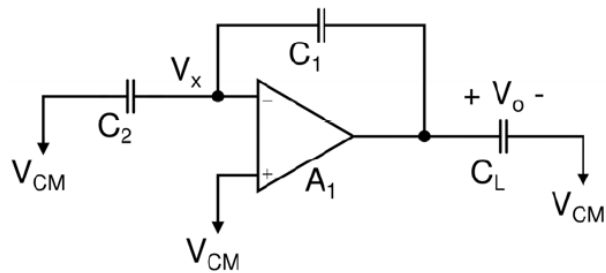
$$G(dB) > 6N + 10$$

分解能14ビットでは94dB以上の利得が必要

N:分解能

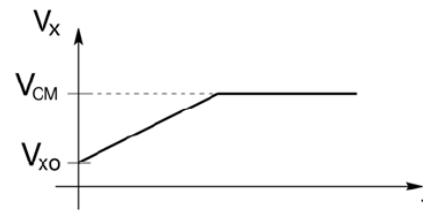
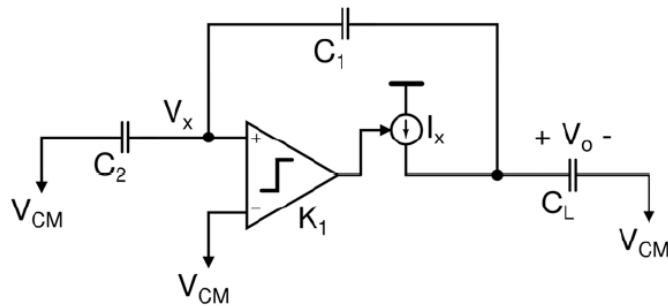
増幅回路1段あたり20dB程度、4段が上限なので12ビット以上は困難に

→OPアンプをやめて、その機能を比較器と電流源に置き換える



OPアンプの負帰還回路は
入力が仮想接地になる。
出力は V_x が V_{CM} 漸近するように
決まる。

従来のOPアンプ回路

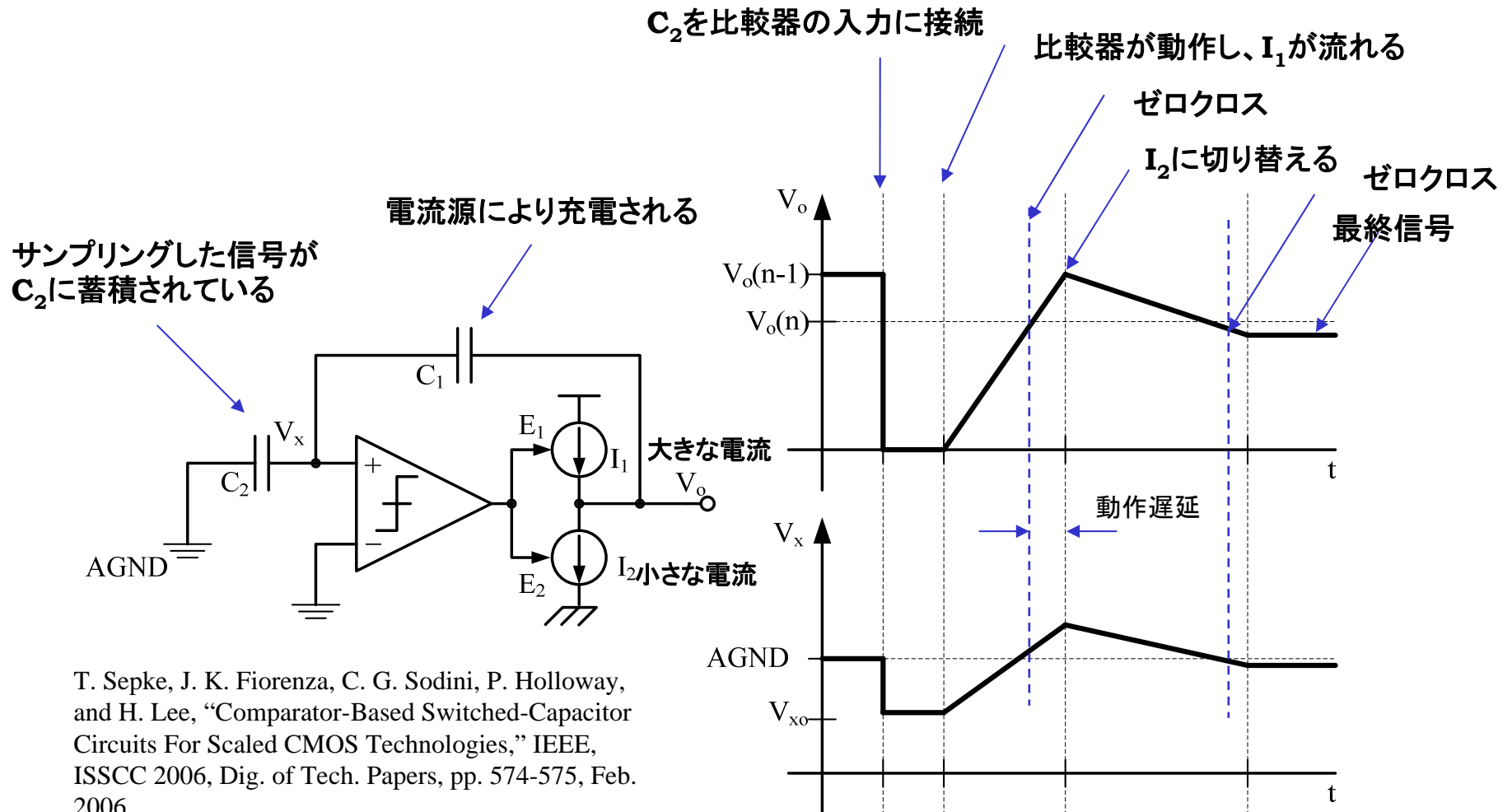


Comparator-Based Switched-Capacitor

コンパレータのディレイが無いと
仮定すれば、 $V_x = V_{CM}$ となる時点で
出力が決定される。
OPアンプの負帰還回路と同様な
動作が可能。

ADCへの応用

比較器と大・小2つの電流源を用いることで
比較器の動作遅延による誤差を少なくなるようにしている。

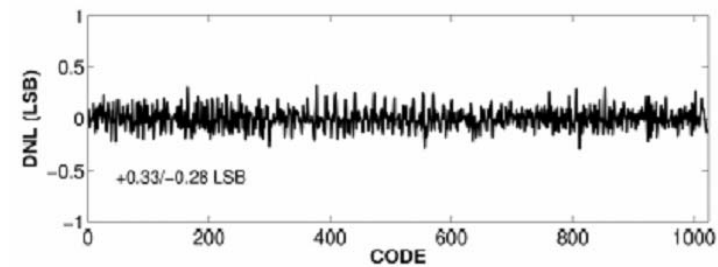
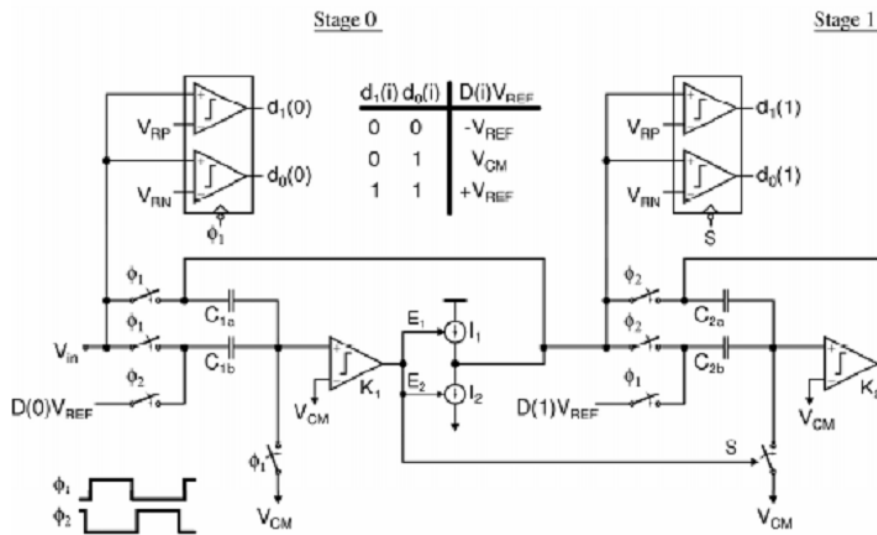


構成と試作結果

分解能10bitのパイプライン型ADCを設計・試作。
8MHz動作時の消費電力は2.5mW, FoM=0.3pJ/b

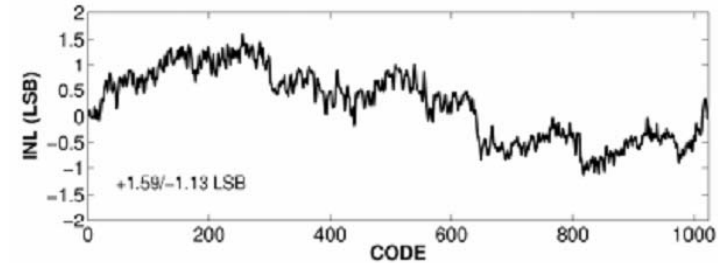
FoMは低いが、驚くほど低くはない

全体構成 1.5bit冗長型
分解能10bit



$f_c = 8\text{MHz}$
Power = 2.5mW
$$\text{FoM} = \frac{P}{f_c \cdot 2^N}$$

= 0.3pJ/b

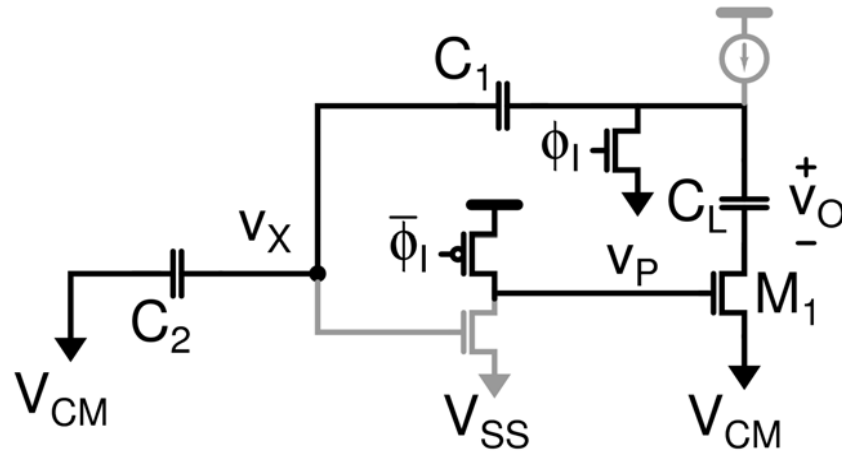


N=10bit

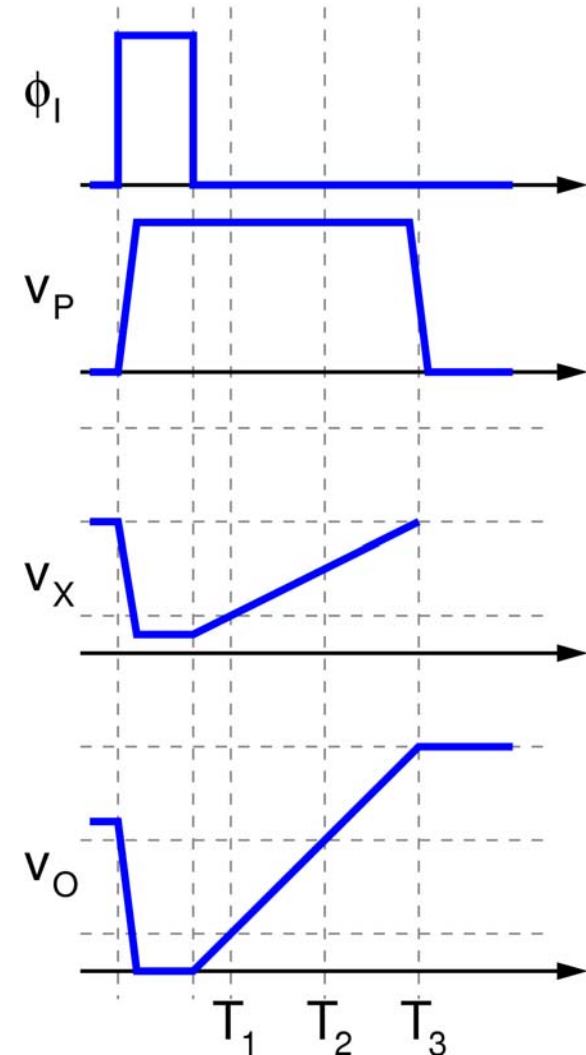
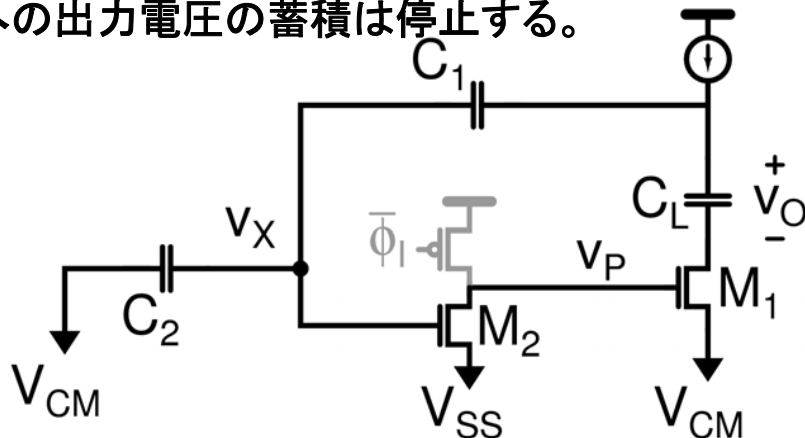
ダイナミック型比較器の採用

貫通電流が流れない比較器の採用で更に低電力化を図る

$V_x < V_T$ においては M_2 はオフ、 M_1 はオンとなり、 C_1 は電流源で充電され、出力電圧は C_L に蓄えられる。

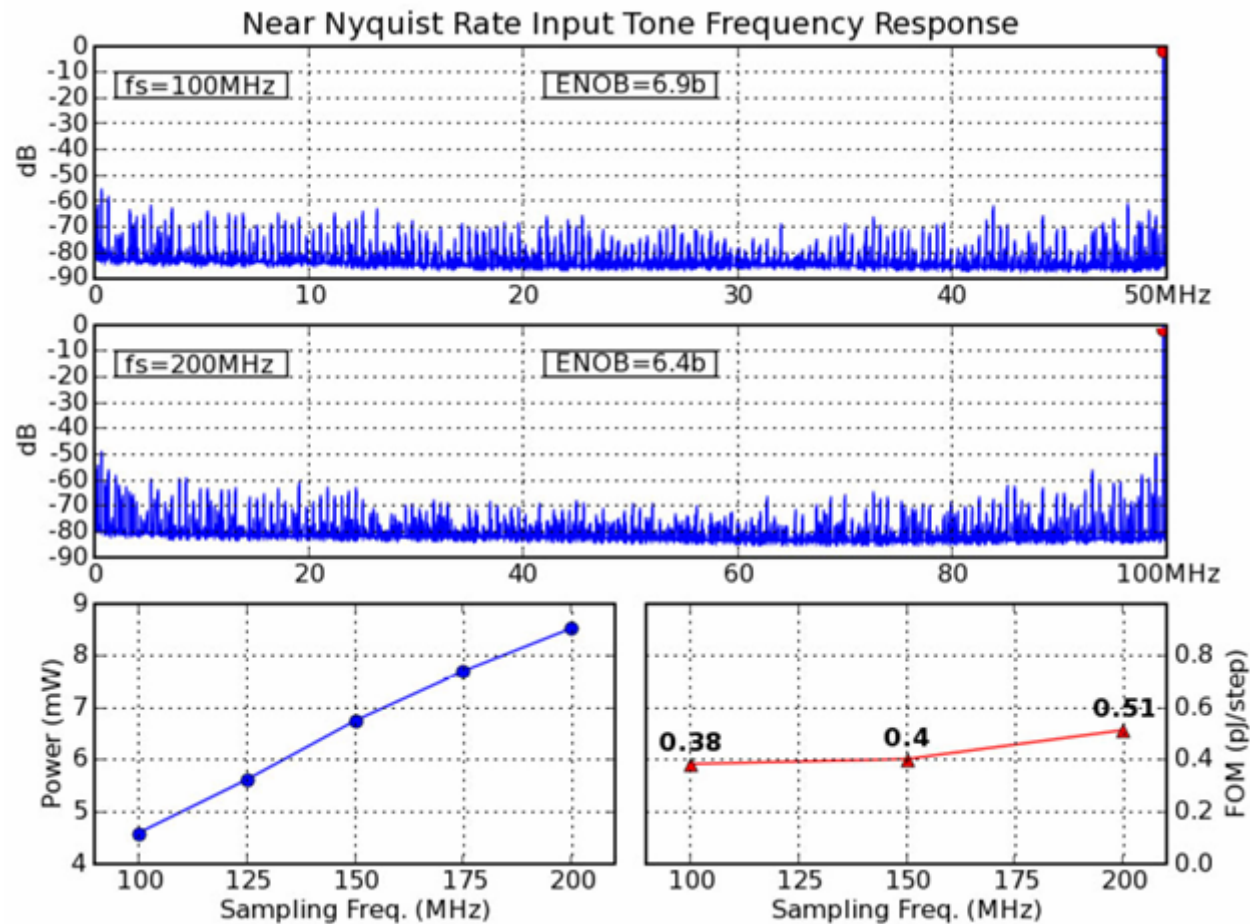


$V_x > V_T$ においては M_2 はオン、 M_1 はオフとなり、 C_L への出力電圧の蓄積は停止する。



得られた性能

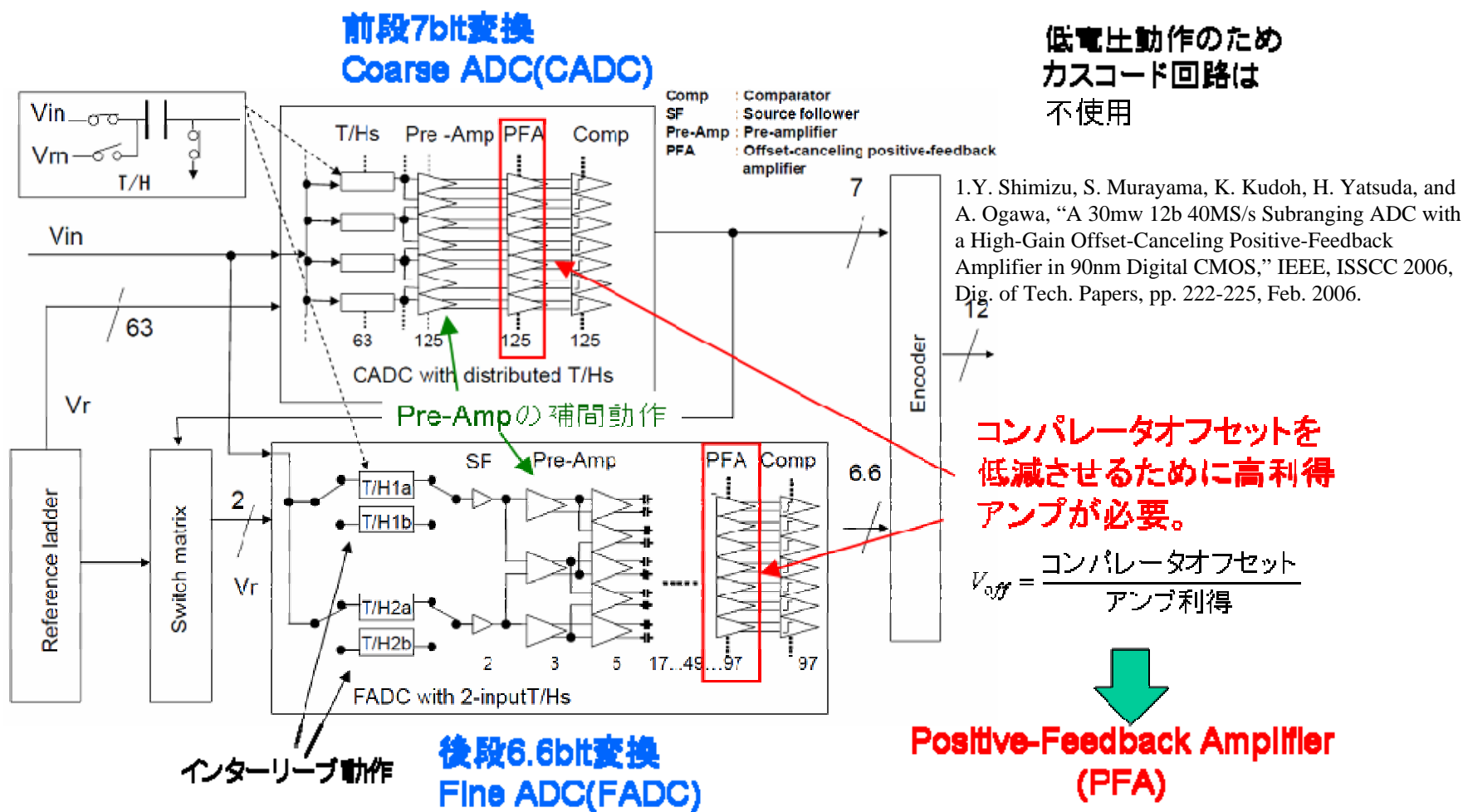
8bit ADCを設計・試作。200MHzにて有効ビット6.4bit Pd=9mW
FoMは0.5pJ/stepが得られた。



L. Brooks and H. Lee, "A Zero-Crossing-Based 8b 200MS/s Pipelined," IEEE, ISSCC 2007, Dig. of Tech. Papers, pp. 460-461, Feb. 2007.

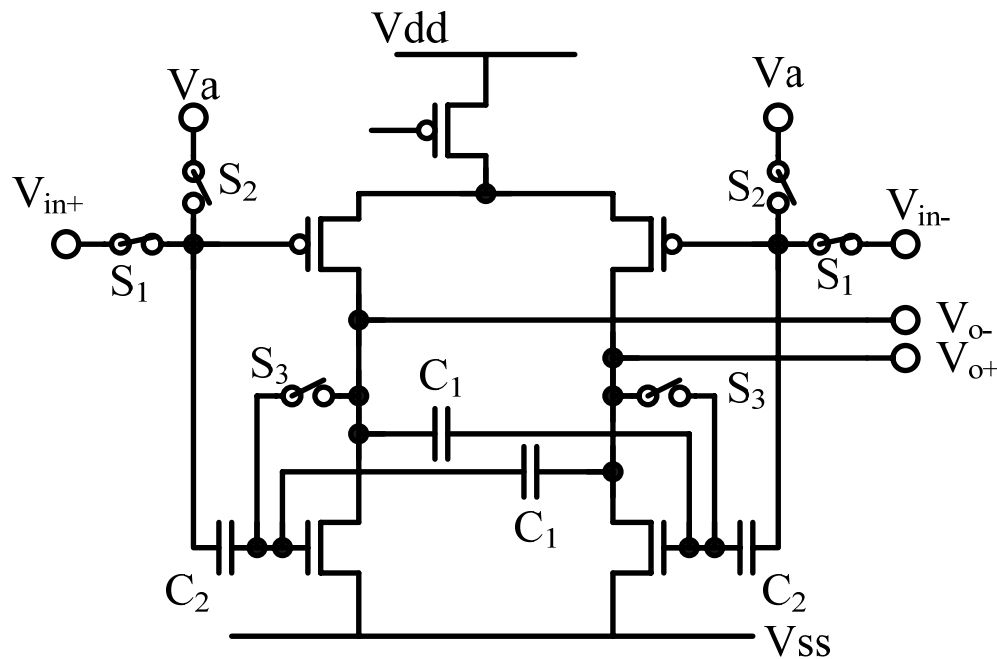
直並列型ADC

直並列型ADCはOPアンプを用いないので低電力だが比較器の高精度化が不可欠である



正帰還を用いた比較器

従来の回路では15倍の利得しか得られないが
正帰還により200倍まで向上
→オフセット電圧が減少



Reset時

S1が開、S2, S3が閉。
T3, T4がダイオード接続され、
C1, C2にオフセット電圧がストアされる。

Amp時

S1が閉、S2, S3が開。
C2によりDCシフトされながら、
T1, T3及びT2, T4をドライブできる。
更にC1により正帰還がかかり利得が上がる。

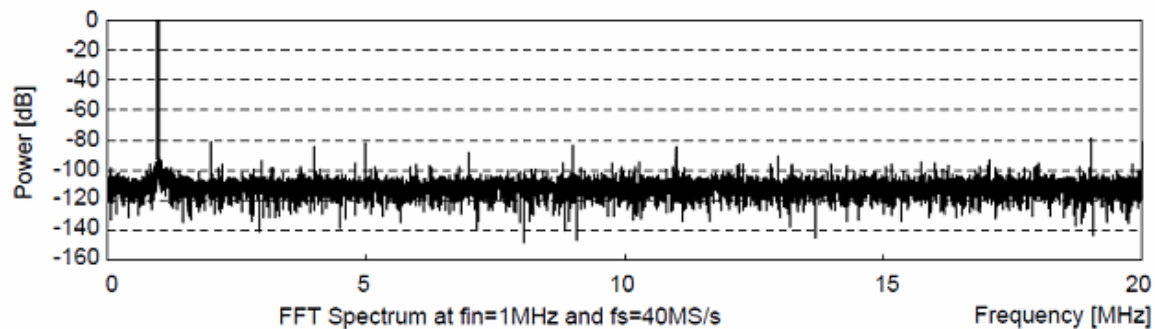
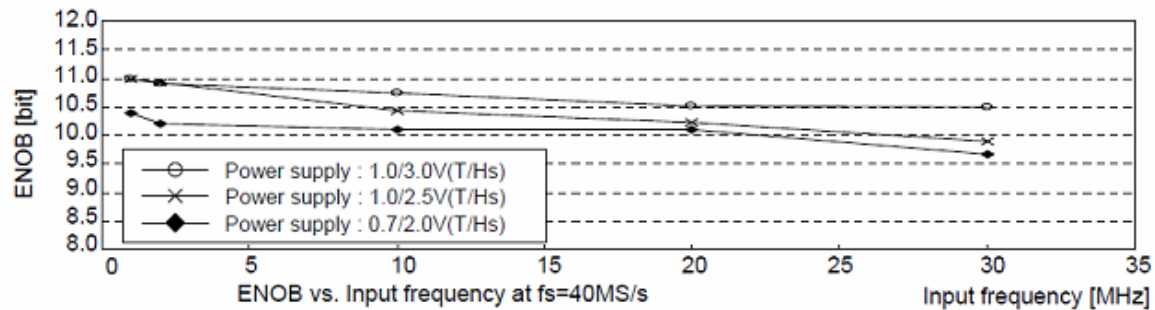
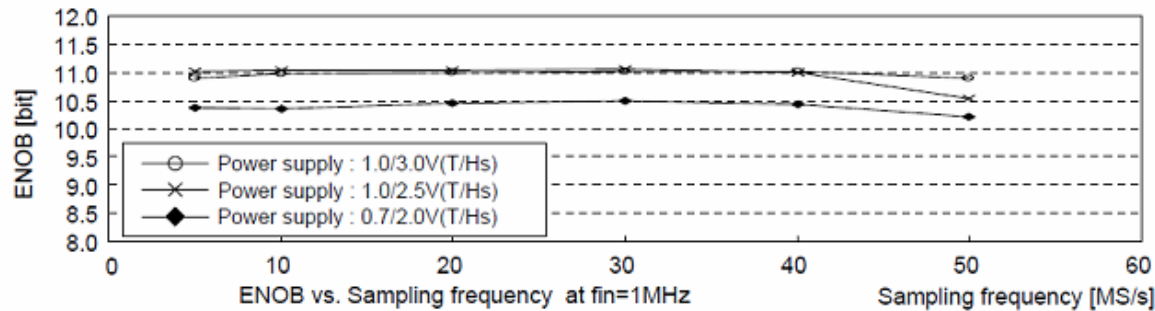
評価結果

10.5から11.0の高い有効ビットを実現。
40MHz動作時に30mWの消費電力

90nm CMOS 1V動作

0.4pJ/step

高分解能の割には低電力

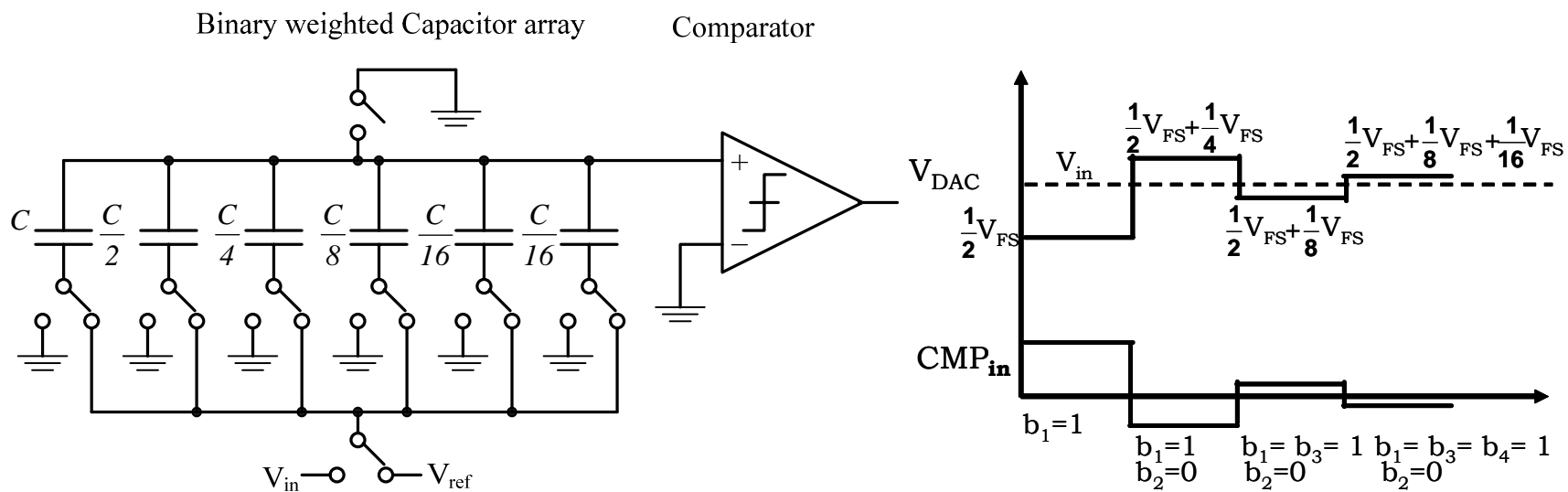


逐次比較型 ADC

バイナリサーチのアルゴリズムを用いたものが逐次比較型ADCである。

OPアンプを用いないので元々低電力であるが
高速化・高精度化が必要

- ・比較的高精度 16bit程度
- ・低消費電力(OPアンプを使用しない)
- ・低速(マルチサイクル)



高速化手法

非同期クロック

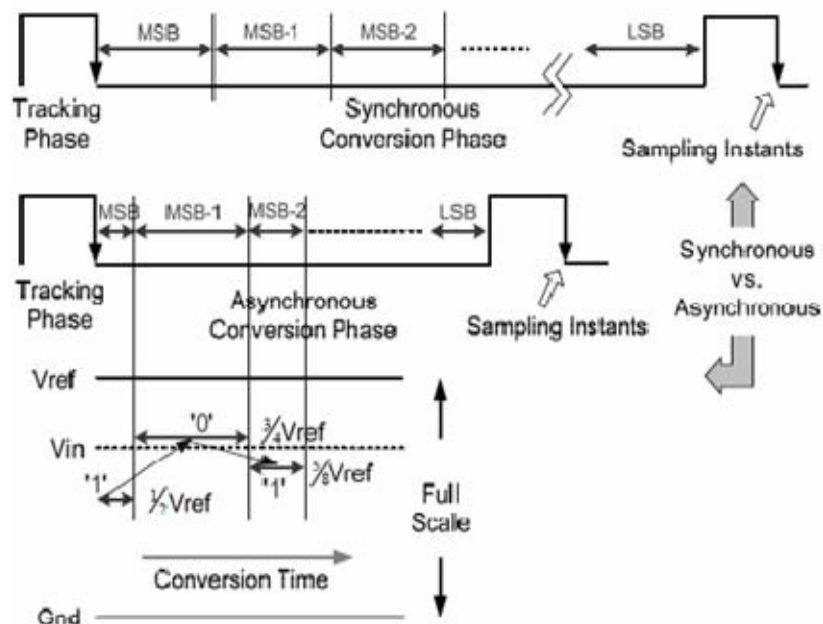


Figure 31.5.1: Reduction of conversion time by asynchronous comparisons.

従来方式:

逐次比較ADCはクロックに同期したビットサイクルで変換を行う。そのため高速ADCを実現するためには高速クロックが必要。
→回路の複雑化・消費電力増大

提案方式:

ビットサイクル期間をクロックに同期させない。

ラダー型容量アレー

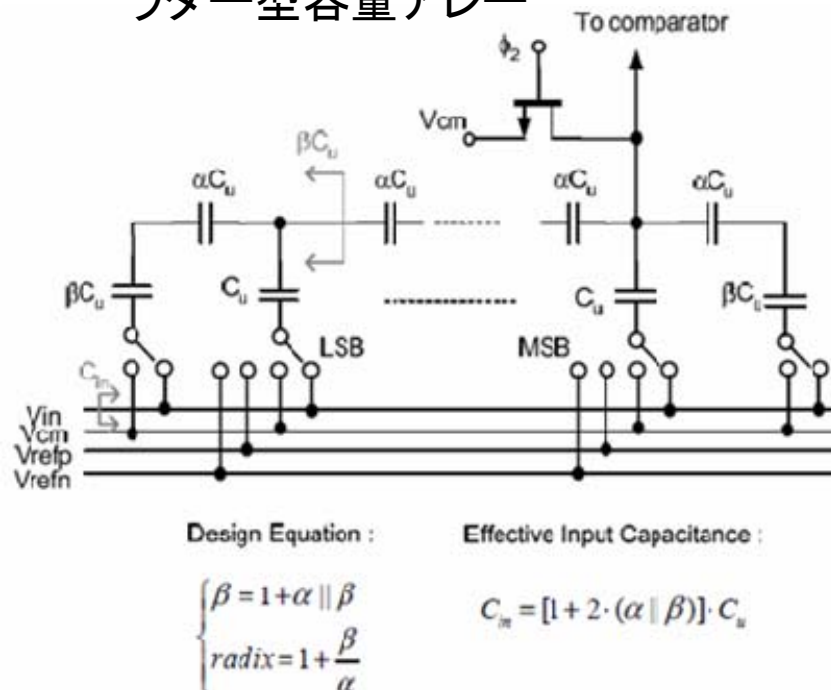


Figure 31.5.4: Non-binary capacitive ladder network.

・ αC_u のように容量の直列接続を利用し冗長構造を実現する。この構成を用いると、入力容量を劇的に低減することが可能になり、この例だと90fFになる。

1.S. W. M. Chen and R. W. Brodersen, "A 6b 600MS/s 5.3mW Asynchronous ADC in 0.13um CMOS," IEEE, ISSCC 2006, Dig. of Tech. Papers, pp. 574-575, Feb. 2006.

評価結果

高速・超低電力であるが、実効分解能が5.3bitと低い

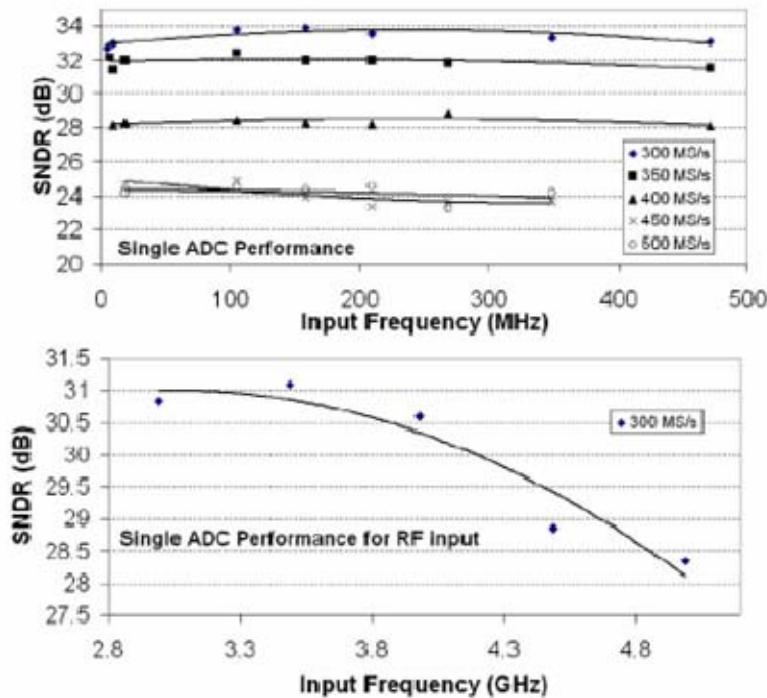


Figure 31.5.5: Measured SNDR versus f_{in} and f_{in} (up to 5GHz) for single ADC.

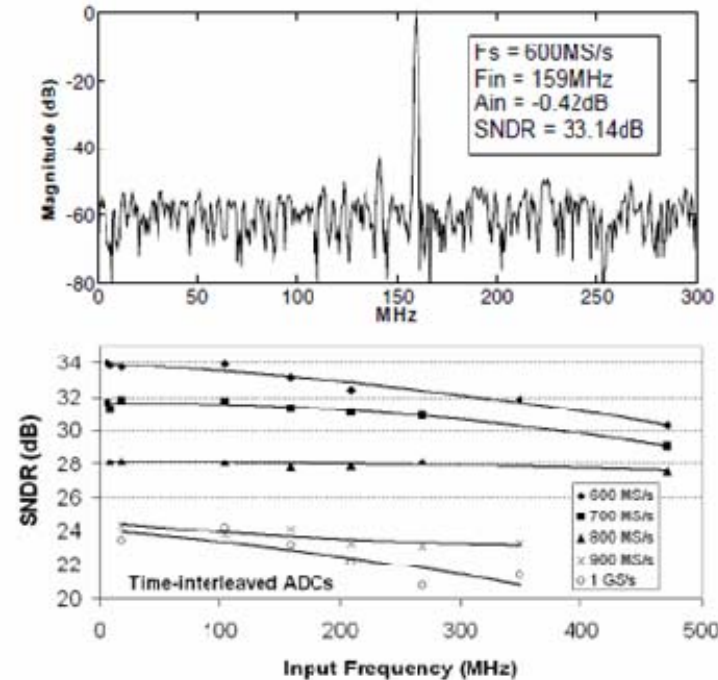


Figure 31.5.6: Measured FFT spectrum and SNDR versus f_s and f_{in} for dual ADCs.

0.13um CMOS
消費電力: 5.3mW

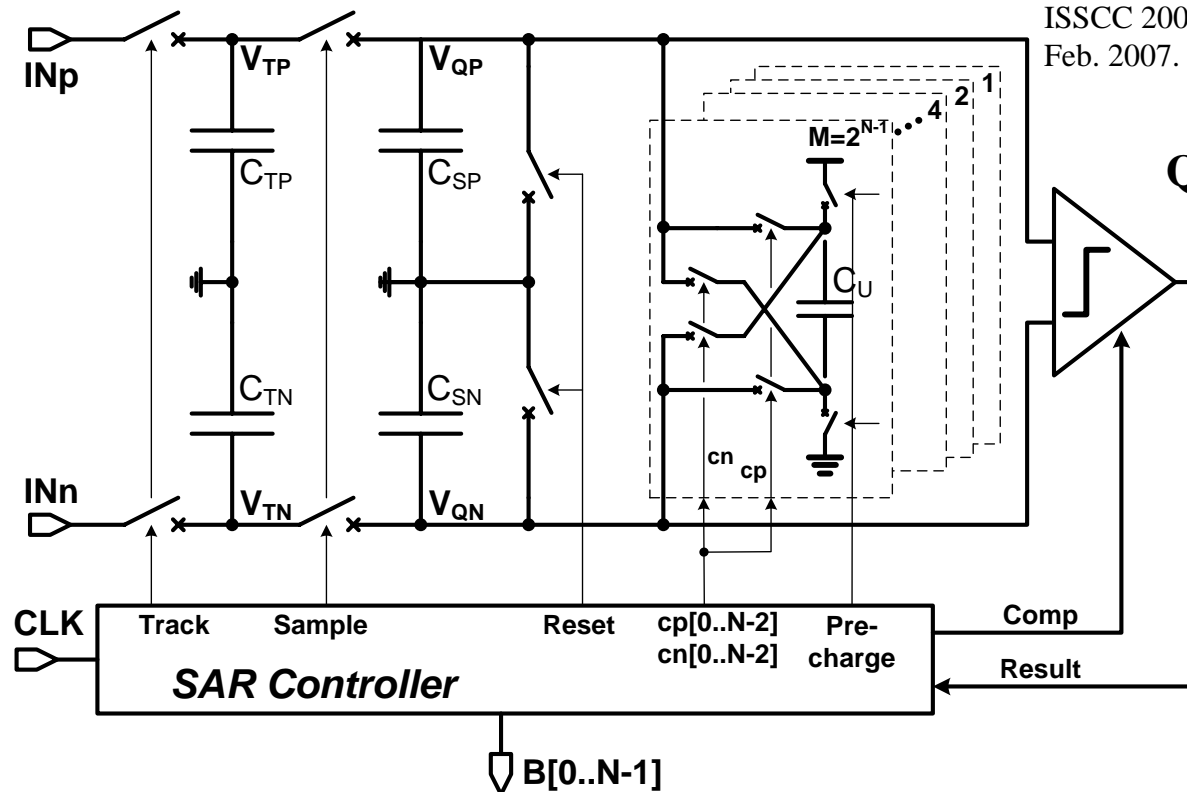
ENOB of a single ADC: 5.3b @300MS/s, 3.7b@500MS/s.

FoM:0.22pJ/conversion-step at 600MS/s

65fJ/conv. を達成した逐次比較型ADC

あらかじめ参照電圧を重み付けされた容量に保存しておき
 V_{QP} , V_{QN} 間を比較して極性を変えながら接続することで逐次比較を実現する。
 参照電圧の逐次印加が不要なのでセットリングが速く、バッファが要らないので低電力

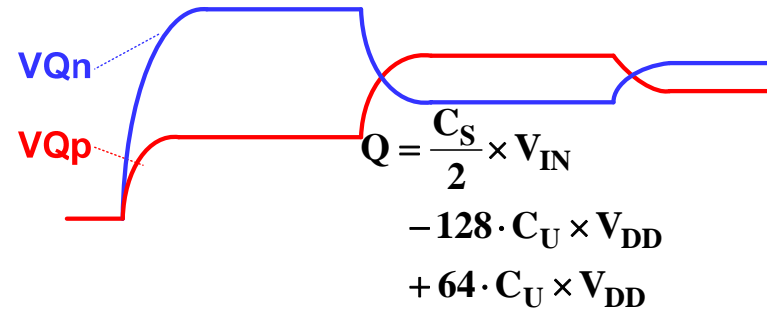
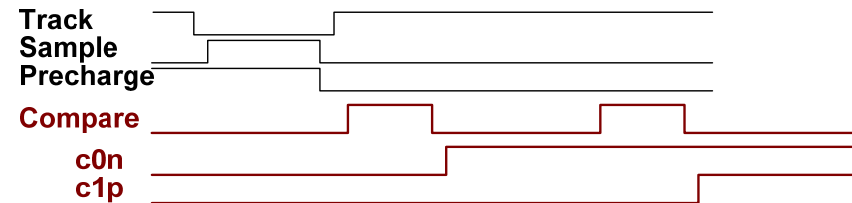
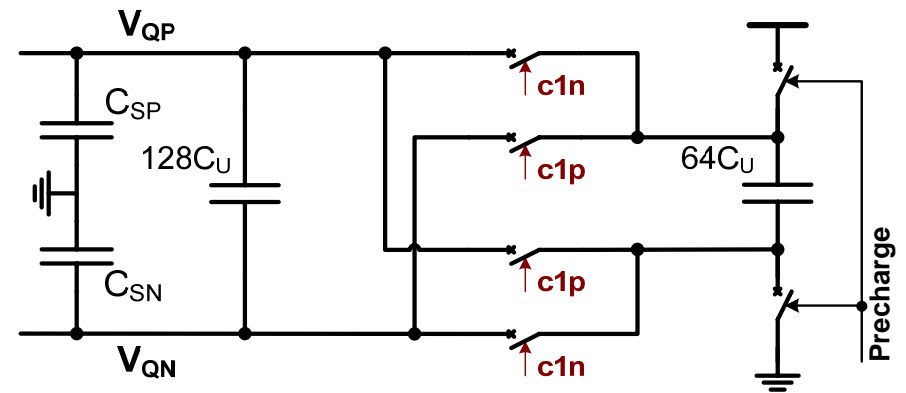
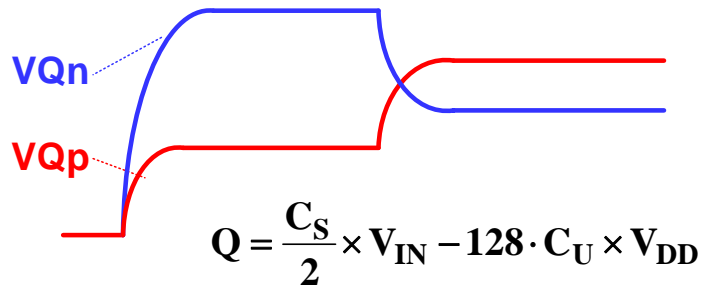
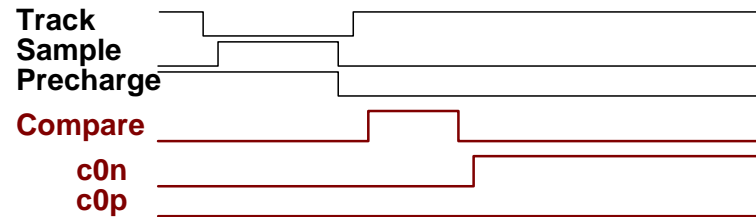
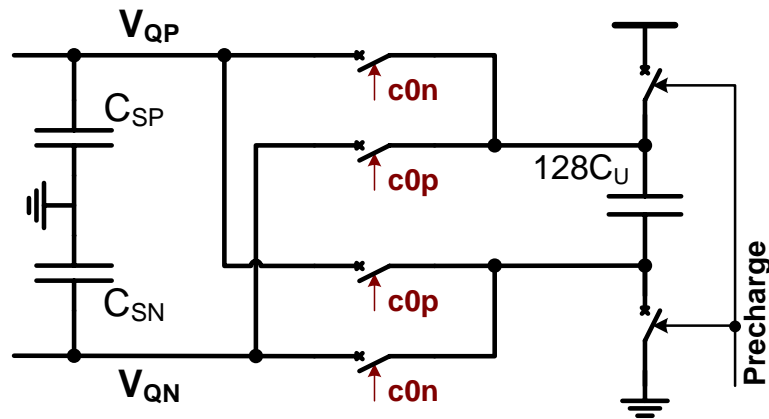
J. Craninckx and G. Van der Plas,
 "A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," IEEE
 ISSCC 2007, Dig. of Tech. Papers, pp.246-247,
 Feb. 2007.



$$Q_{REF} = \sum_i 2^i C_U \cdot V_{DD}$$

逐次変換の方法

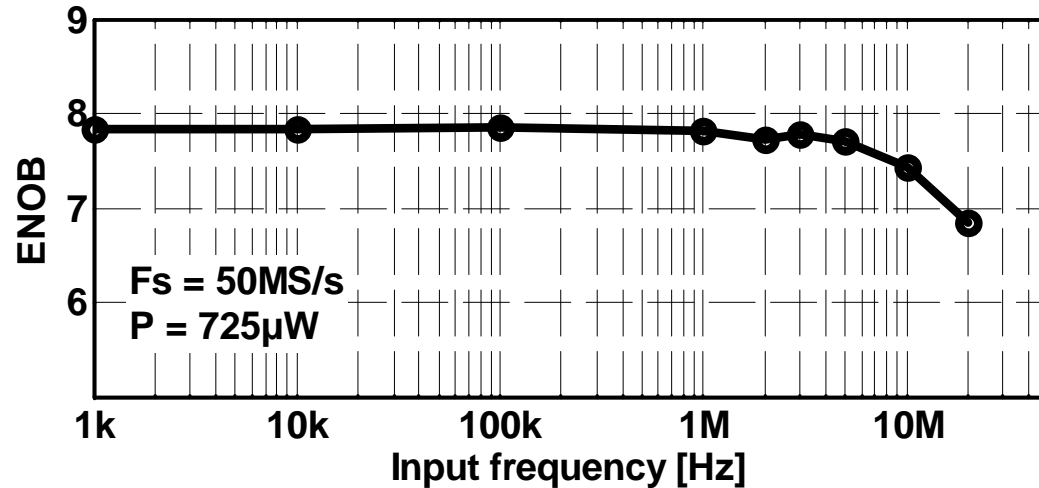
1. 差動入力信号を C_{sp} , C_{sn} に保存し、 V_{QP} , V_{QN} 間を比較してMSBを決定する。
2. MSBの状態に応じて容量 $128C_U$ の接続極性を切り替えて C_{sp} , C_{sn} に接続
3. 減少した差動電位を比較してMSB-1 bitを決定、以下繰り返す



± ...

評価結果

FoM=65fJ/stepの驚異的な低FoMを達成



変換周波数20MHzで
ナイキスト周波数まで
7.8bitの有効ビットを達成

20MHzで0.3mW

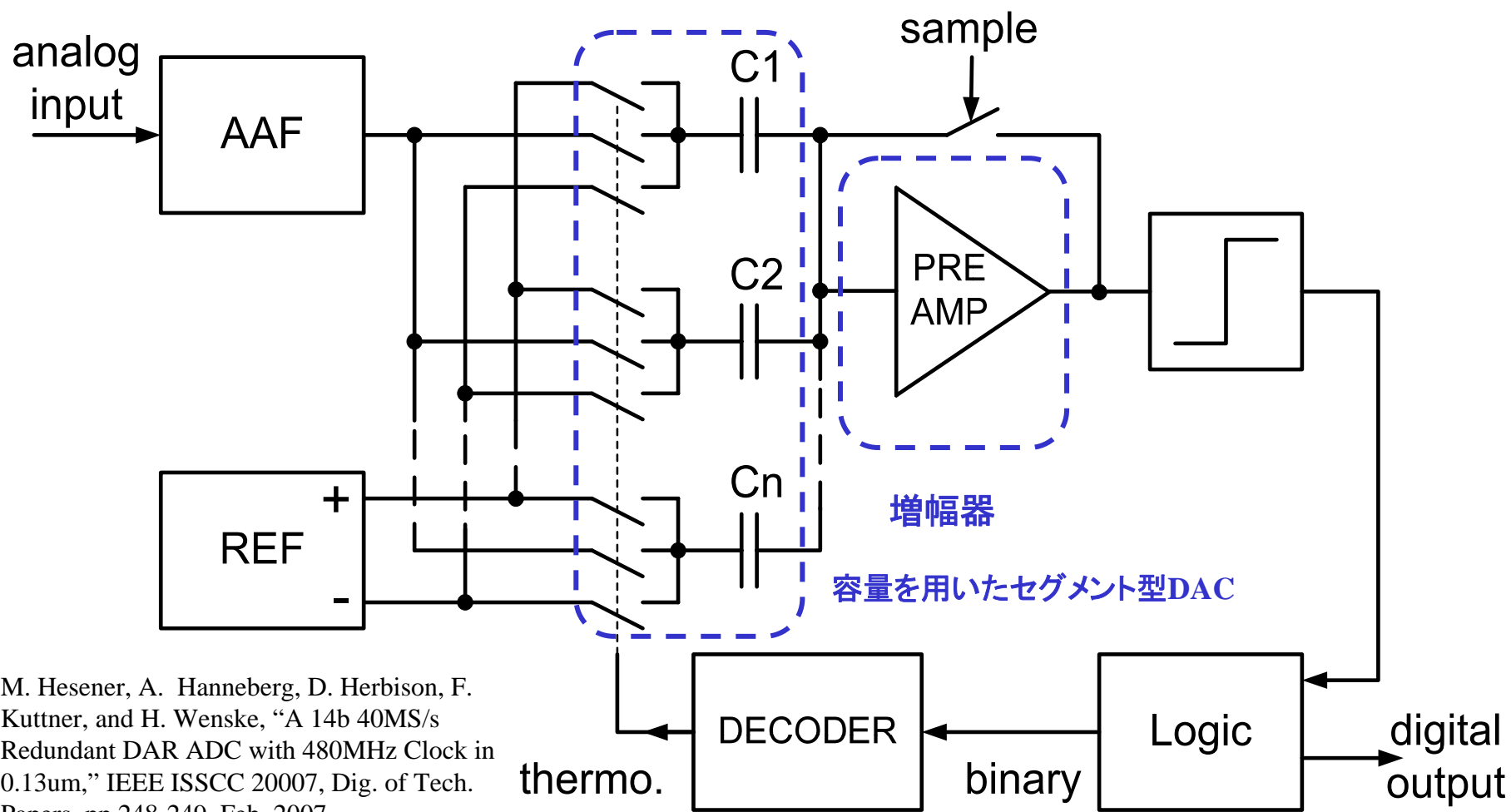
FoM=65fJ/stepの驚異的な低FoMを達成

90nm CMOS 1V動作

ISSCC06 Paper #	Arch.	Fs [MS/s]	ENOB	P [mW]	FoM [fJ]	FoM includes		
						Ref.	Clock	Dec.
3.1	CTΔΣ	40	12	50	300	-	Yes	Yes
3.4	ΔΣ	4.4	12.6	13.8	500	-	No	No
12.1	PL	100	9.4	39	570	-	-	-
12.3	Subr.	50	10.4	30	440	-	-	-
12.4	PL-CBSC	7.9	8.7	2.5	760	-	-	-
12.5	SAR	0.1	10.5	0.025	170	No	No	-
12.7	PL	50	9.2	15	510	-	-	-
31.1	Flash	1250	3.7	2.5	160	-	-	-
31.5	SAR	300	5.3	2.65	220	No	Yes	-
This work	CS-SAR	20	7.8	0.29	65	Yes	Yes	-

セグメントDACと増幅器を用いた逐次比較型ADC

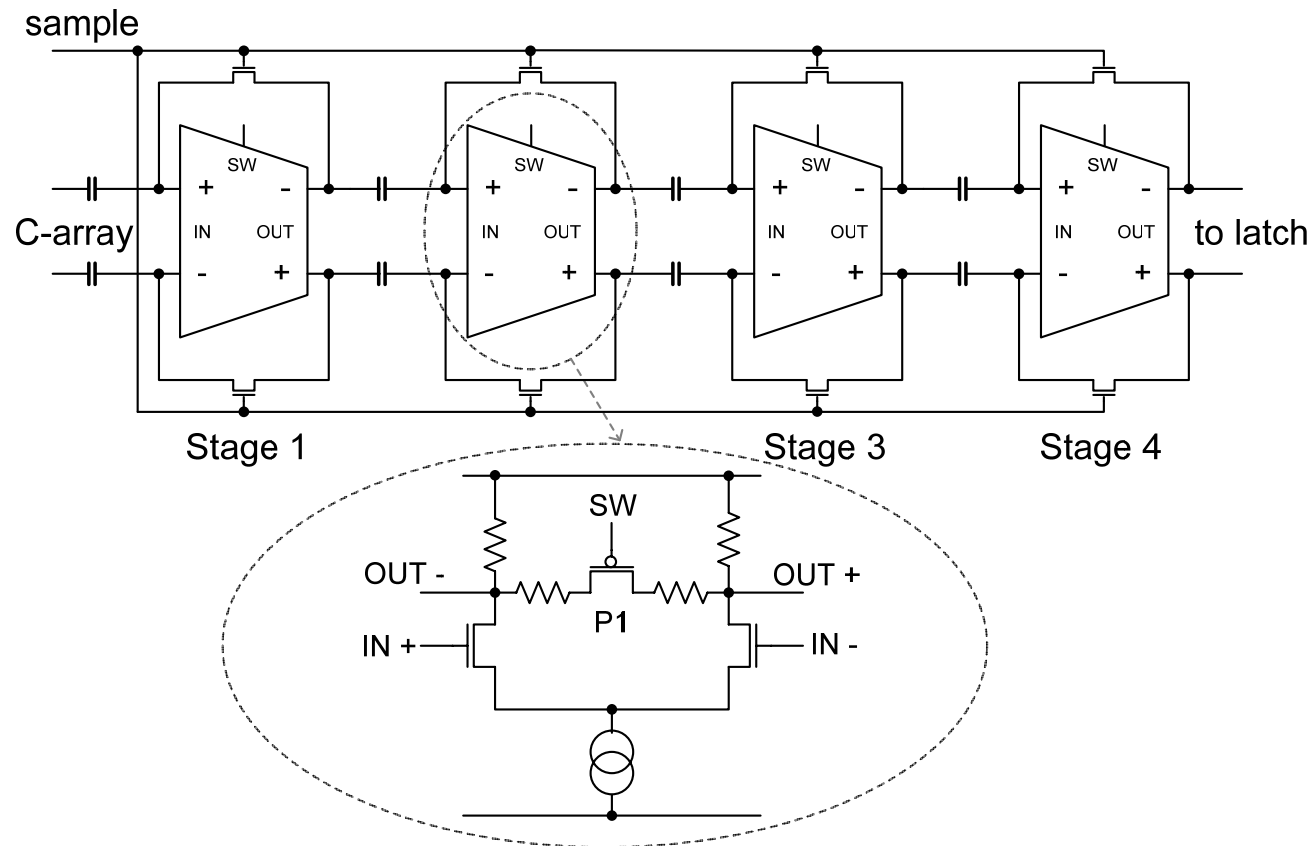
高精度化のために比較器の前に増幅器を配した
セグメント型容量アレーにより単調性を確保



M. Hesener, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, "A 14b 40MS/s Redundant DAR ADC with 480MHz Clock in 0.13 μ m," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.248-249, Feb. 2007.

利得と帯域を可変にした増幅器

スイッチ電圧を制御することで利得と帯域を可変にできる。
→変換の初期フェーズでは利得を小さくして高速性を追求。
変換が進むに従い利得を大きくして変換精度を高めている。



評価結果

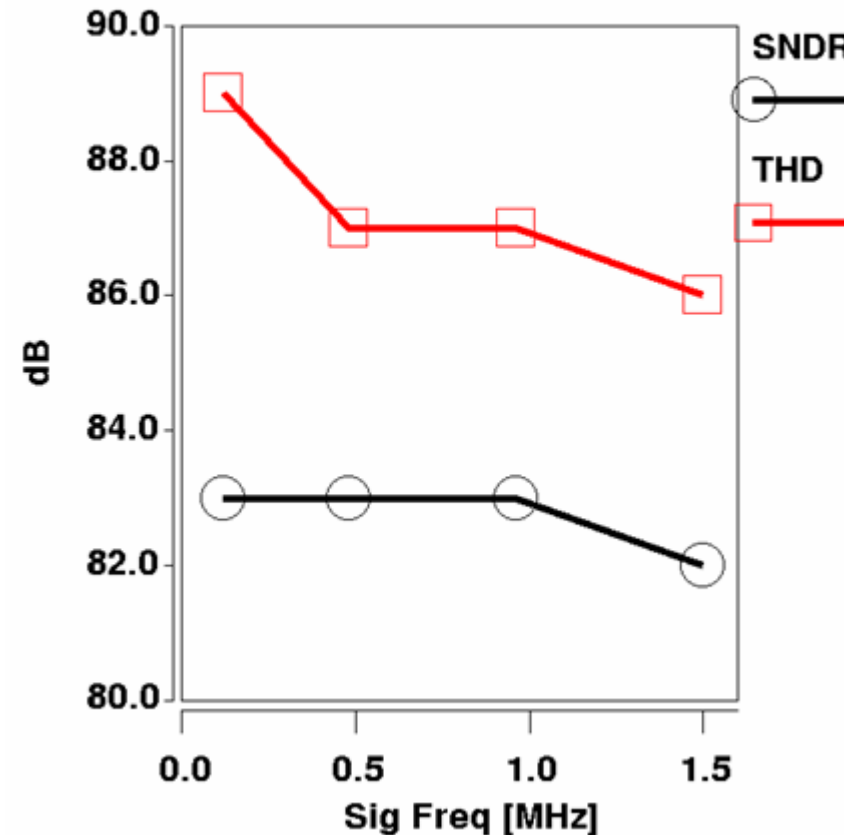
変換周波数40MHzにて実効分解能13.5bitを66mWで達成
(非常に完成度が高い発表である)

FoM=0.14pJ/step

0.13um CMOS

Supply voltage	1.5V
Input range	±0.9V diff.
Sample frequency	40MHz
Internal clock frequency	480MHz
Analog power	49mW
Digital power	17mW
Total power	66mW

THD & SNDR vs. Signal Frequency



まとめ 2

- ・ A/D 変換器の動向
 - OPアンプレスの変換方式に
 - 逐次比較型や直並列型で非常に低いFoMを達成
 - ・ 容量のみの演算
 - ・ 比較器の定常電流を抑制
 - ・ 信号振幅を維持(OPアンプレス)
 - ・ 微細化によりスイッチ・ロジックの高速・低電力化
 - 比較器の特性(ノイズ・オフセット電圧・速度)が課題

RF CMOS回路

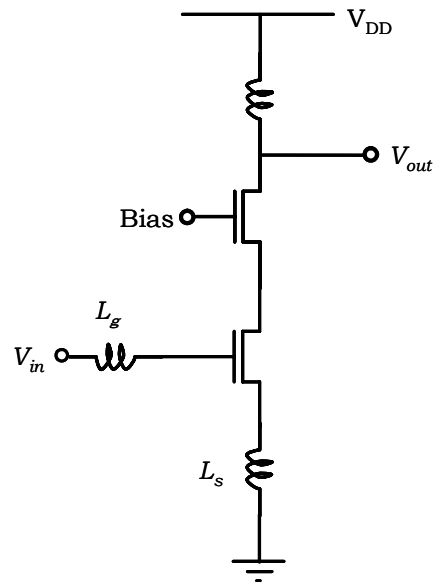
- インダクタレスLNA
- デジタルポワラPA
- ミリ波SoC

インダクタレスLNA

インダクタレスのRFCMOS回路が増えてきた

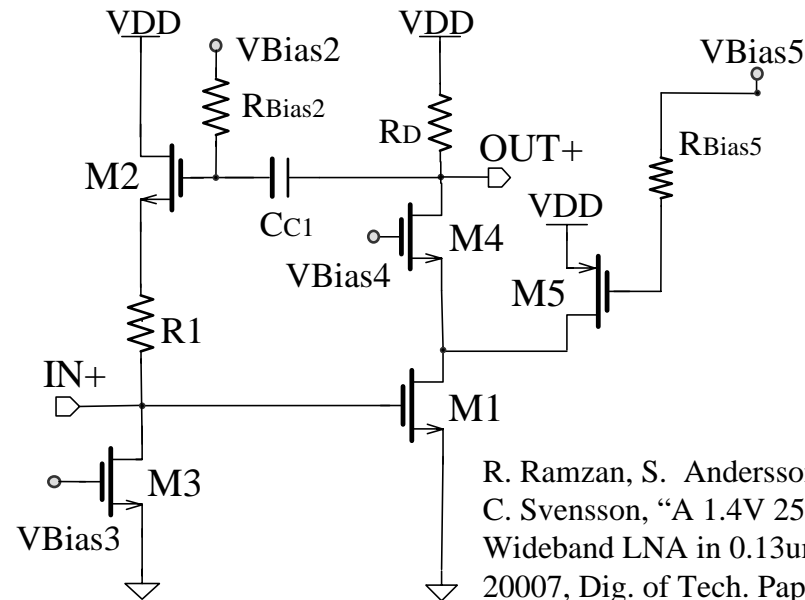
通常のLNA

- ・低NF (1dBから1.5dBくらい)
- ・狭帯域 (共振器を使用)
- ・大面積 (インダクタが多い)



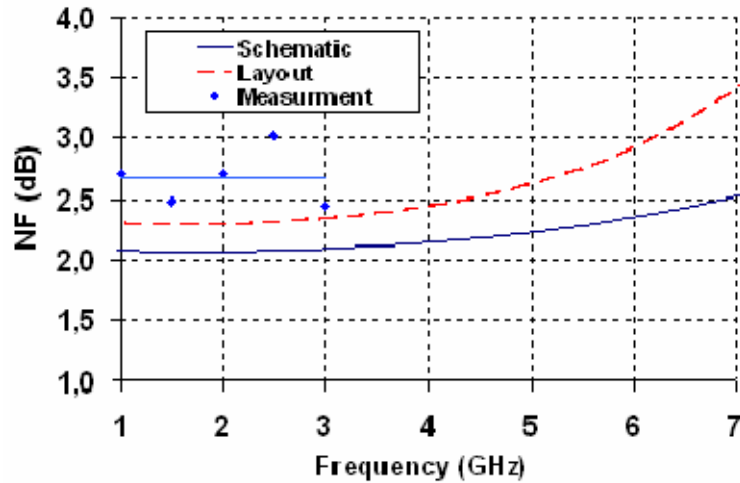
インダクタレスLNA

- ・広帯域 (共振器を用いない)
- ・小面積 (インダクタを用いない)
- ・NF (許容範囲?)

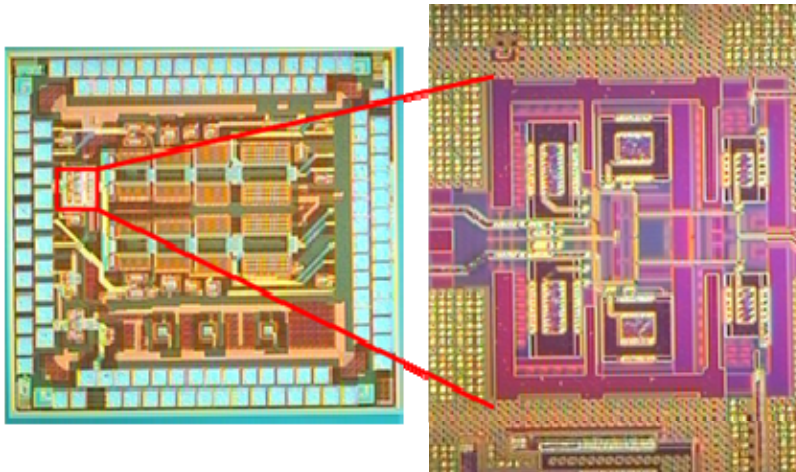


R. Ramzan, S. Andersson, J. Dabrowski, and C. Svensson, "A 1.4V 25mW Inductorless Wideband LNA in 0.13um," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.424-425, Feb. 2007.

設計・試作結果



面積は確かに小さい 0.02mm²
 NFは許容レベルか？
 消費電力が大きい



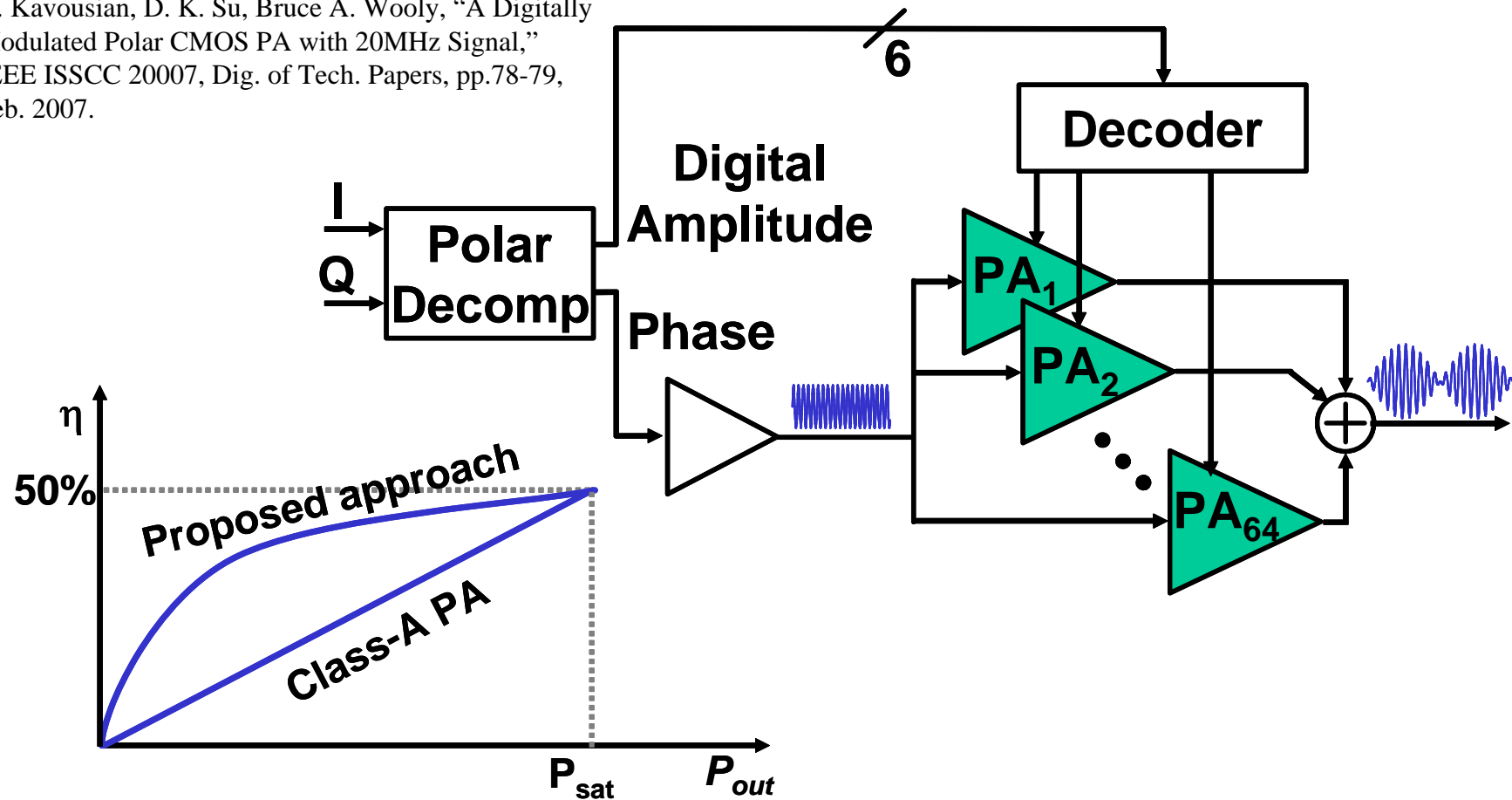
Technology	0.13um CMOS
Voltage Gain	17 dB
Frequency range	1-7 GHz
NF	2.4 dB at 3 GHz
IIP3	-4.1 dBm
1dB CP	-20 dBm
Power consumption (1.4V supply)	25 mW
Active Area	0.019 mm²

デジタルポーラー変調器

ポーラー変調の振幅変調をDAC的な技術を用いて実現。
高効率かつ広帯域。

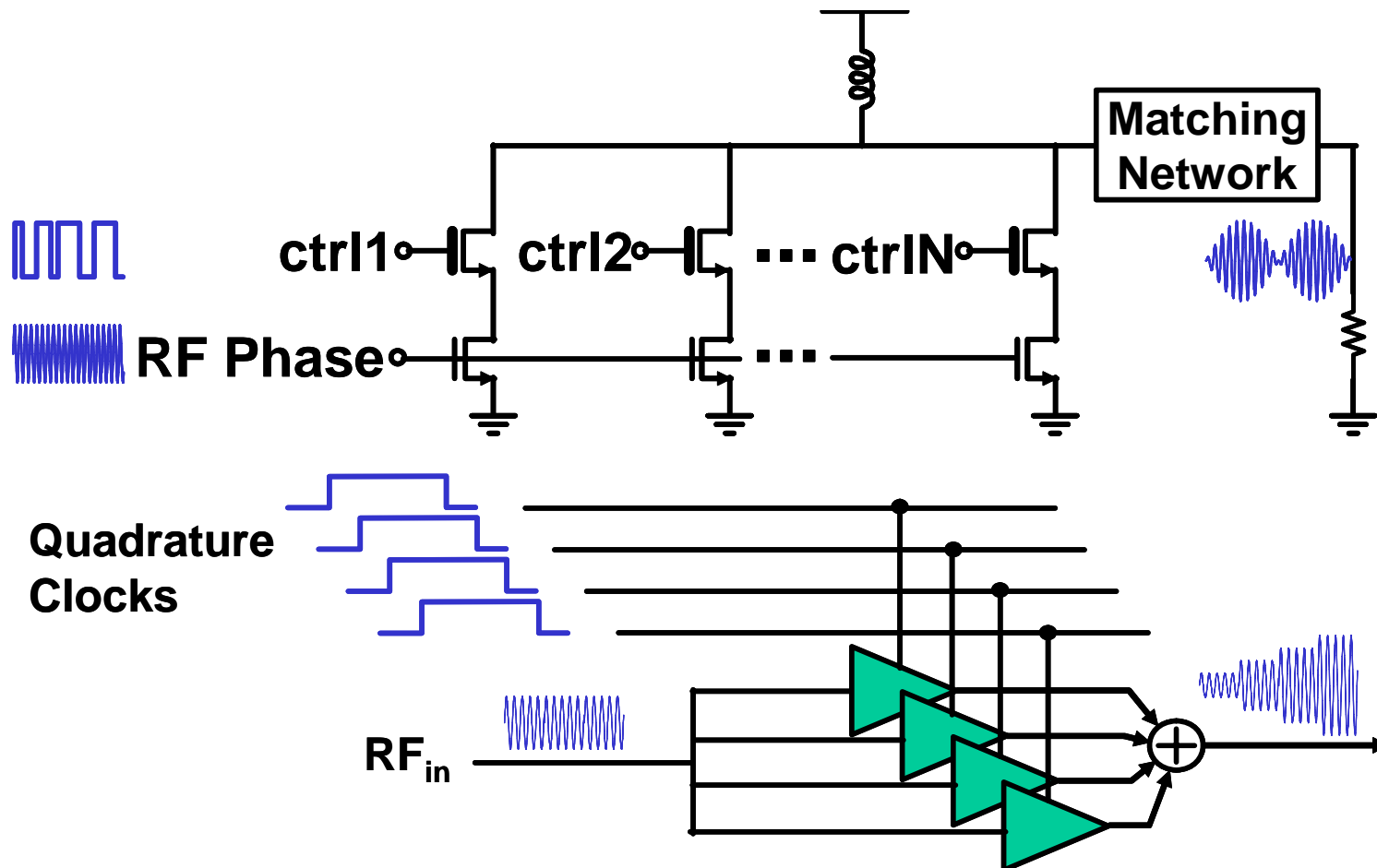
PAをD/A変換器に見立てたことがポイント

A. Kavousian, D. K. Su, Bruce A. Wooly, "A Digitally Modulated Polar CMOS PA with 20MHz Signal,"
IEEE ISSCC 2007, Dig. of Tech. Papers, pp.78-79,
Feb. 2007.

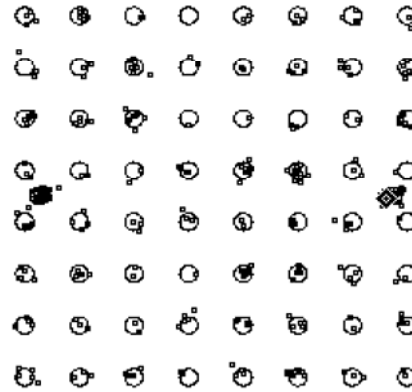
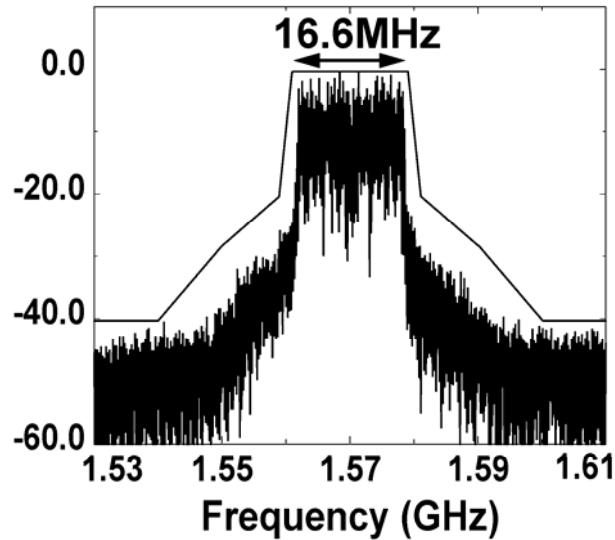


パワーアンプの構成

64個の単位アンプアレーを設け、6bitの振幅データに応じて加算する(DACと同じ原理)
4ブロックを4相のクロックで駆動し、線形補完することでイメージ信号を抑制

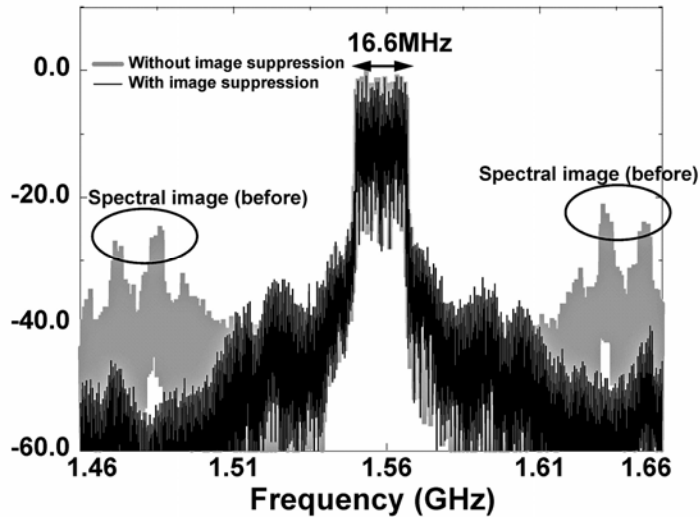


評価結果



EVM = -26.8dB

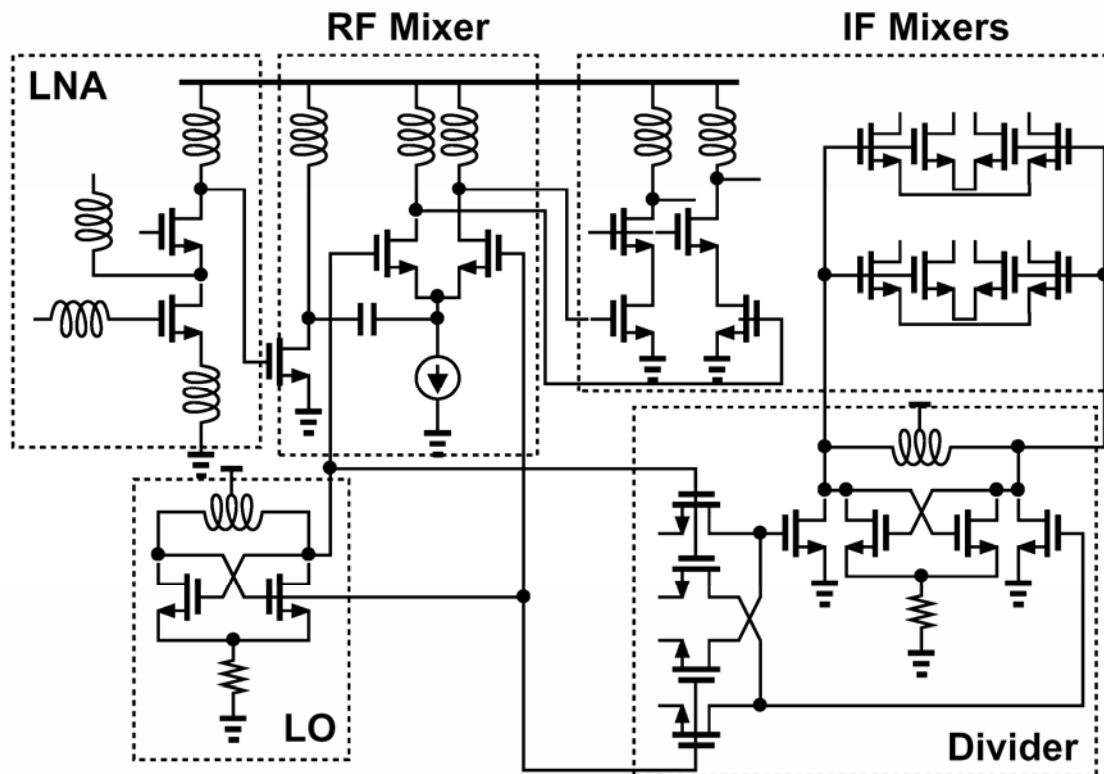
13dBmのパワー
7.2%のPAE
20MHzの広帯域を実現



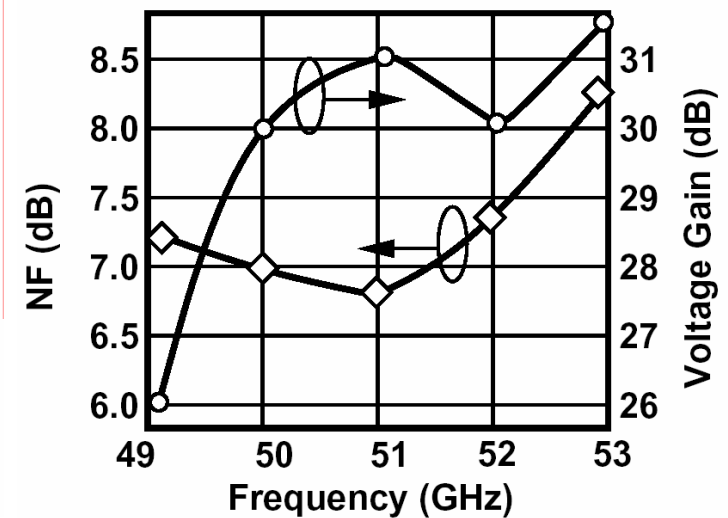
Technology	0.18 μ m CMOS, 2P5M
Supply Voltage	
Digital Hardware	1.8V
Driver Stage	2.2V
Output Stage	1.7V
Linear 64 QAM OFDM Output Power	14.7dBm 13.6dBm (balun included)
EVM for 64 QAM OFDM	-26.8dB
Dissipated Power	
Output Stage	247mW
Driver Stage	66mW
Digital	3.4mW
PAE (for 64QAM OFDM)	8.9% 6.7% (baluns included)
Center Frequency	1.56GHz
Total Chip Area	1.8mm ²

60GHz ミリ波CMOSレシーバー 1

90nm CMOSを用いて60GHzのレシーバーを実現



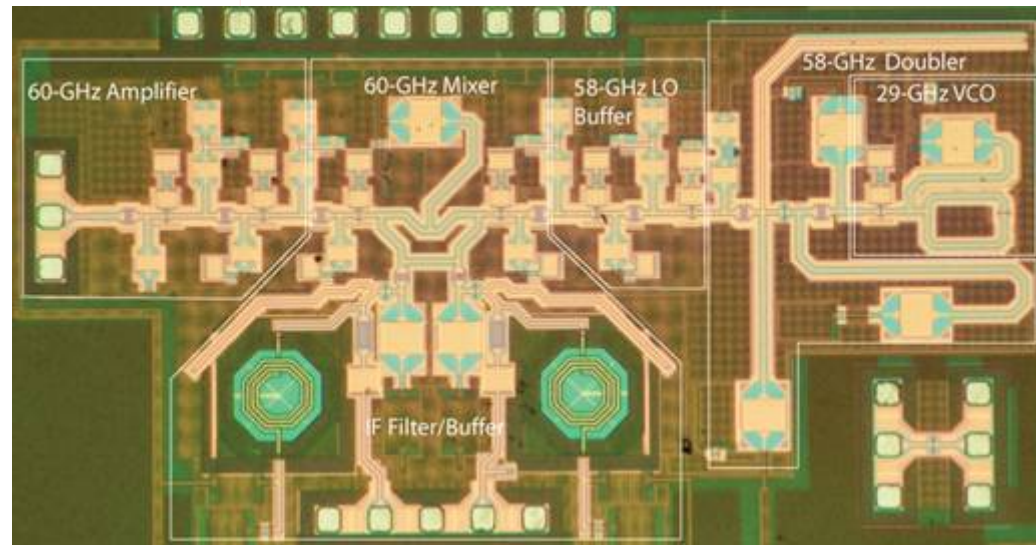
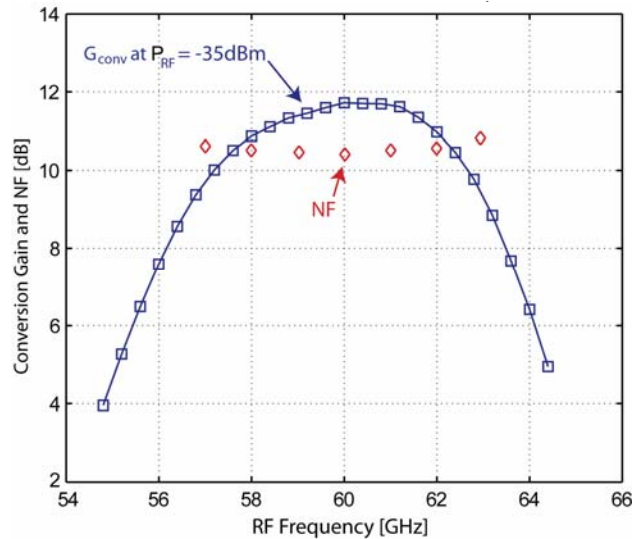
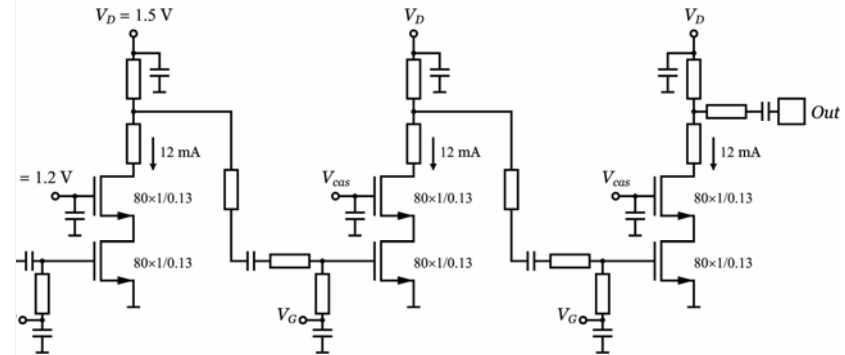
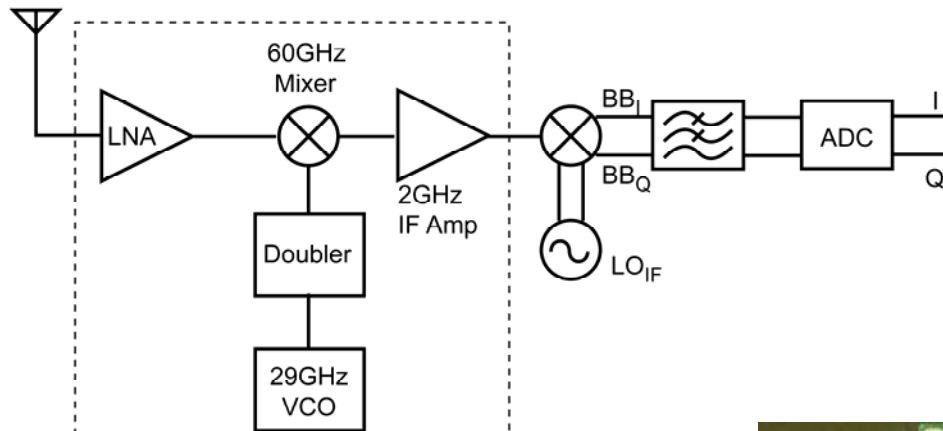
B. Razavi "A mm-Wave CMOS Heterodyne Receiver with On-Chip LO and Driver," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.188-189, Feb. 2007.



60GHz ミリ波CMOSレシーバー 2

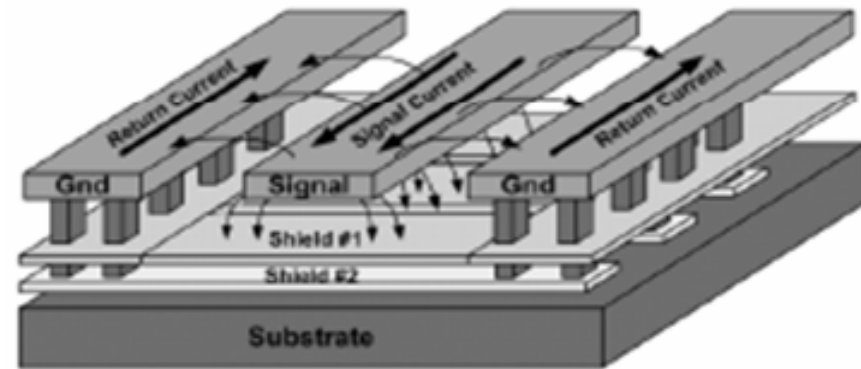
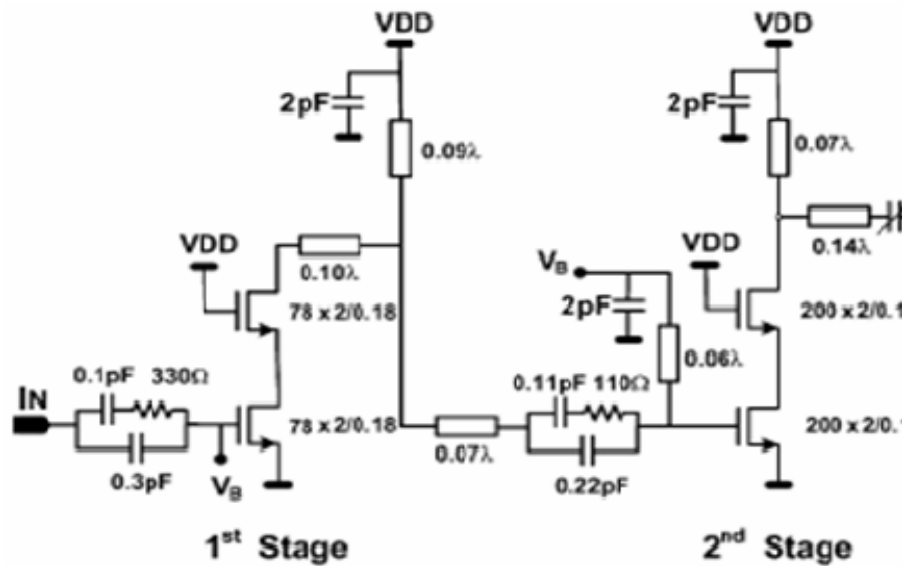
0.13um CMOSを用いても60GHzのレシーバーが実現できる

S. Emami, C. H. Doan, A. M. Niknejad, R. W. Broderson, "A Highly Integrated 60GHz CMOS Front-End Receiver," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.180-191, Feb. 2007.



ミリ波におけるロスの低減

電力ロスの低減のためにコプレーナ構造と基板シールドを用いている



ミリ波フェーズドアレイシステム

ミリ波では波長が数mmになるので、チップ上にアンテナを集積することが可能

給電位相の変化により電子的にビームフォーミング可能

オンチップ上に4つのアンテナを配置

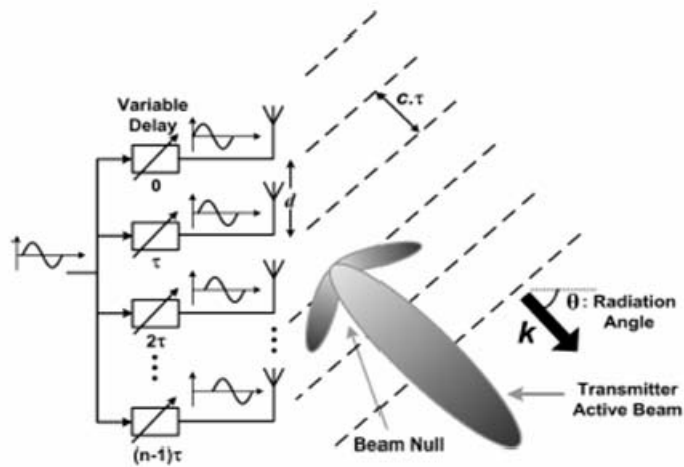
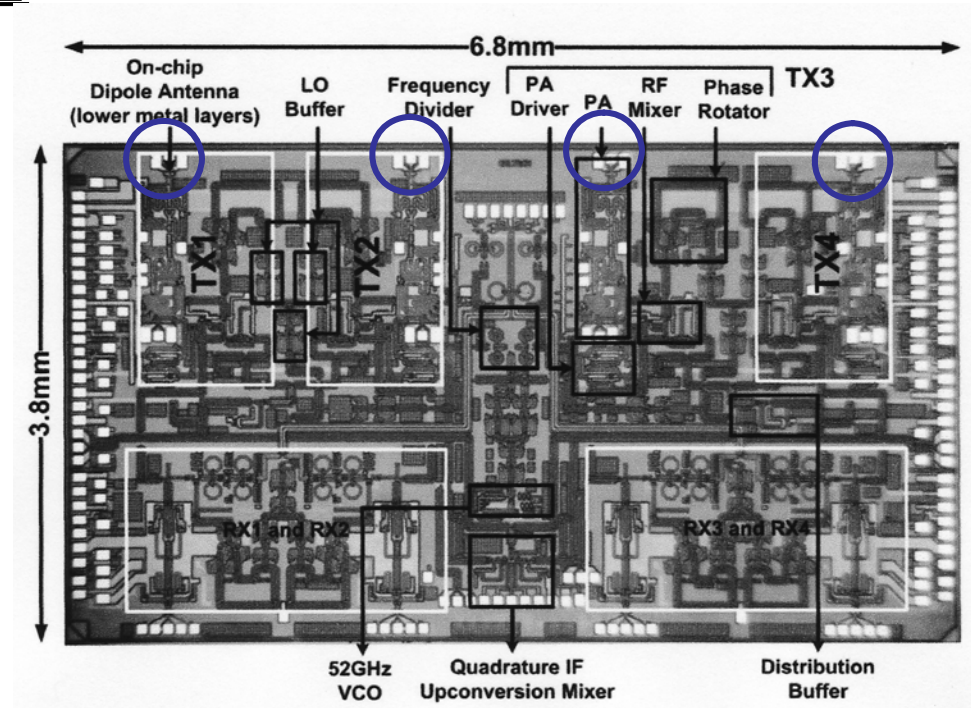


Fig. 1. n -element phased-array transmitter.



A. Natarajan, et. al., IEEE, Journal of Solid-State Circuits, Vol. 40, No. 12, pp. 2502-2514, Dec. 2005.

A. Natarajan, et. al., IEEE, Journal of Solid-State Circuits, Vol. 41, No. 12, pp. 2807-2819, Dec. 2006.

ビームフォーミング

ビームフォーミングは信号強度を上げ、伝送レートを速くするためにも有効

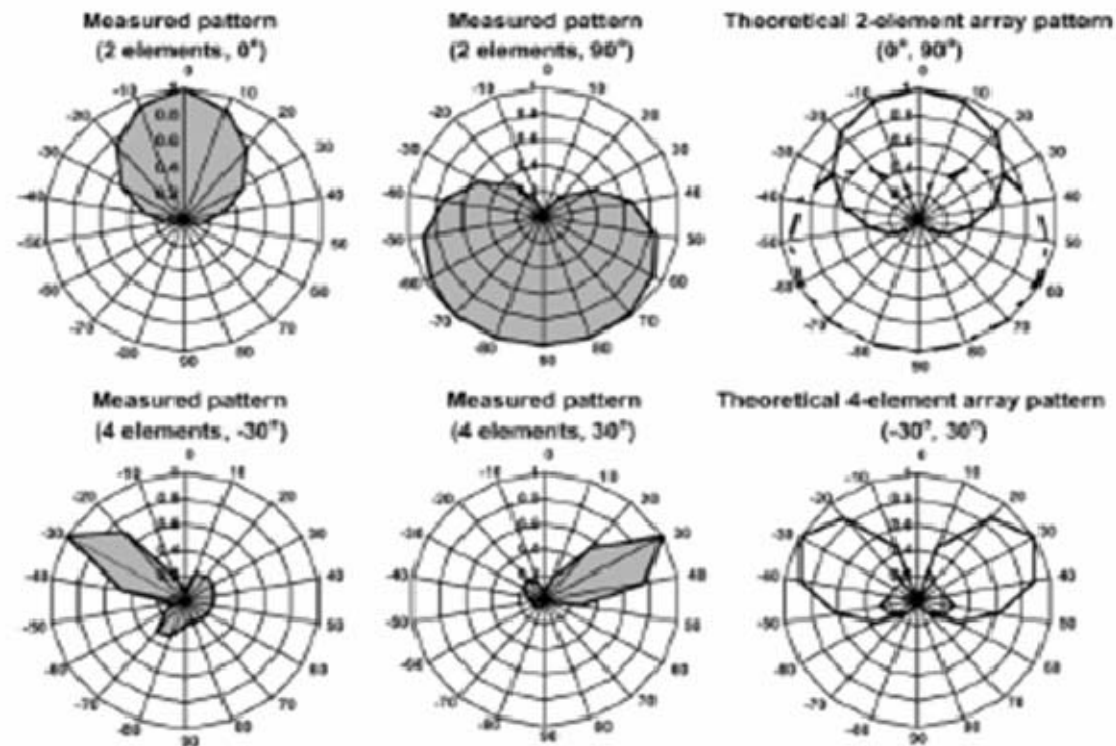


Fig. 21. Comparison of theoretical and measured array pattern with two elements and with four elements active.

レンズの集積

77GHzのミリ波トランシーバ: オンチップアンテナとレンズを集積

10.1 A 77GHz 4-Element Phased Array Receiver with On-Chip Dipole Antennas in Silicon

0.13 μ m SiGe-CMOS

A. Babakhani, X. Guan, A. Komijani, A. Natarajan, A. Hajimiri

California Institute of Technology, Pasadena, CA

IEEE ISSCC 2006, Dig. Technical Papers, pp.180-181.

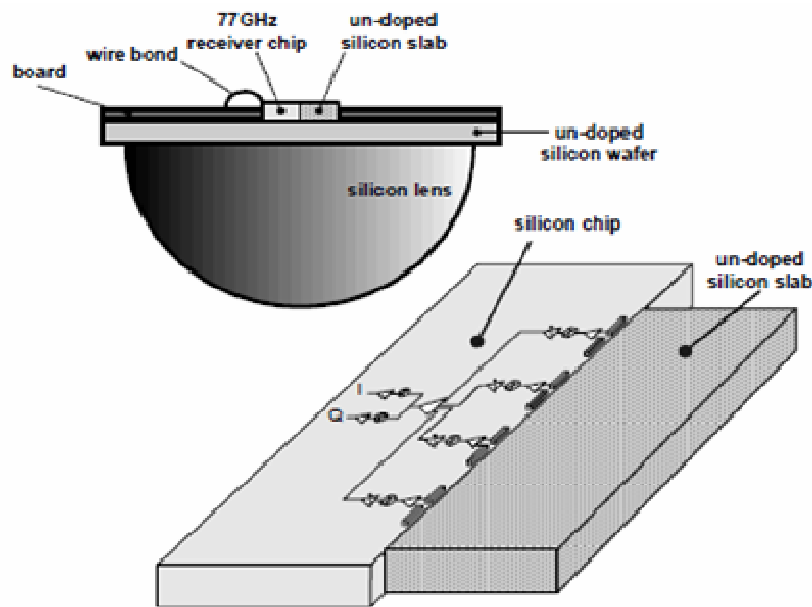


Figure 10.1.1: Chip, board, and lens antenna setup configuration.

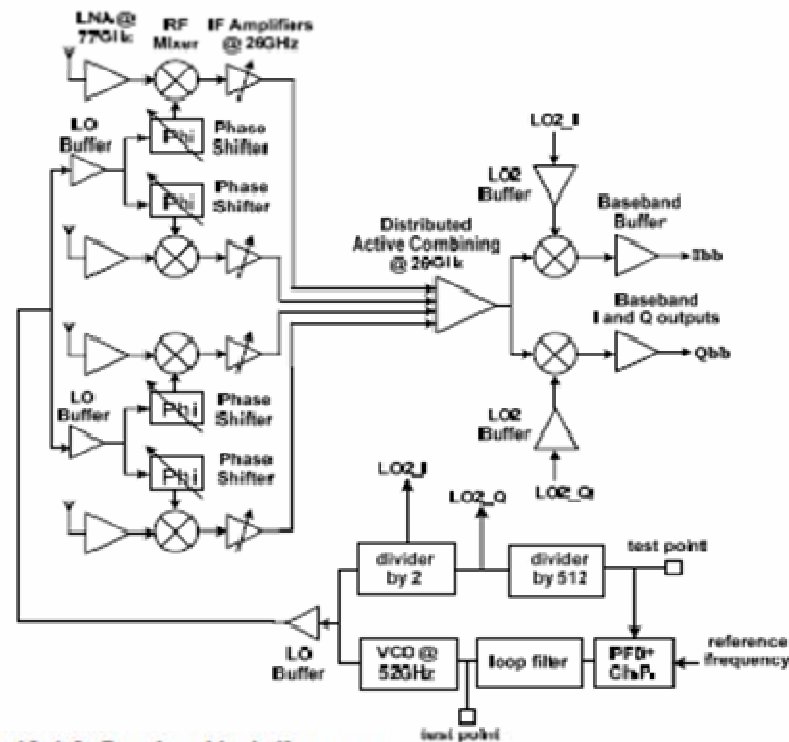


Figure 10.1.3: Receiver block diagram.

性能

レンズを用いることにより10数dBの感度アップ

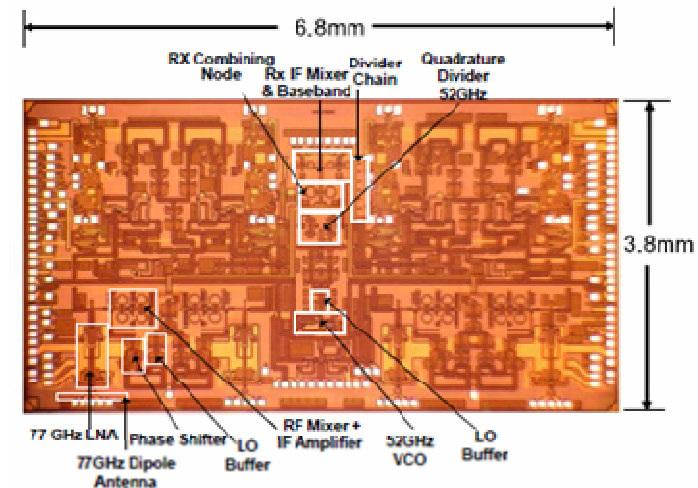
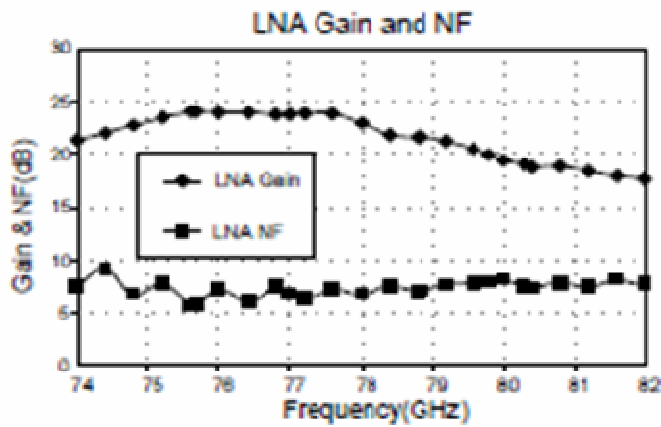
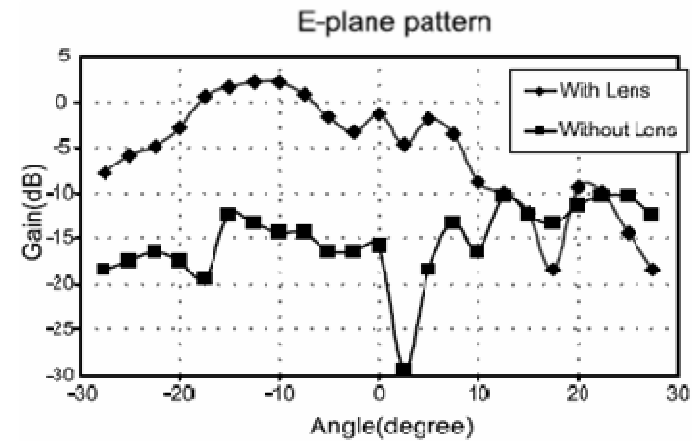
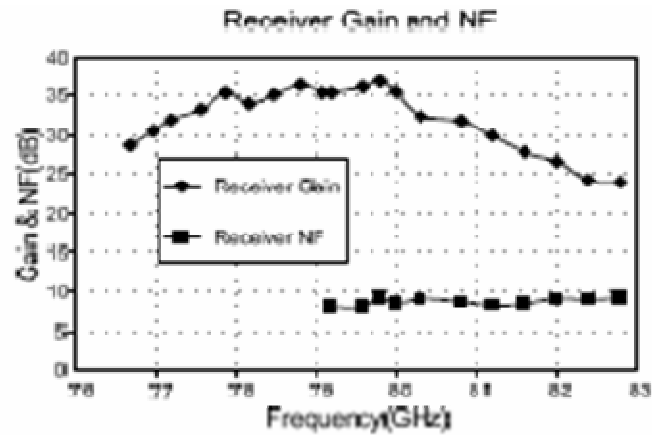


Figure 10.1.7: Chip micrograph.

まとめ 1

- ・ CMOSの微細化
 - 高周波化→60GHz応用が可能に
 - 低電圧・低振幅化→SNR確保のため容量増大
 - ・ 低SNR・低分解能については高速化・低電力化を促進
 - ・ 高SNR・高分解能については高速化・低電力化が困難
 - OPアンプ性能が課題に
 - ・ 低利得
 - ・ 低振幅

まとめ 2

- ・ **A/D 変換器の動向**
 - **OPアンプレスの変換方式**
 - **逐次比較型や直並列型で非常に低いFoMを達成**
 - ・ 容量のみの演算
 - ・ 比較器の定常電流を抑制
 - ・ 信号振幅を維持(OPアンプレス)
 - ・ 微細化によりスイッチの・ロジックの高速・低電力化
 - **比較器の特性(ノイズ・オフセット電圧・速度)が課題**

まとめ 3

- ・ RFCMOSの動向
 - インダクタをなるべく使用しない方向
 - ・ 広帯域化
 - ・ 省面積化 低コスト化
 - デジタルPAが出現
 - ・ D/A変換技術をRF信号の発生に利用
 - ミリ波SoCが出現
 - ・ 130nm～90nmCMOSで60GHzが可能に
 - ・ オンチップアンテナ
 - ・ 位相差給電方式
 - ・ 可変ビームフォーミング
 - ・ オンチップレンズ