

# ナノCMOS時代の アナログ技術の課題と動向

東京工業大学  
大学院理工学研究科

松澤 昭

# 内容

---

- CMOS微細化とアナログ性能

  - 微細化とアナログ性能

  - ミスマッチとデジタル補償技術

講演内容の半分程度については

EE Times Japan No. 22, pp.40-55, April 2007.

ISSCC 2007開催 回路技術の新潮流を読む  
に寄稿しています。

- A/D変換器

  - パイプライン型ADC

  - 直並列型ADC

  - 逐次比較型ADC

  - 型ADC

また、研究室ホームページ

<http://www.ssc.pe.titech.ac.jp>

にも関連資料が掲載されています。

- RFCMOS回路

  - インダクタレスLNA

  - デジタルポワラーPA

  - サンプリングミキサー

  - ミリ波SoC

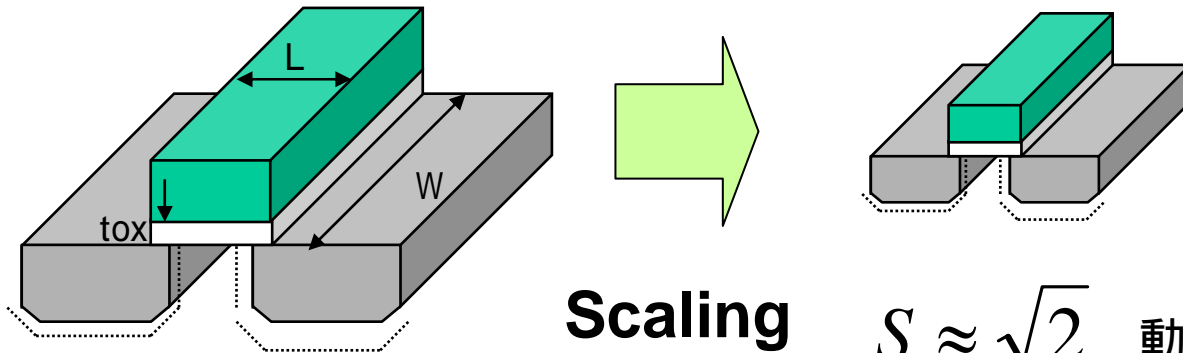
  - インダクタ結合技術

# CMOS微細化とアナログ性能

A. Matsuzawa, “ Design Challenges of Analog-to Digital Converters in Nanoscale CMOS,” IEICE, Tran. Electron., Vol. E90-C, No. 4, pp. 779-785, April 2007.

# デジタル回路におけるスケーリング則

デジタル回路においてはデバイスの各パラメータを一定比率で縮小することにより回路の速度が向上し、低電力・低コストが達成される。



Scaling

$S \approx \sqrt{2}$  動作電圧も1/Sにする

デバイスと回路のパラメータ	Scaling Factor
寸法: L, W, Tox	1/S
不純物濃度	S
電圧	1/S
電界	1
電流	1/S
回路遅延時間	1/S
消費電力(デバイス1つあたり)	1/S <sup>2</sup>

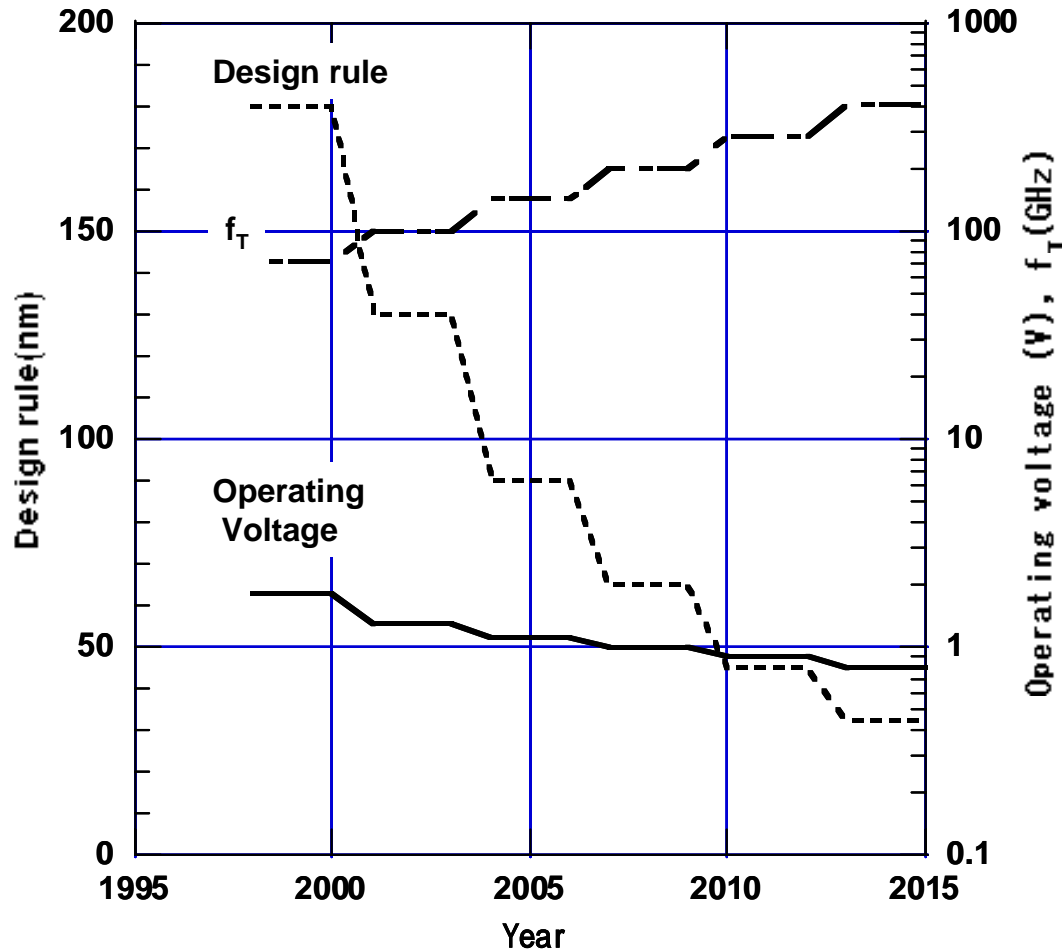
微細化・低電圧化により、

- ・高密度化(低コスト)
- ・高速化
- ・低消費電力

が同時に達成される

# $f_T$ と動作電圧の予測

微細化によりCMOSの $f_T$ は200GHzを超え、60GHzのミリ波応用まで可能にしている  
電源電圧は1V近辺であり、大幅には下がらない

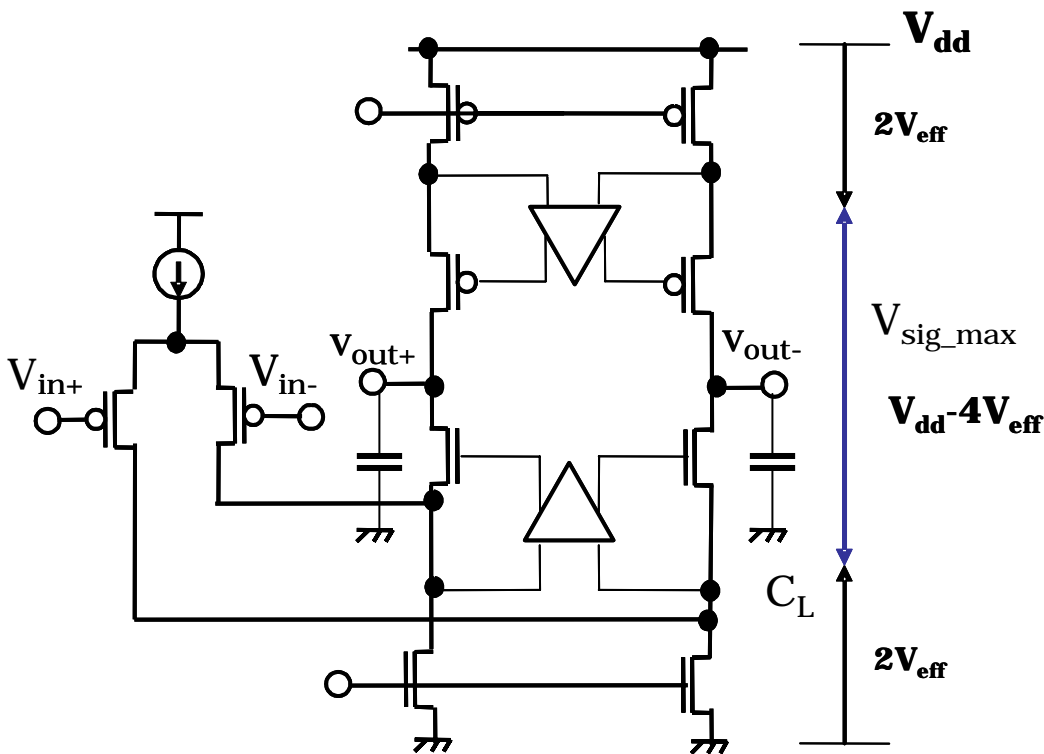


$$f_T \approx \frac{V_s}{2\pi L}$$

$v_s$ : キャリアの飽和速度  
 $L$ : チャネル長

# アナログ回路の特性

容量負荷のOPアンプを標準的なアナログ回路として特性を記述し、  
スケーリングの効果を検討する



利得:  $G = (g_m r_{ds})^n$   
n: 増幅段数

利得帯域幅積:  $GBW = \frac{g_m}{2\pi C_L}$

第2ポール:  $f_{p2} \propto \frac{g_m}{C_{gs}}$

安定条件:  $GBW < \frac{f_{p2}}{3}$

SNR:  $SNR \propto C_L V_{sig}^2$

消費電力:  $P_d \propto V_{dd} I_{ds}$

# アナログCMOS回路のスケーリング

- 1) トランスコンダクタンス:  $g_m$   $V_{eff}=V_{gs}-V_T$ : アナログ回路では一定にする  
通常 0.2V ~ 0.15V程度

$$g_m \cong \frac{2I_{ds}}{V_{eff}}$$

$g_m$ は電流により決定され、不変である。

- 2) ドレイン抵抗: $r_{ds}$

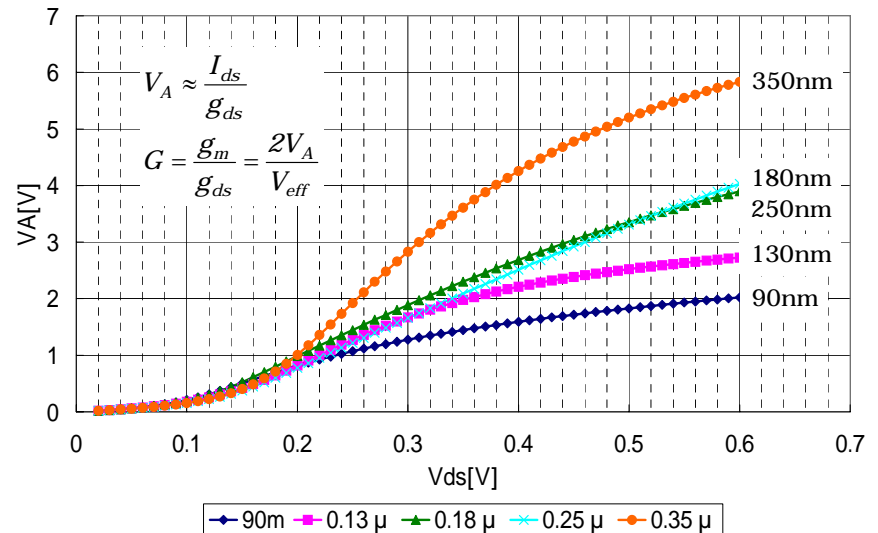
$$r_{ds} = \frac{V_A}{I_{ds}}, \quad V_A \propto L$$

また低電圧にすることで低下する

$$r_{ds} \propto \frac{1}{S} \quad S: \text{スケールングファクター}$$

通常 1.4

デザインルールをパラメータとするときの $V_{ds}$ に対する $V_A$



# アナログCMOS回路のスケーリング

3) 利得  $G = (g_m r_{ds})^n \quad G \propto \frac{1}{S^n}$

利得は微細化により急速に減少する

4) 寄生容量  $C_p \propto C_{ox} LW \propto S \times \frac{1}{S} \times \frac{1}{S^2} = \frac{1}{S^2} \quad \frac{W}{L} \propto \frac{1}{C_{ox}}$

5) 利得帯域幅積:  $GBW = \frac{g_m}{2\pi C_L}$  負荷容量が変わらなければ一定

$GBW = \frac{g_m}{2\pi C_p} \propto S^2$  寄生容量で決まるときは急上昇

6) 第2ポール:  $f_{p2} \approx \frac{f_T}{2} \propto \frac{g_m}{C_{gs}} \propto \frac{g_m}{C_{ox} LW} \propto \frac{1}{S \times \frac{1}{S} \times \frac{1}{S^2}} = S^2$

遮断周波数および第2ポールは微細化により急上昇する  
回路はより安定する方向になる



# アナログCMOS回路のスケーリング

7) SNR:  $SNR \propto \frac{C_L V_{sig}^2}{kT}$  a) 一定の信号振幅が確保できれば  $C_L$  は一定

$C_L \propto \frac{V_{sig}^2}{SNR} \propto S^2$  b) 微細化による電源電圧の減少により信号振幅を下げざるを得ない場合は  $C_L$  は上昇

8) 消費電力:  $P_d \propto V_{dd} I_{ds}$

**低SNRの場合** a)  $g_m$  および  $C_L$  が一定とすると  $P_d \propto \frac{1}{S}$

$C_p$  で決まるときは  $P_d \propto \frac{1}{S^3}$

低電圧化に伴い消費電力は下がる

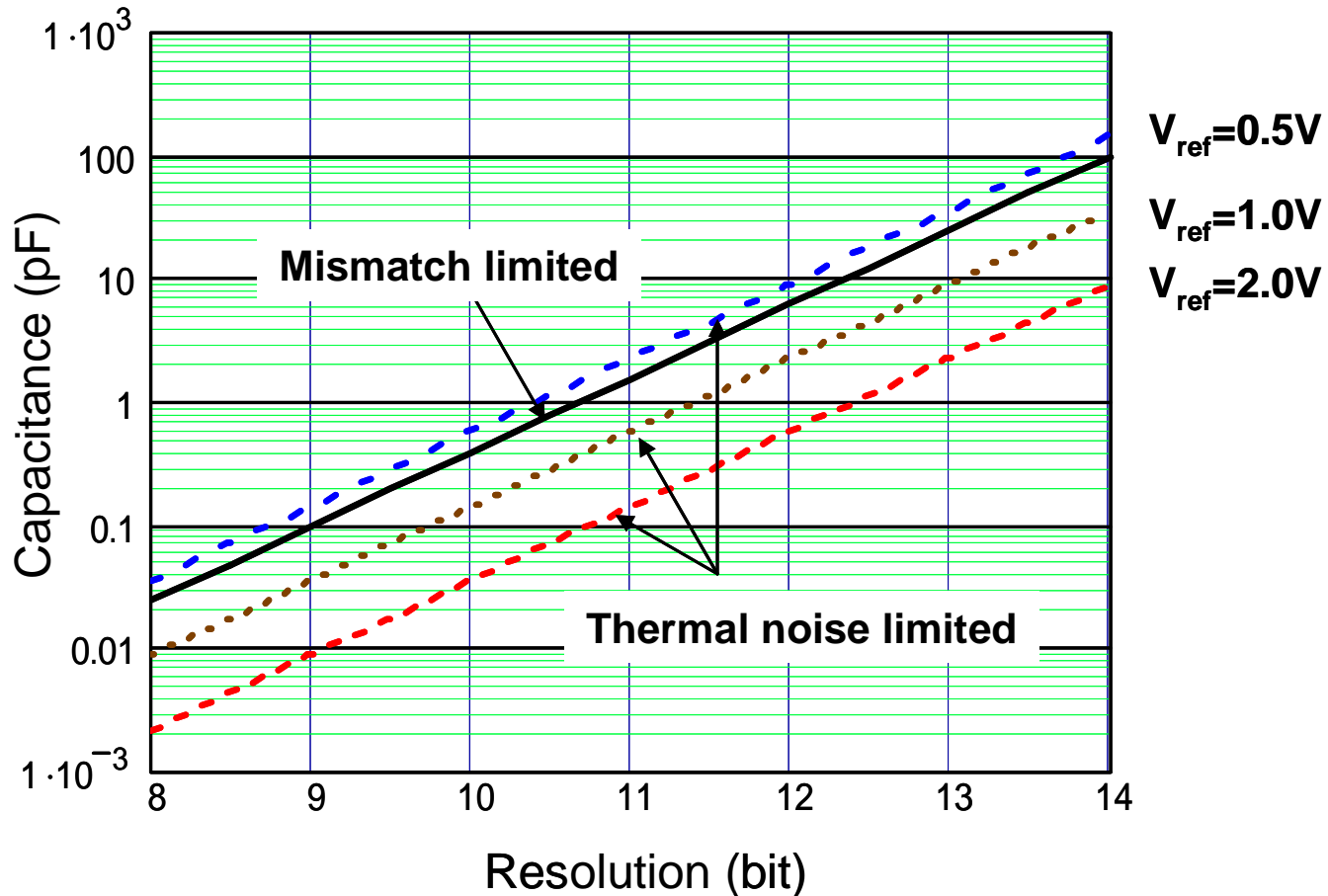
**高SNRの場合** b) 低信号振幅により容量を上げざるを得ない場合

$$I_{ds} \propto g_m \propto GBW \cdot C_L \propto S^2 \quad P_d \propto S$$

低電圧化に伴い消費電力は上がる

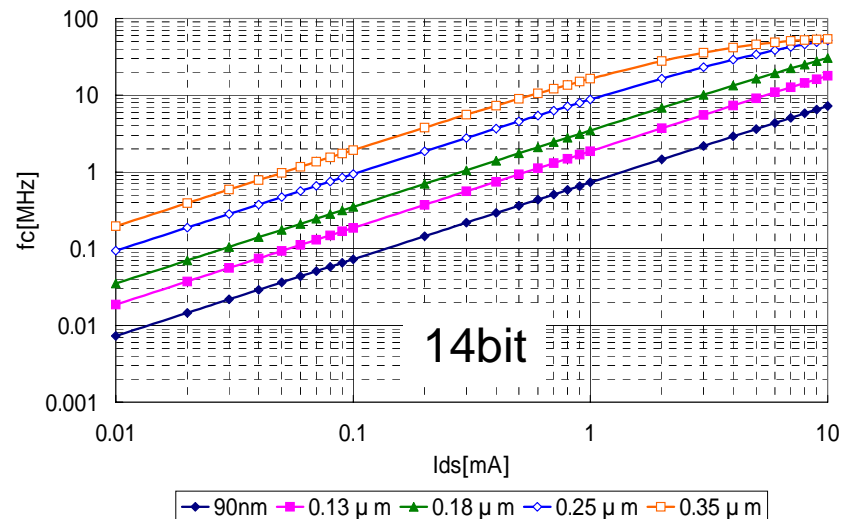
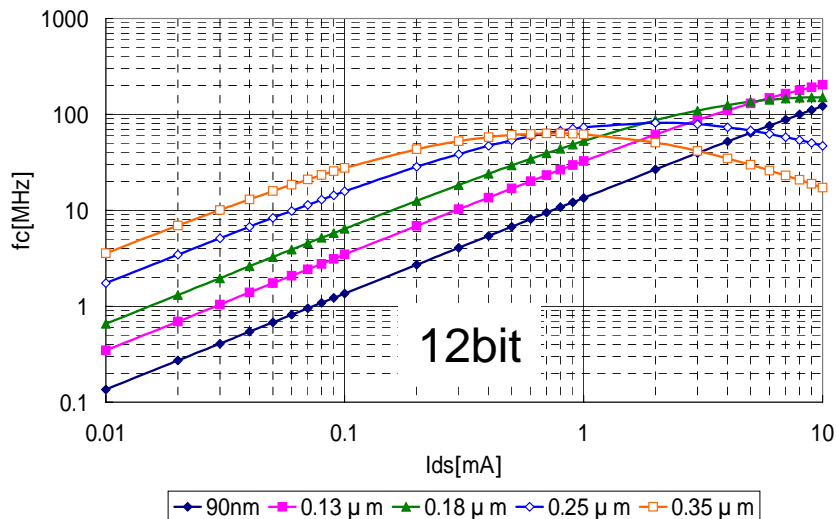
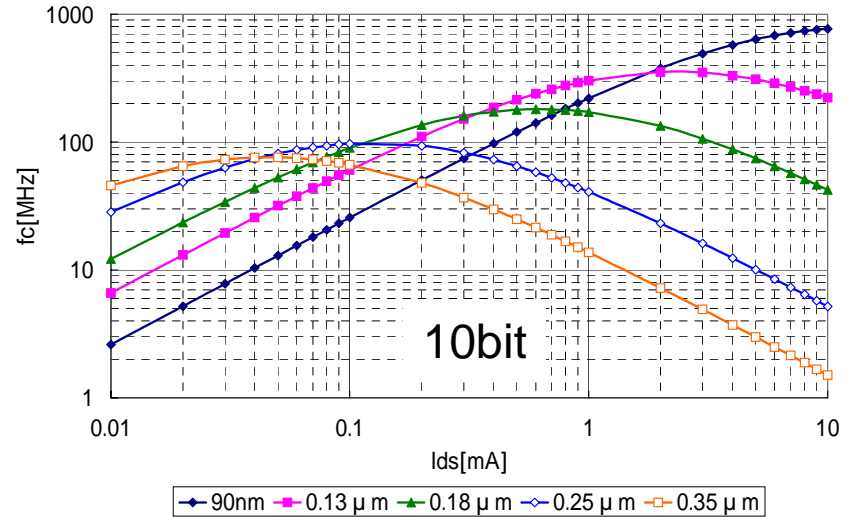
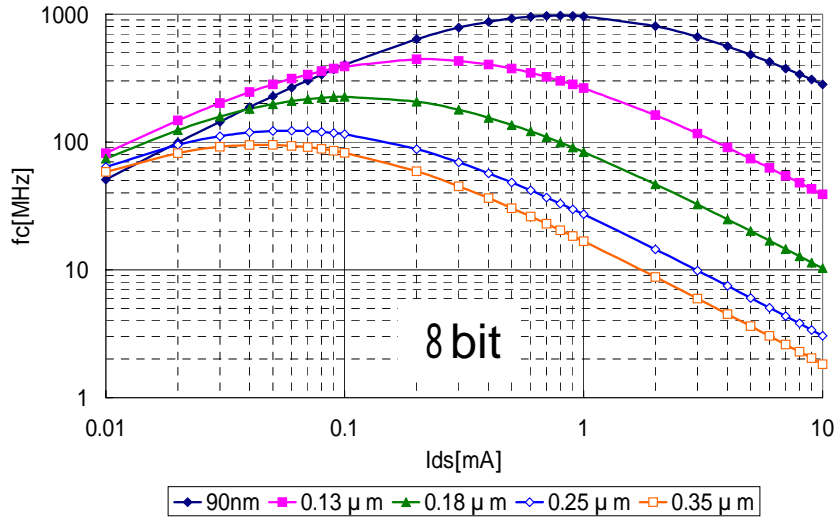
# パイプライン型ADCの分解能と容量

ADCの分解能が高くなる(高SNRになる)と必要な容量は大きくなる  
また、信号振幅が下がるとますます大きくなる



# パイプライン型ADCの変換周波数

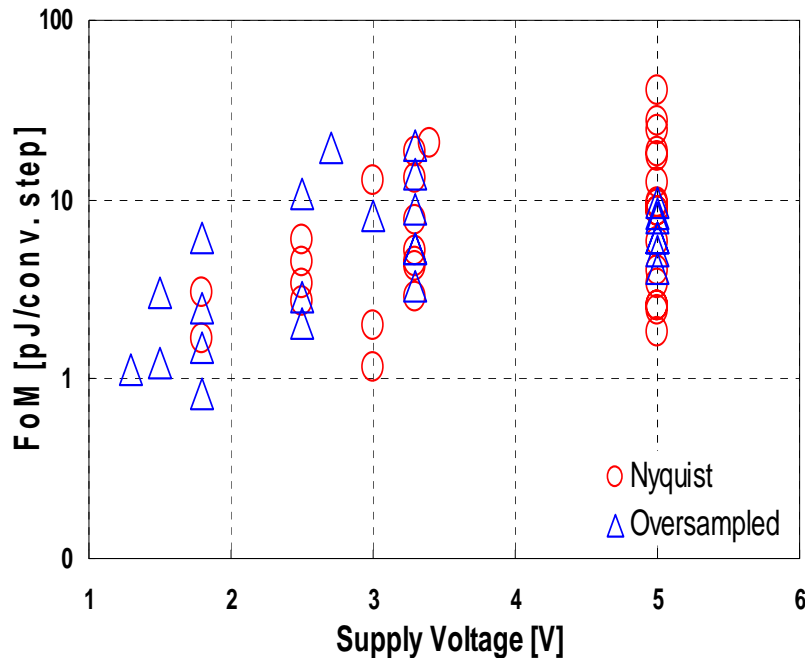
低分解能では微細化、高分解能では緩いプロセスが有利。



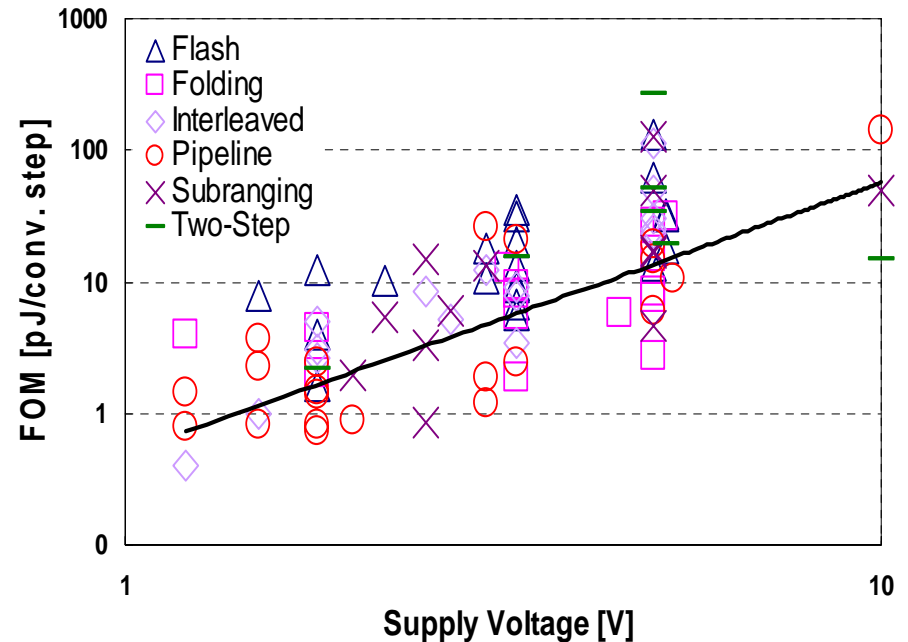
# ADCの性能と動作電圧

10ビット以下では微細化・低電圧化に伴いFoMは確実に下がったが、  
12ビット以上では微細化・低電圧化に伴うFoMの改善は緩やかである。

12ビット以上



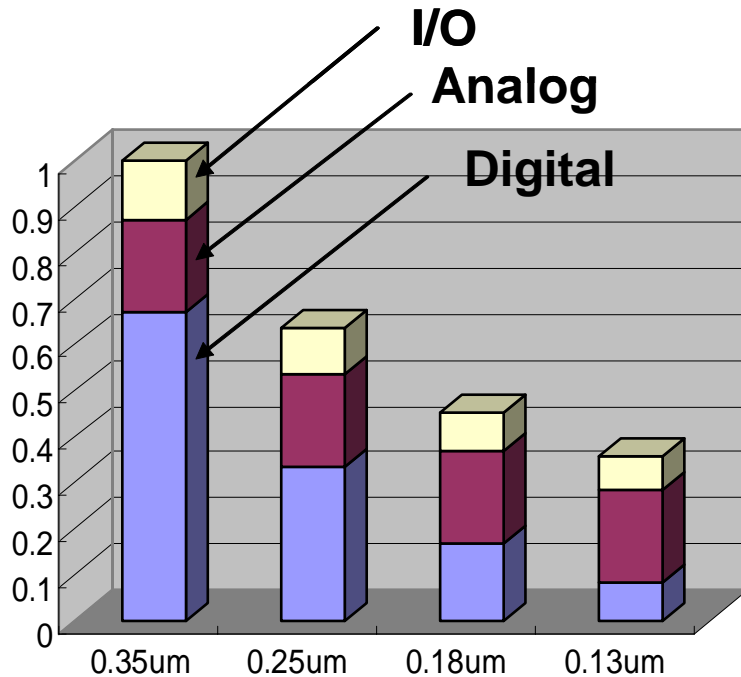
10ビット以下



$$\text{FoM} = \text{消費電力} / (\text{変換ステップ} \cdot \text{変換周波数})$$

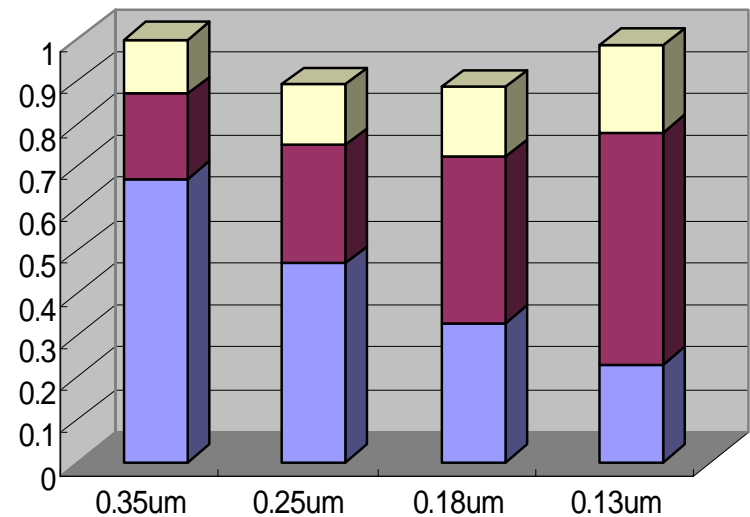
# 微細化によるコストアップ

- ・アナログ回路の面積縮小は簡単ではない（特に受動素子）
- ・一方、微細化に伴い面積単価は上昇するのでアナログ回路のコストは上昇する



Chip area

Wafer cost increases 1.3x  
for one generation  
( 0.35um : 1 )

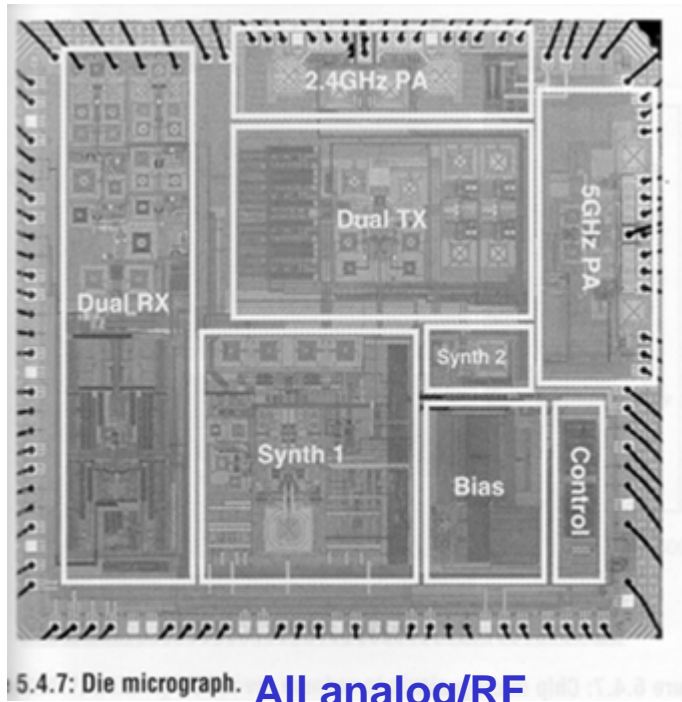


Chip cost

# アナログ・RF・デジタル混載SoCの方向

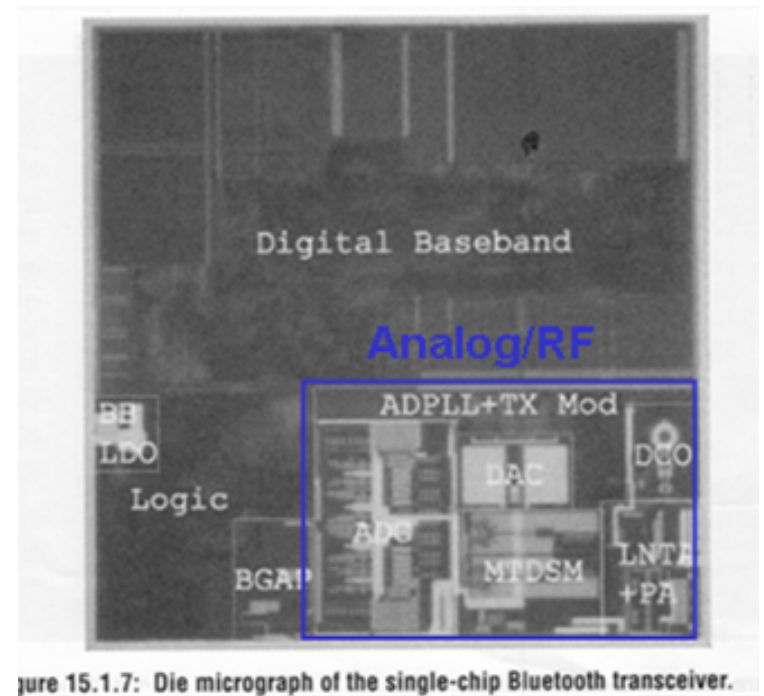
微細プロセスを用いデジタルとの混載を図る場合、アナログ回路面積の縮小が不可欠

Wireless LAN, 802.11 a/b/g  
0.25um, 2.5V, 23mm<sup>2</sup>, 5GHz



M. Zargari (Atheros), et al., ISSCC 2004, pp.96

Discrete-time Bluetooth  
0.13um, 1.5V, 2.4GHz



K. Muhammad (TI), et al., ISSCC2004, pp.268

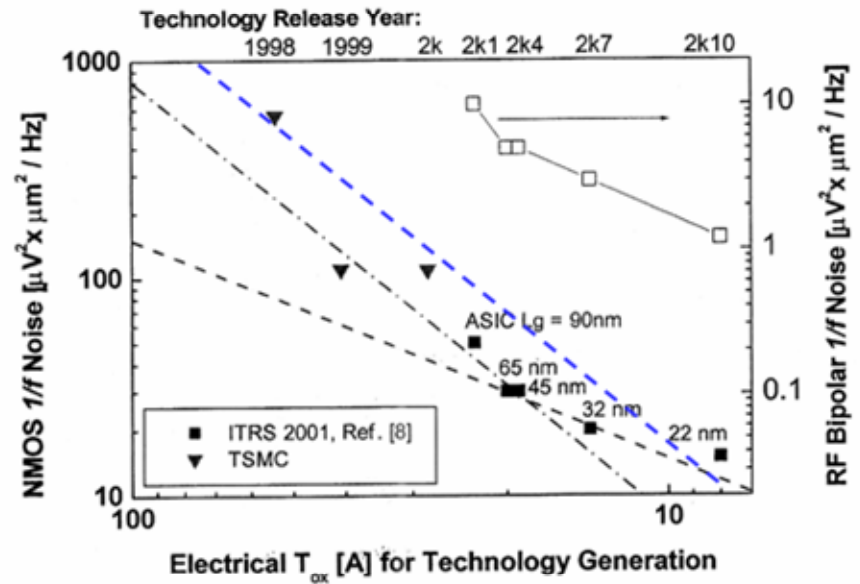
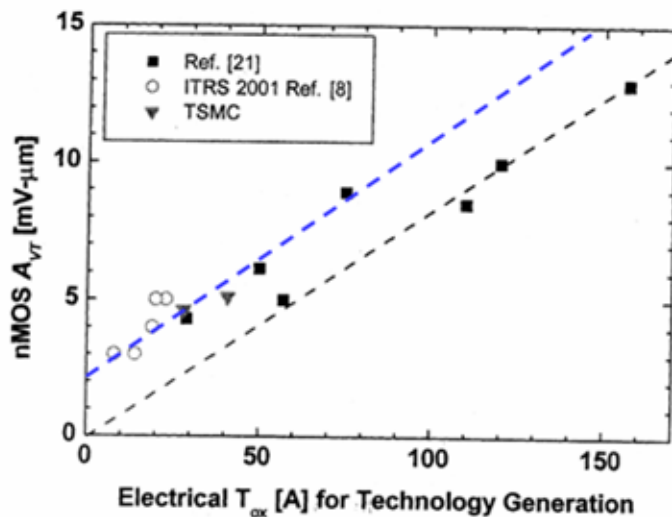
# MOSの $V_T$ ばらつきと $1/f$ ノイズ

MOSの $V_T$ ばらつき係数は飽和する

$1/f$ ノイズ係数は穏やかに減少

$$\Delta V_{TH}(mV) \approx \frac{1}{\sqrt{2}} \left( \frac{T_{ox}(nm) + 2}{\sqrt{LW}(\mu m)} \right)$$

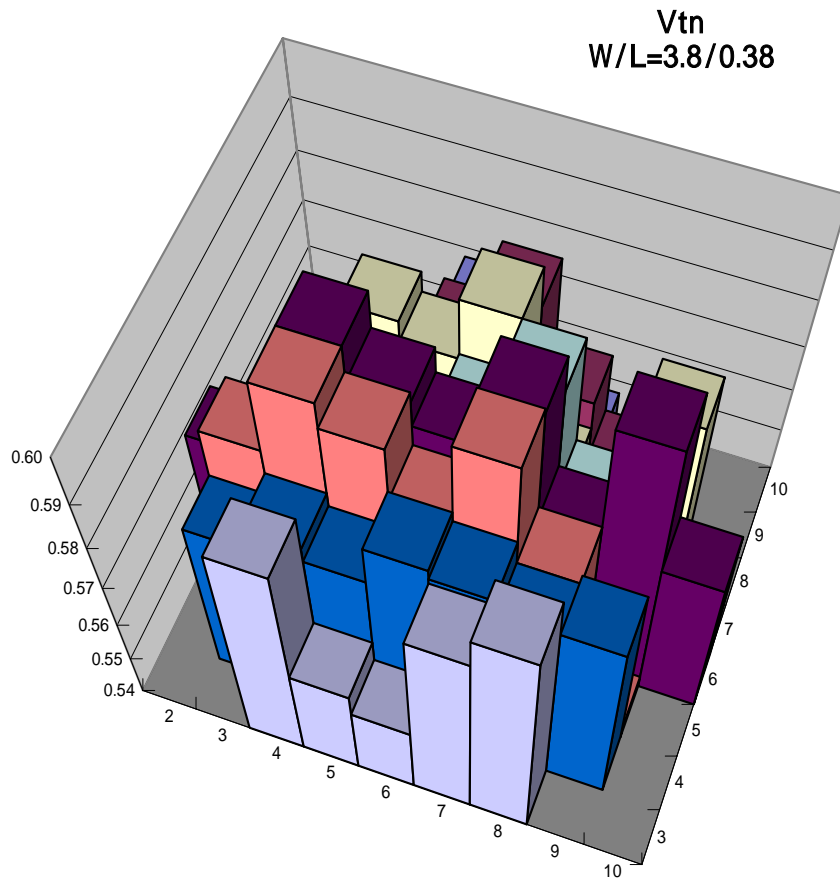
$$V_{flick}^2 (uV^2 / Hz) = \frac{16T_{ox}^2 (nm)}{LW(\mu m^2) \cdot f(Hz)}$$



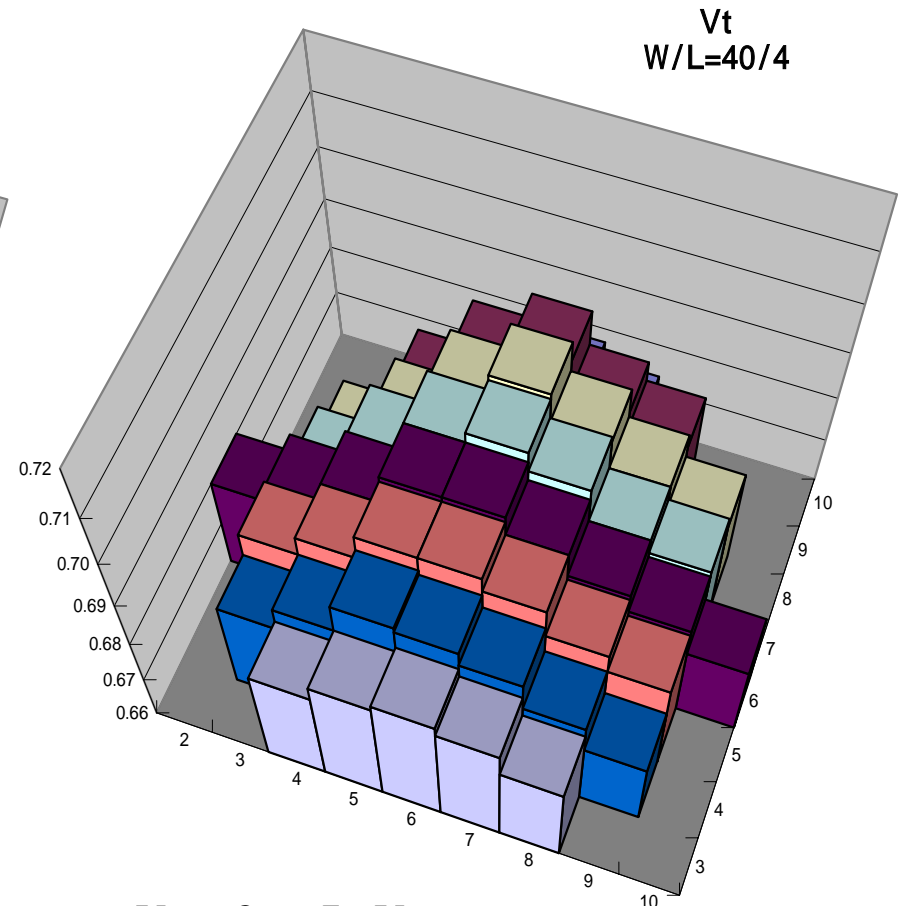
C. H. Diaz, et al., "CMOS Technology for MS/RF SoC," IEEE Tran Electron Devices, Vol. 50, No.3, March, 2003

# ウェファー内での $V_T$ 変動

小さなトランジスタの $V_T$ ばらつきはランダムであるが、  
大きなデバイスでは面内傾斜が見えてくる



$V_t = 575 \pm 18\text{mV}$

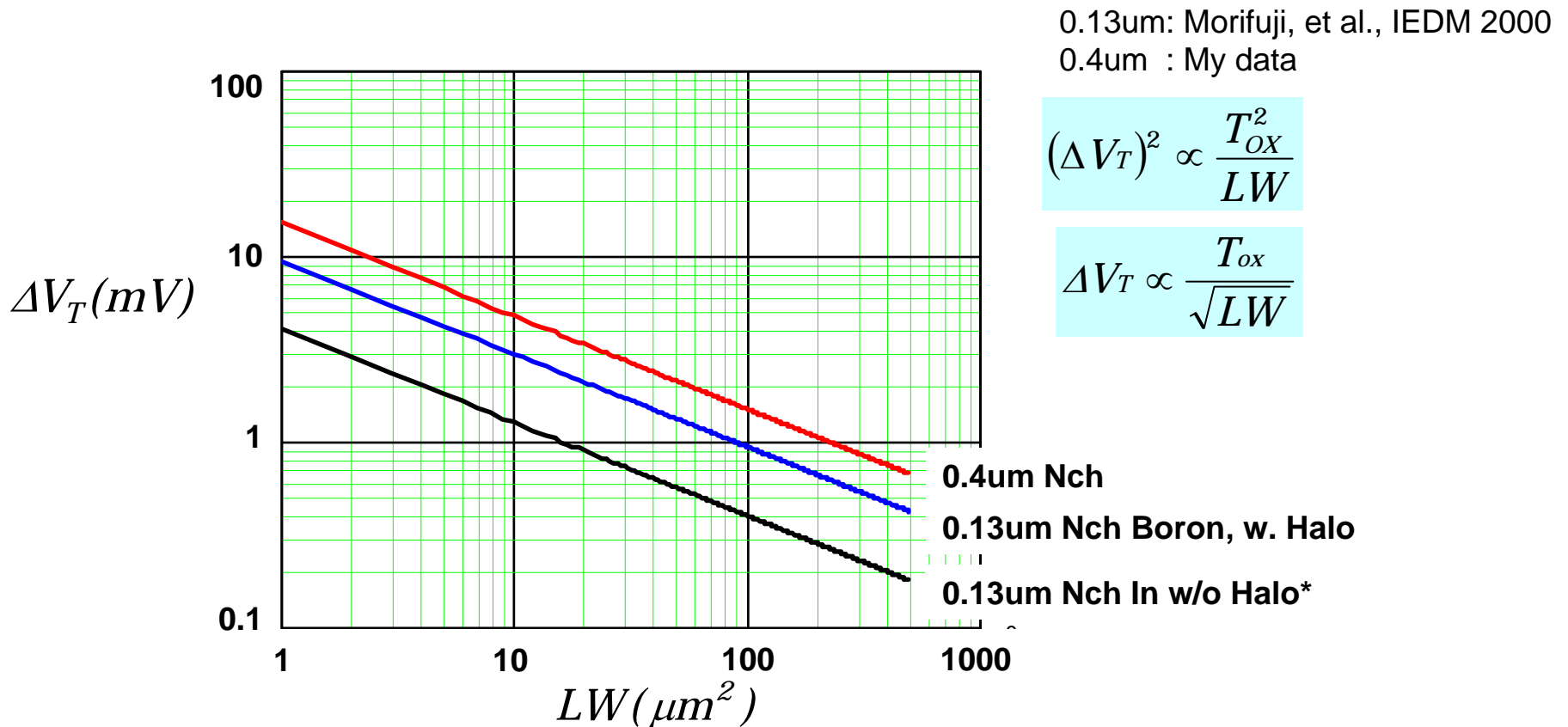


$V_t = 686 \pm 7\text{mV}$



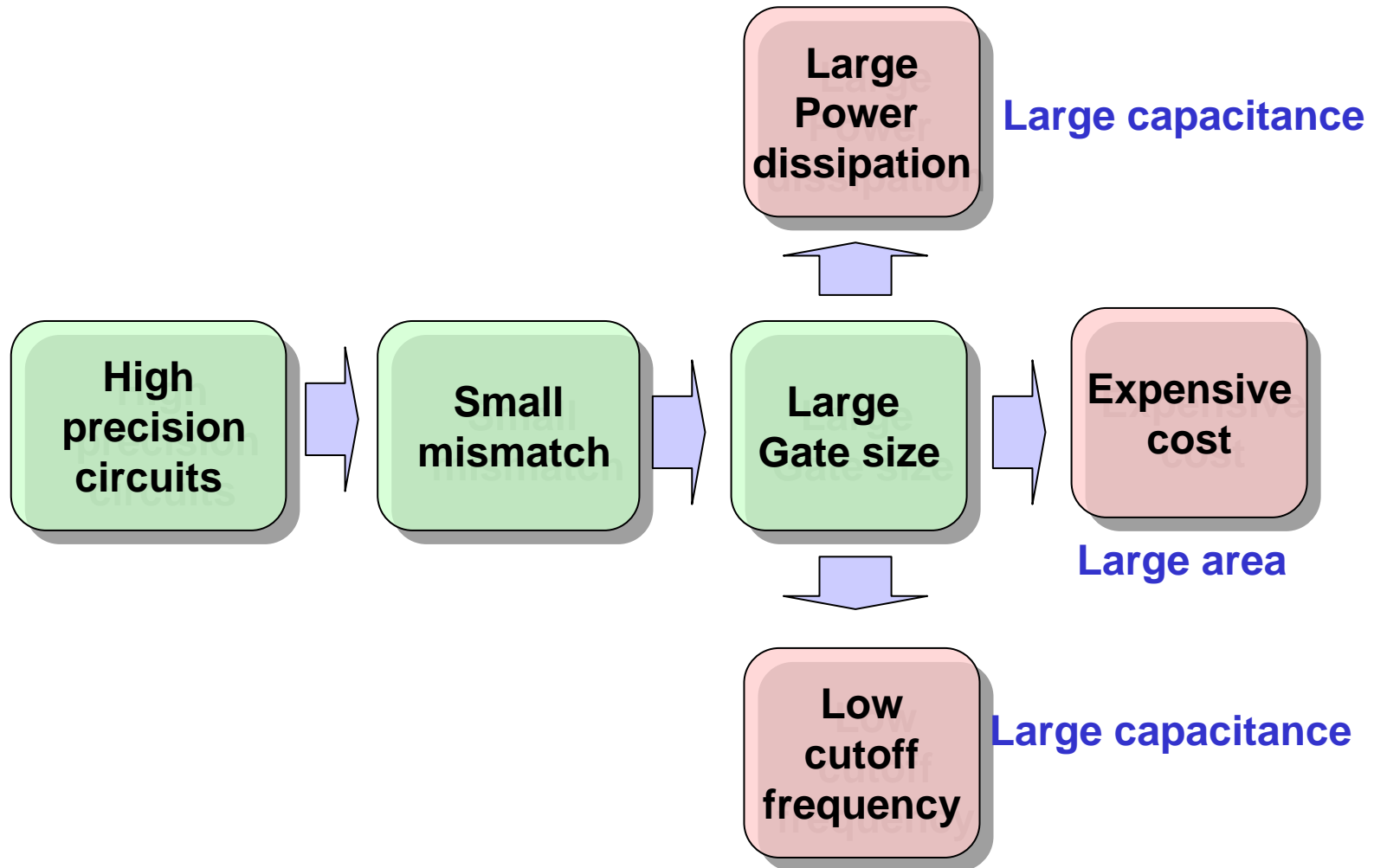
# $V_T$ ミスマッチ

$V_T$ ミスマッチを小さくするには大きなゲート面積が必要、しかし性能劣化を招く



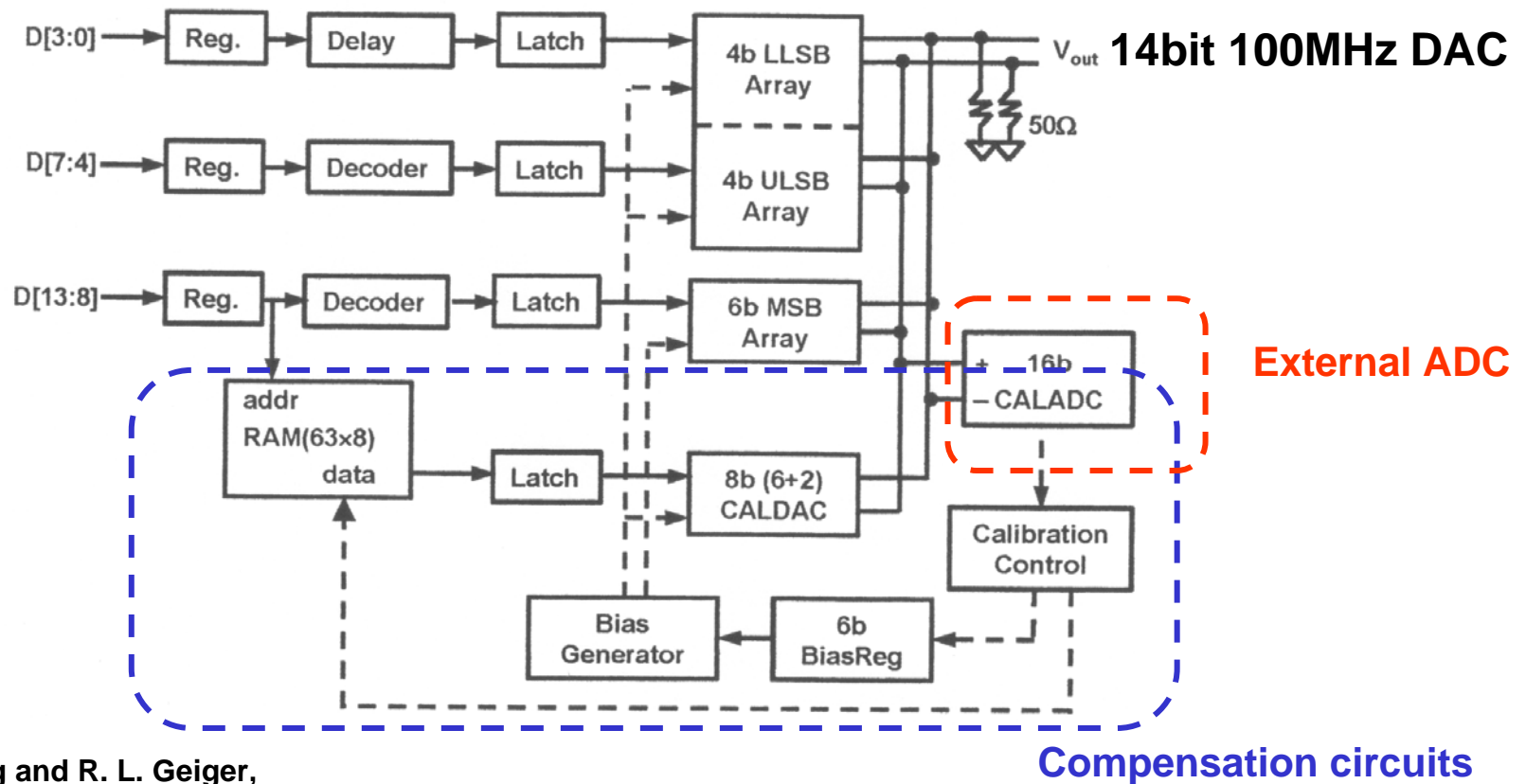
# 高精度アナログ回路の課題

高精度アナログ回路ではデバイスの面積が大きくなる。したがってコスト増の他、容量の増大により周波数特性劣化と消費電力増大を招く。



# デジタル補正を用いた DAC

CAL-ADC measures non-linearity of DAC  
and compensates it's non-linearity by CAL-DAC with logic



Y. Cong and R. L. Geiger,  
Iowa State University, ISSCC 2003

# デジタル補正の効果

デジタル補正により、小さなデバイスを用いても高精度化が可能となった  
従来と比べ、面積は1/50, 消費電力は1/20になった。  
しかしこの方法は外部に高精度ADCが必要なため、非現実的である。

14bit DAC

INL

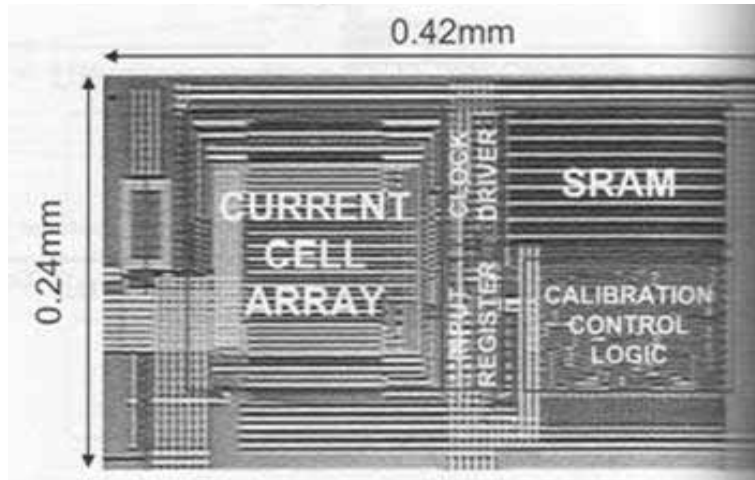
DNL

14b 100MS/s DAC

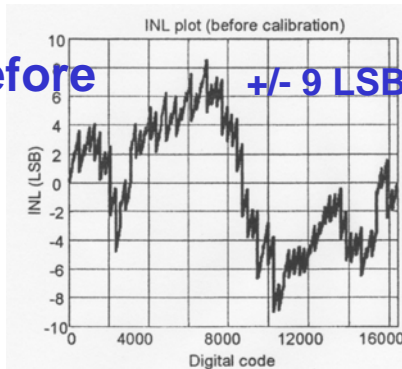
1.5V, 17mW, 0.1mm<sup>2</sup>, 0.13um

SFDR=82dB at 0.9MHz, 62dB at 42.5MHz

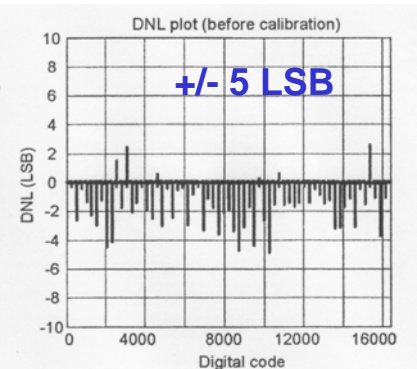
Area: 1/50 Pd: 1/20



Before

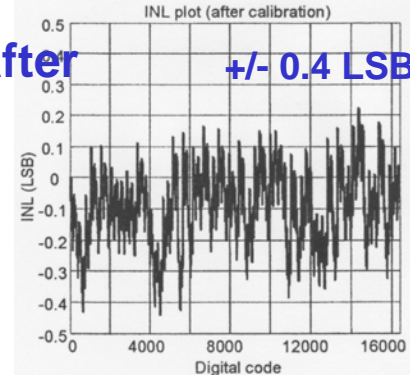


+/- 9 LSB

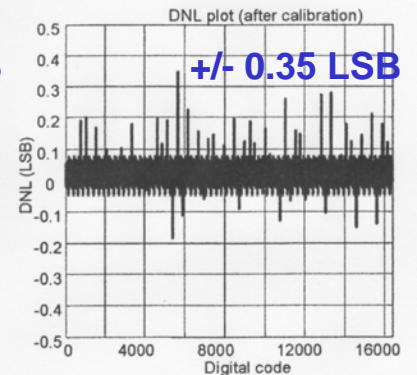


+/- 5 LSB

After



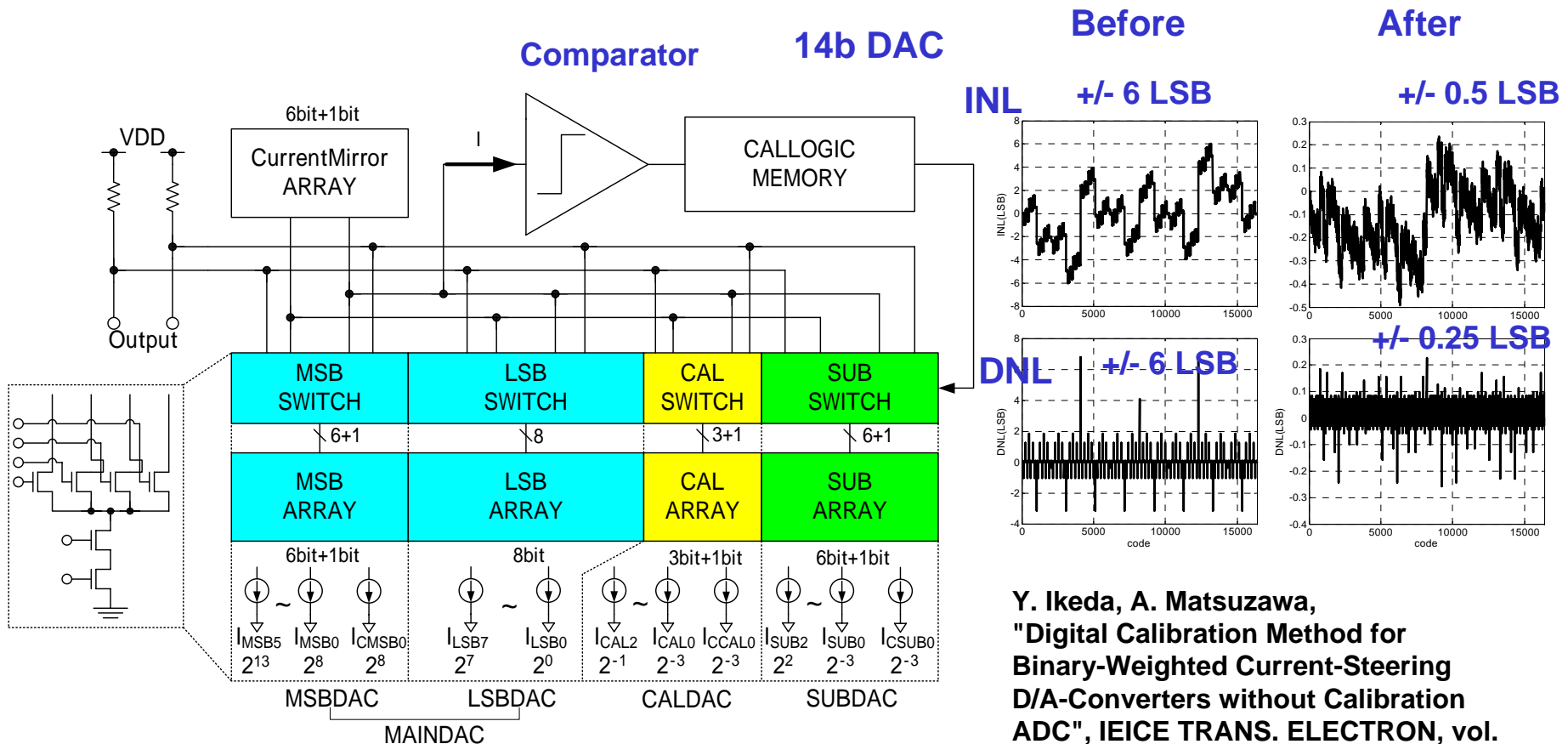
+/- 0.4 LSB



+/- 0.35 LSB

# デジタル補正を用いた DAC

当研究室が提案したDACは比較器で補正するもので、ADCが不要である。



Y. Ikeda, A. Matsuzawa,  
 "Digital Calibration Method for  
 Binary-Weighted Current-Steering  
 D/A-Converters without Calibration  
 ADC", IEICE TRANS. ELECTRON, vol.  
 E90-C, No.6, pp.1172-1180, June. 2007

# イメージ信号の抑制

Low-IFシステムにおいてはイメージ信号の除去が課題である。

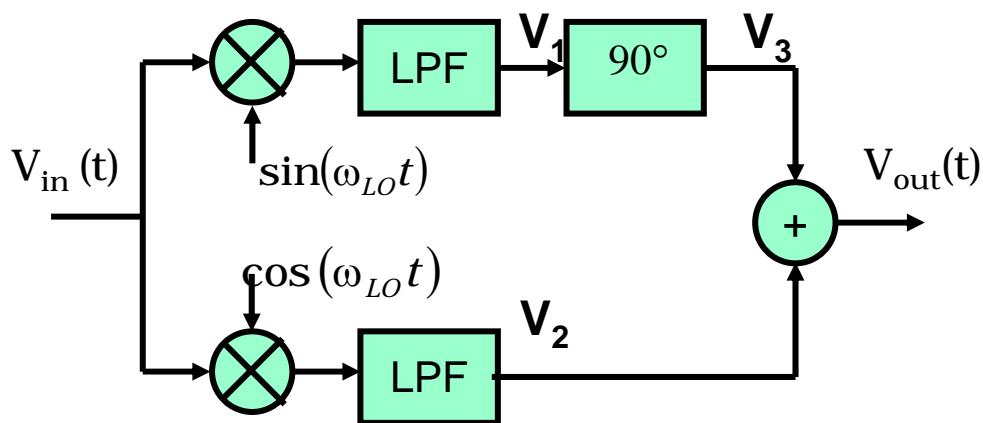


Image rejection mixer

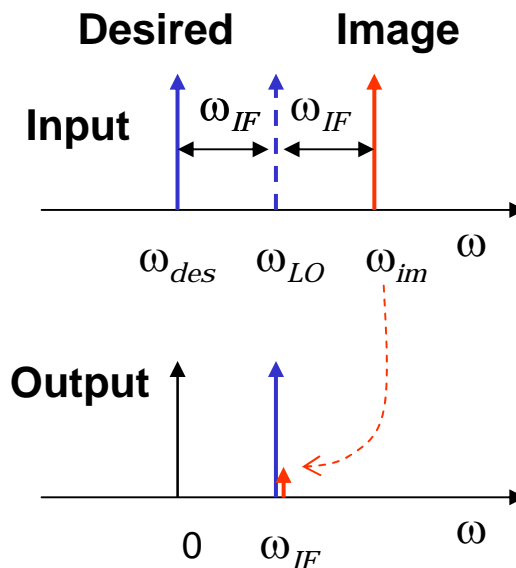
$$V_1(t) = -\frac{V_{des}}{2} \sin(\omega_{des} - \omega_{LO})t + \frac{V_{im}}{2} \sin(\omega_{LO} - \omega_{im})t$$

$$V_2(t) = \frac{V_{des}}{2} \cos(\omega_{des} - \omega_{LO})t + \frac{V_{im}}{2} \cos(\omega_{LO} - \omega_{im})t$$

$$V_1(t) \rightarrow 90^\circ \text{ shift} = V_3(t) = \frac{V_{des}}{2} \cos(\omega_{des} - \omega_{LO})t - \frac{V_{im}}{2} \cos(\omega_{LO} - \omega_{im})t$$

$$V_{out}(t) = V_{des} \cos(\omega_{des} - \omega_{LO})t$$

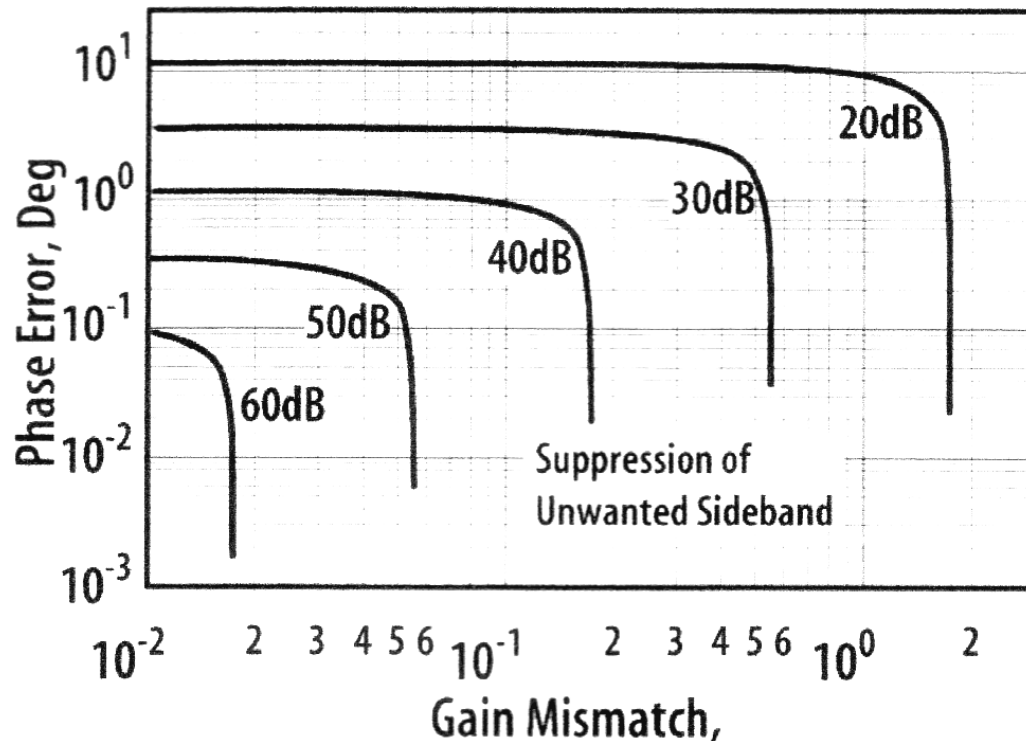
Image is rejected, however,...



# 利得と位相のミスマッチ

イメージ信号除去においてはI/Qパスの利得と位相のミスマッチを極度に抑える必要がある。

0.1 deg and 0.01% are needed for IRR of 60dB



Conventional IRR: 35dB

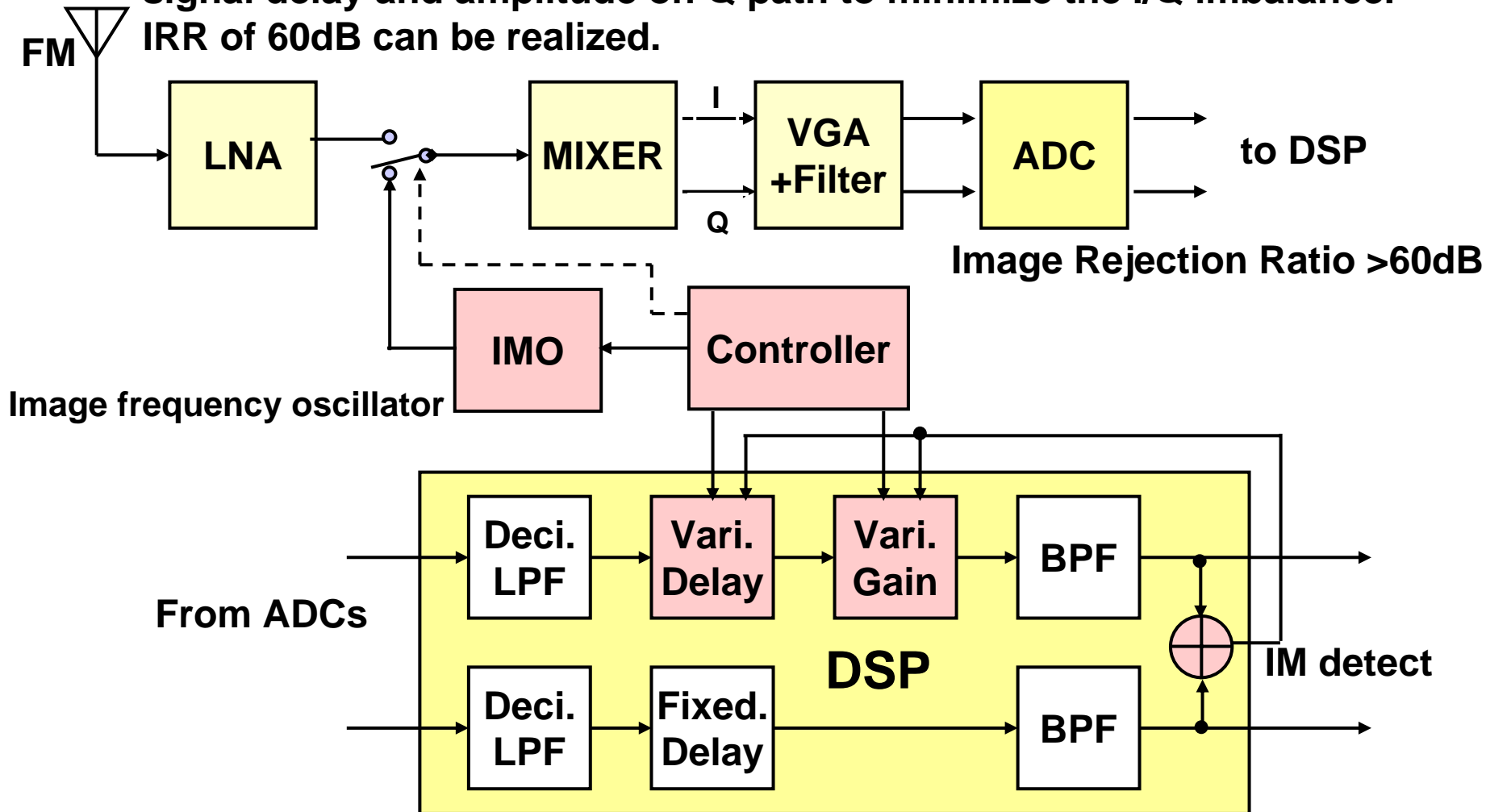
IRR: Image rejection ratio

$$IRR \approx \frac{\left(\frac{\Delta G}{G}\right)^2 + (\Delta\theta)^2}{4}$$

A. Rofougaran, et al.,  
IEEE J.S.C. Vol.33, No.4,  
April 1998. PP. 515-534.

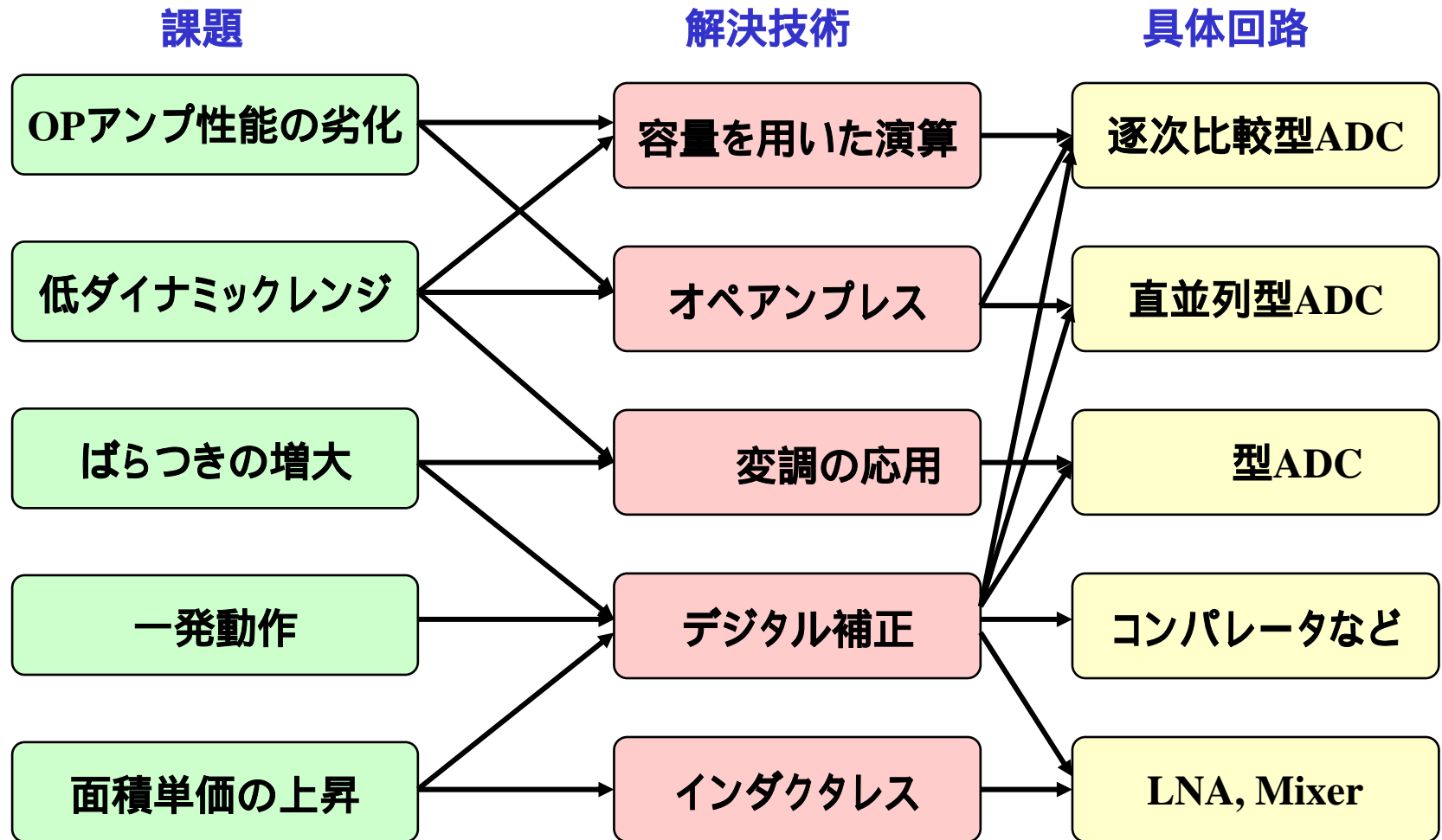
# デジタルイメージ信号抑制

The dummy image signal is generated by IMO and the controller controls signal delay and amplitude on Q path to minimize the I/Q imbalance. IRR of 60dB can be realized.





# 微細プロセスを用いたアナログ回路の開発戦略



# まとめ 1

---

- **CMOSの微細化**

高周波化 60GHz応用が可能に

OPアンプ性能が課題に

- 低利得
- 低振幅

低電圧・低振幅化 SNR確保のため容量増大

- 低SNR・低分解能については高速化・低電力化を促進
- 高SNR・高分解能については高速化・低電力化が困難

アナログ部の面積とコスト抑制が不可欠

ばらつきの抑制が課題

- 高精度化はコア面積増大と性能劣化をもたらす

デジタル補償技術が不可欠

- DAC, ADC
- イメージ信号抑制

# A/D変換器

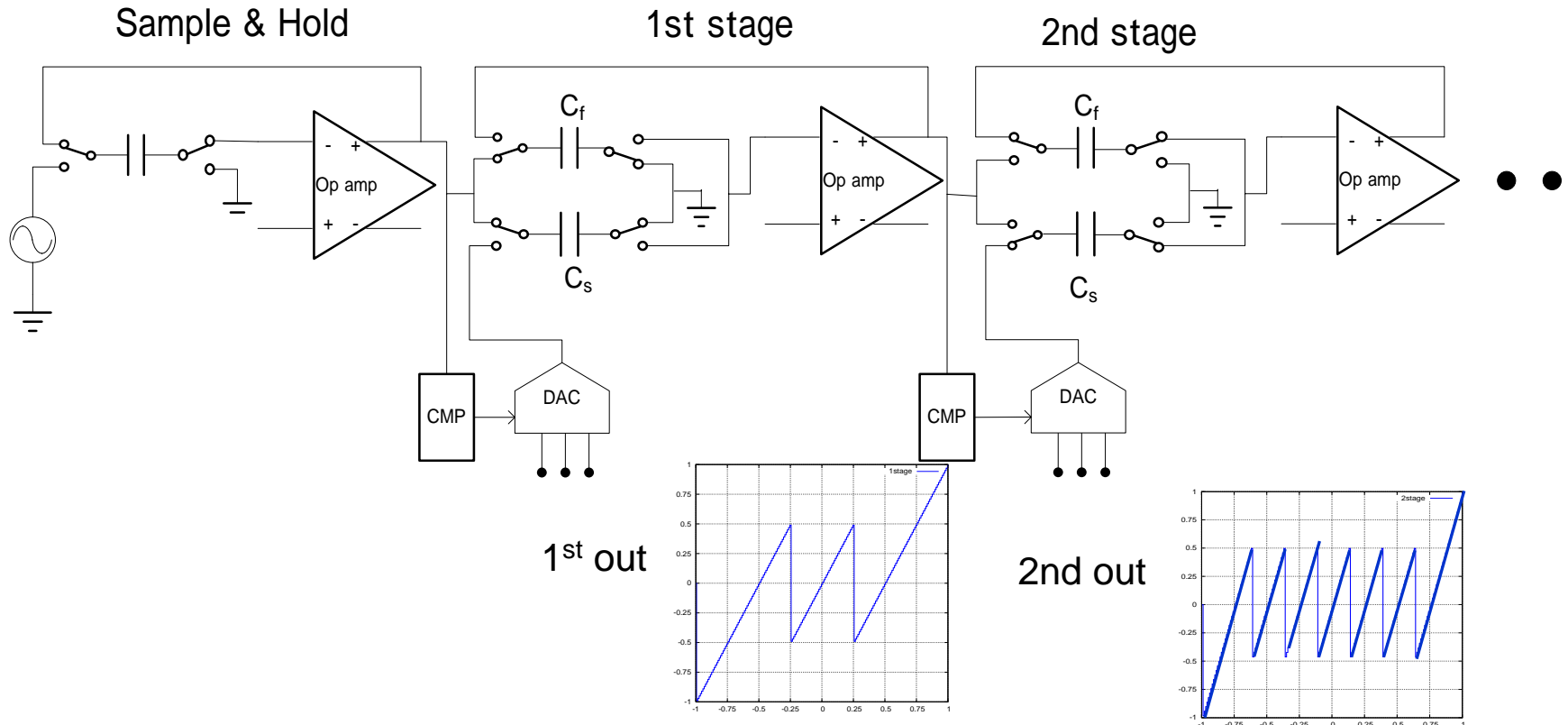
- ・パイプライン型ADC
- ・直並列型ADC
- ・逐次比較型ADC
- ・  
型ADC

ADCはOPアンプを用いない方式が検討されはじめている

# パイプライン型ADC

## 現在の高速・高精度ADCの主流

- パイプライン型ADCは
- ・ 標本化
  - ・ 電圧比較 (ADC)
  - ・ 比較結果に応じたDAC電圧設定
  - ・ (信号-DAC電圧)の増幅(通常2倍)
- をパイプライン的に行う



# OPアンプから比較器+電流源へ

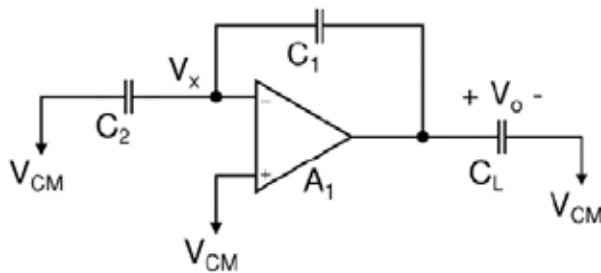
パイプライン型ADCは高利得のOPアンプが必要だが、微細化・低電圧化に伴い実現が困難に

$$G(\text{dB}) > 6N + 10 \quad \text{分解能14ビットでは94dB以上の利得が必要}$$

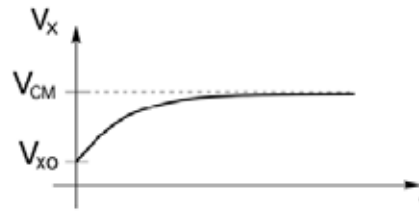
N:分解能

増幅回路1段あたり20dB程度、4段が上限なので12ビット以上は困難に

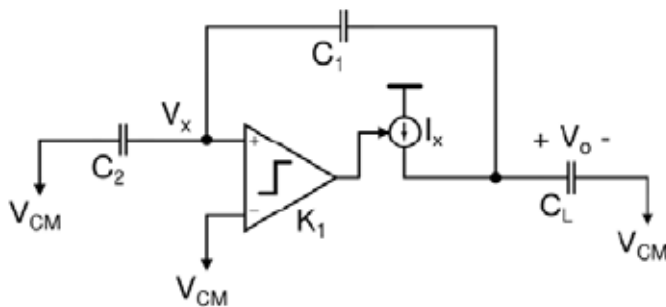
OPアンプをやめて、その機能を比較器と電流源に置き換える



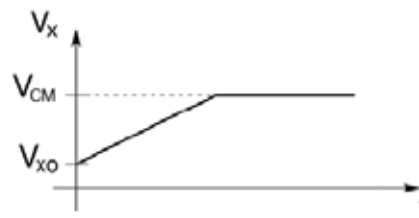
従来のOPアンプ回路



OPアンプの負帰還回路は  
入力が仮想接地になる。  
出力は $V_x$ が $V_{CM}$ 漸近するように  
決まる。



Comparator-Based Switched-Capacitor



コンパレータのディレイが無いと  
仮定すれば、 $V_x = V_{CM}$ となる時点で  
出力が決定される。  
OPアンプの負帰還回路と同様な  
動作が可能。

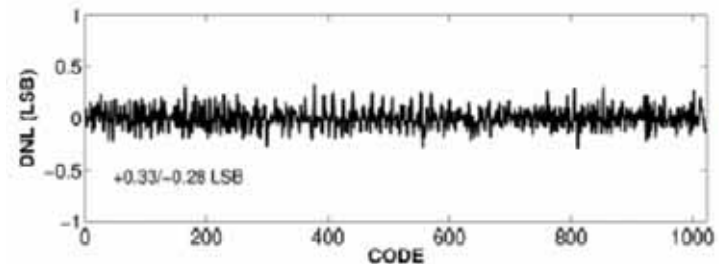
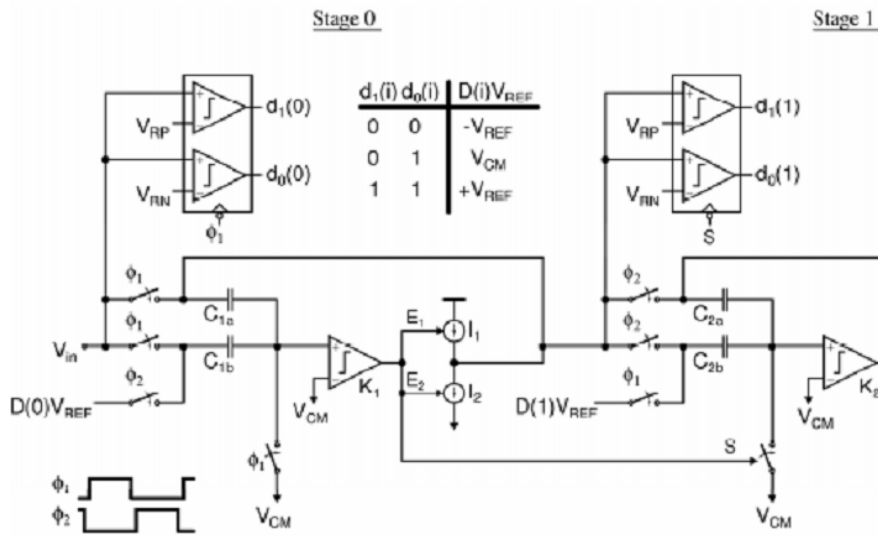


# 構成と試作結果

分解能10bitのパイプライン型ADCを設計・試作。  
8MHz動作時の消費電力は2.5mW, FoM=0.3pJ/b

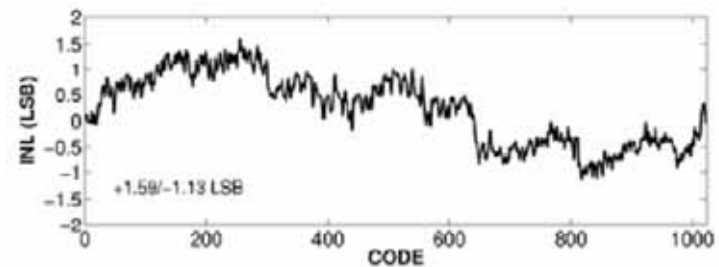
FoMは低いが、驚くほど低くはない

全体構成 1.5bit冗長型  
分解能10bit



$f_c = 8\text{MHz}$   
Power = 2.5mW

$$\text{FOM} = \frac{P}{f_c \cdot 2^N} = 0.3\text{pJ/b}$$

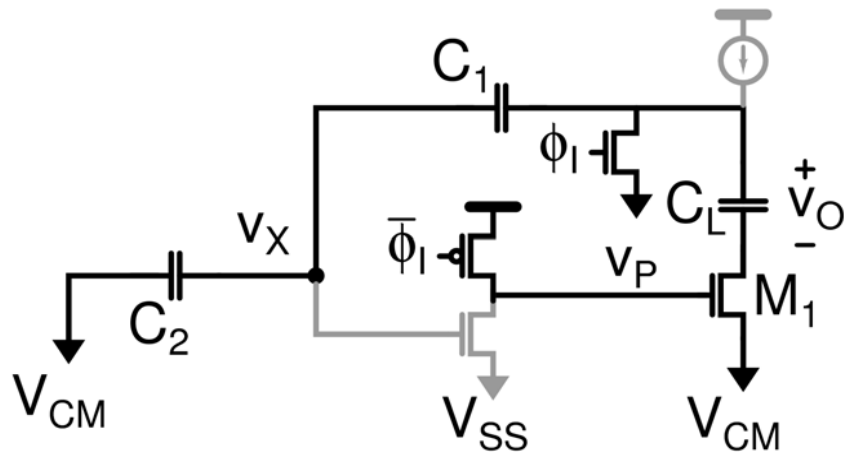


N=10bit

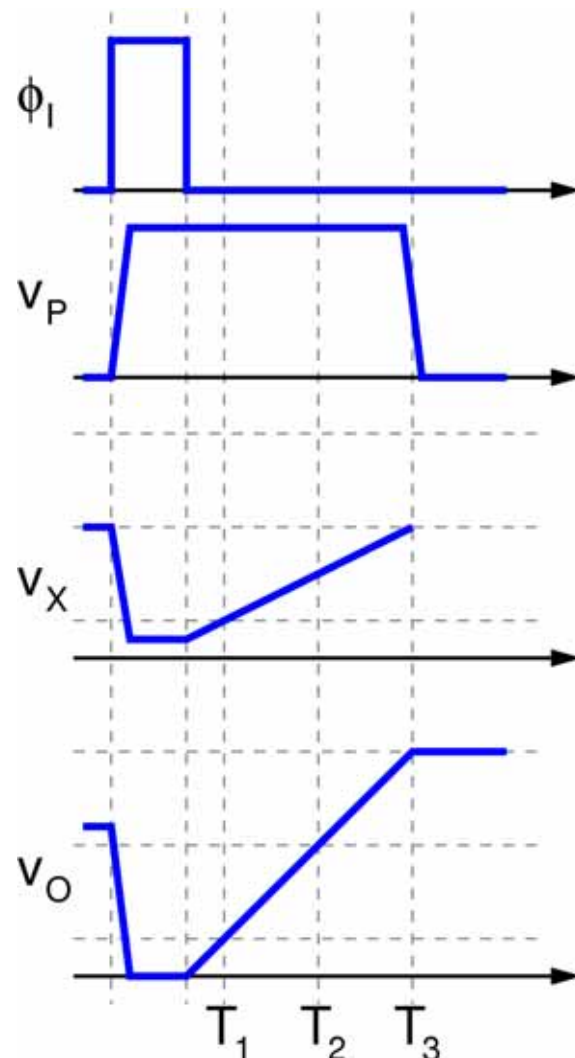
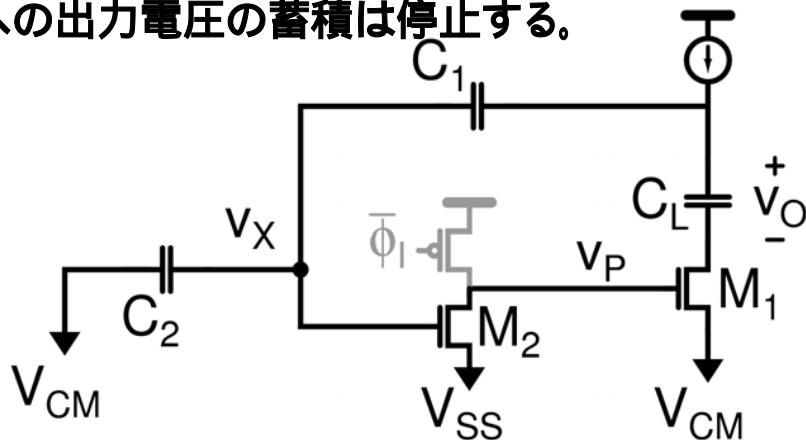
# ダイナミック型比較器の採用

貫通電流が流れない比較器の採用で更に低電力化を図る

$V_x < V_T$  においては  $M_2$  はオフ、 $M_1$  はオンとなり、 $C_1$  は電流源で充電され、出力電圧は  $C_L$  に蓄えられる。



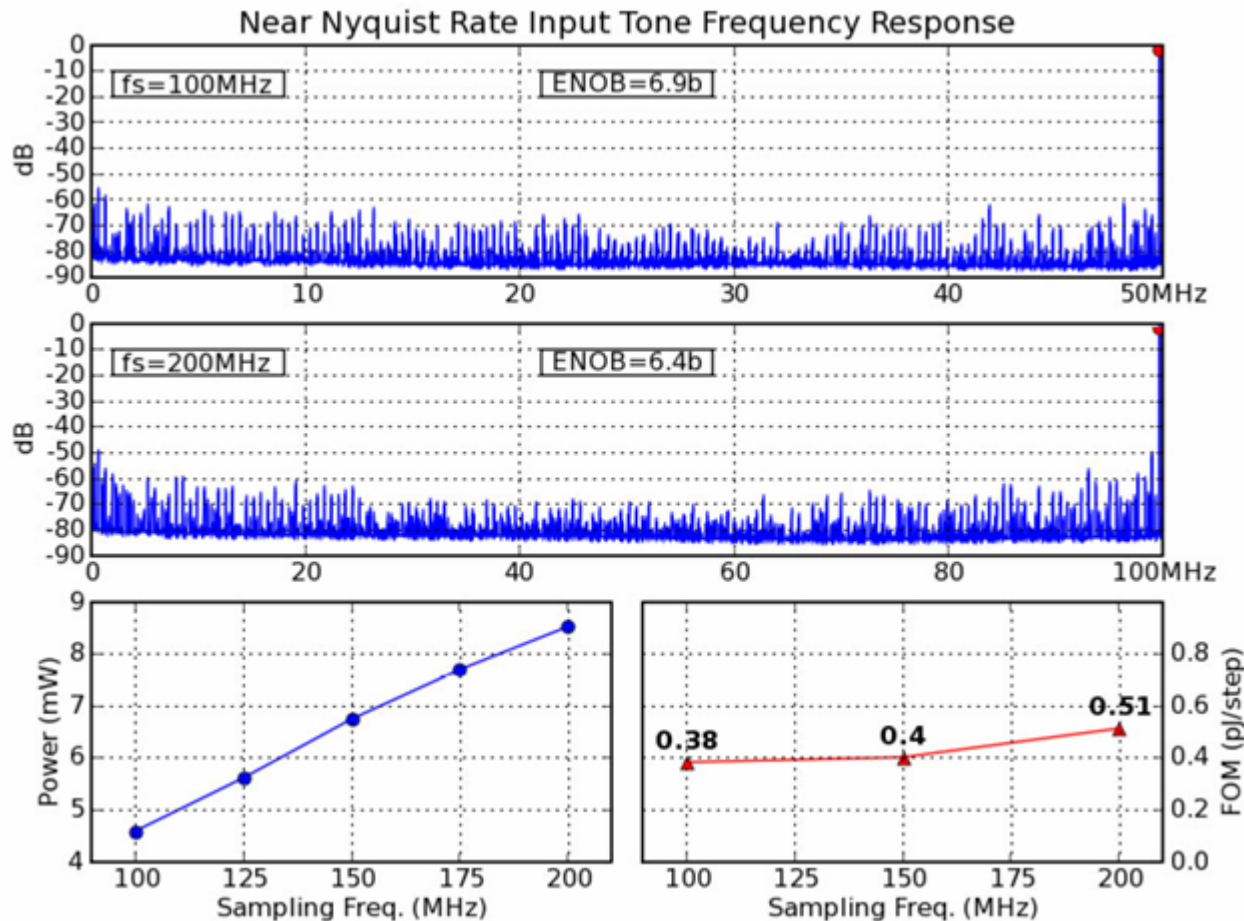
$V_x > V_T$  においては  $M_2$  はオン、 $M_1$  はオフとなり、 $C_L$  への出力電圧の蓄積は停止する。





# 得られた性能

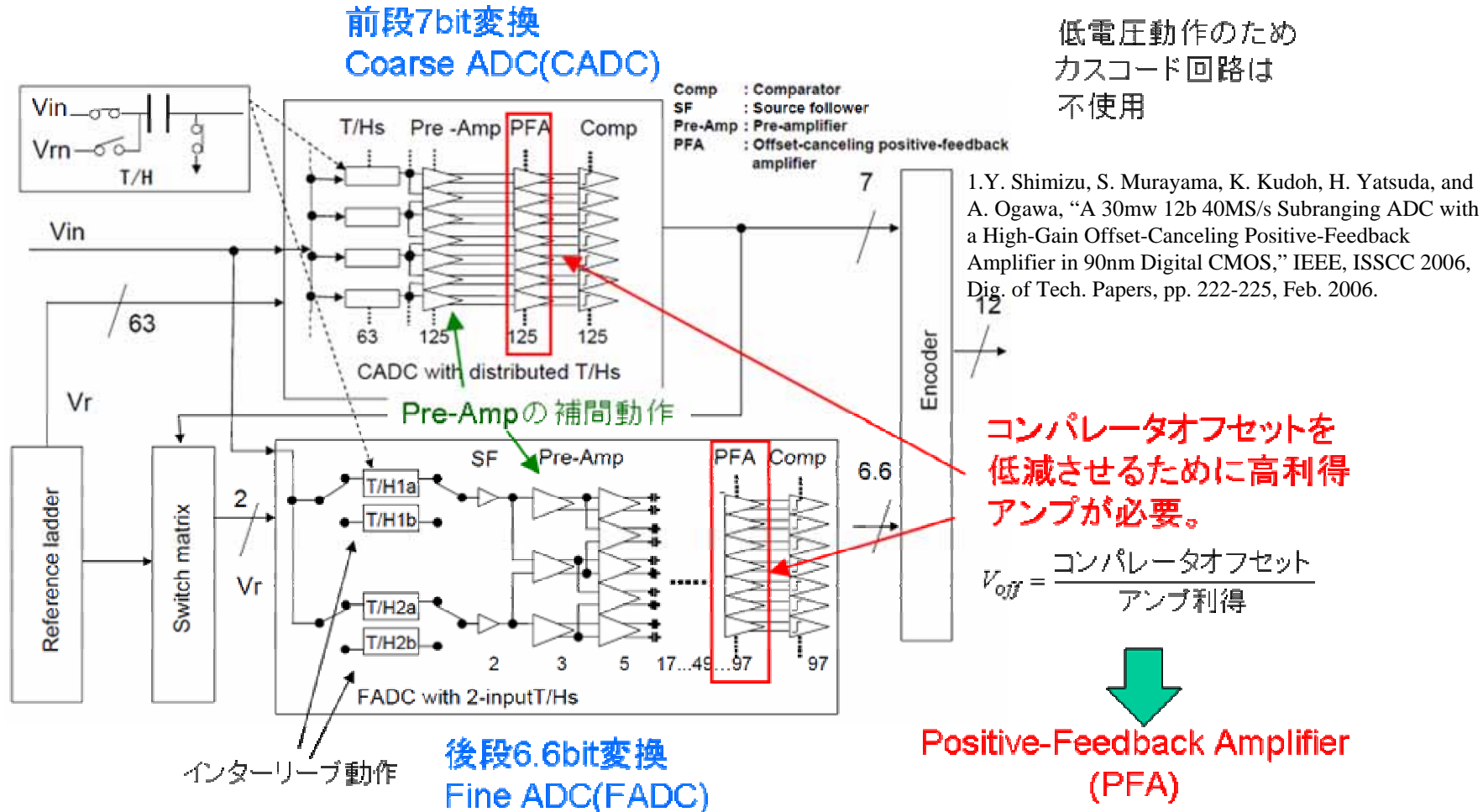
8bit ADCを設計・試作。 200MHzにて有効ビット6.4bit  $P_d=9\text{mW}$   
FoMは0.5pJ/stepが得られた。



L. Brooks and H. Lee, "A Zero-Crossing-Based 8b 200MS/s Pipelined," IEEE, ISSCC 2007, Dig. of Tech. Papers, pp. 460-461, Feb. 2007.

# 直並列型ADC

直並列型ADCはOPアンプを用いないので低電力だが比較器の高精度化が不可欠である



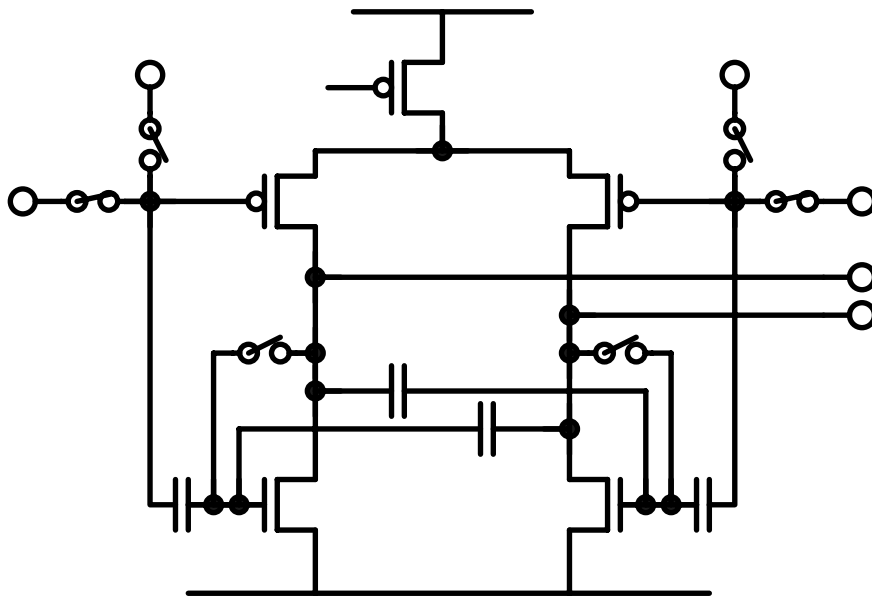
I. Y. Shimizu, S. Murayama, K. Kudoh, H. Yatsuda, and A. Ogawa, "A 30mw 12b 40MS/s Subranging ADC with a High-Gain Offset-Canceling Positive-Feedback Amplifier in 90nm Digital CMOS," IEEE, ISSCC 2006, Dig. of Tech. Papers, pp. 222-225, Feb. 2006.



**Positive-Feedback Amplifier (PFA)**

# 正帰還を用いた比較器

従来の回路では15倍の利得しか得られないが  
正帰還により200倍まで向上  
オフセット電圧が減少



## Reset時

S1が開、S2, S3が閉。  
T3, T4がダイオード接続され、  
C1, C2にオフセット電圧がストアされる。

## Amp時

S1が閉、S2, S3が開。  
C2によりDCシフトされながら、  
T1, T3及びT2, T4をドライブできる。  
更にC1により正帰還がかかり利得が上がる。

V<sub>DD</sub>

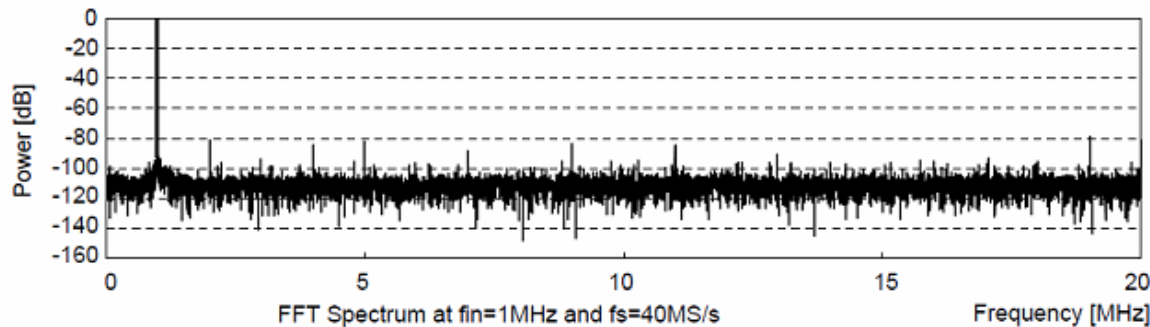
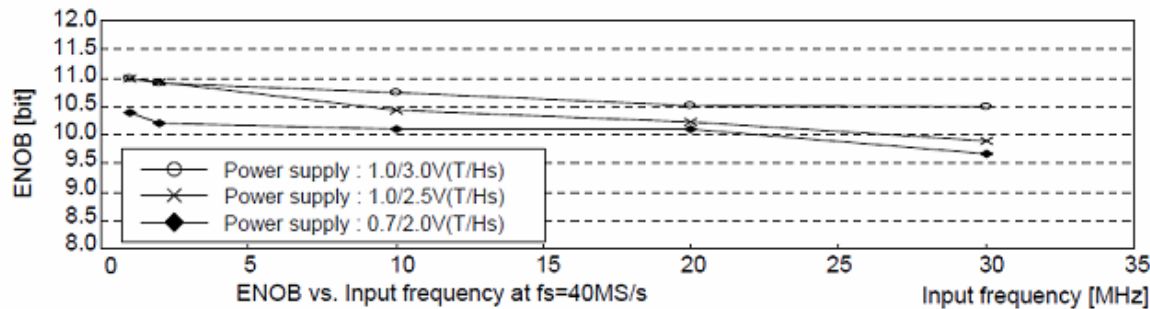
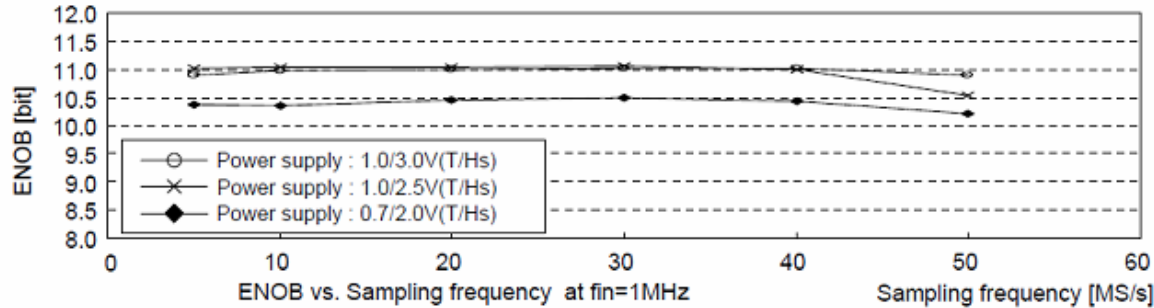
# 評価結果

10.5から11.0の高い有効ビットを実現。  
40MHz動作時に30mWの消費電力

90nm CMOS 1V動作

0.4pJ/step

高分解能の割には低電力

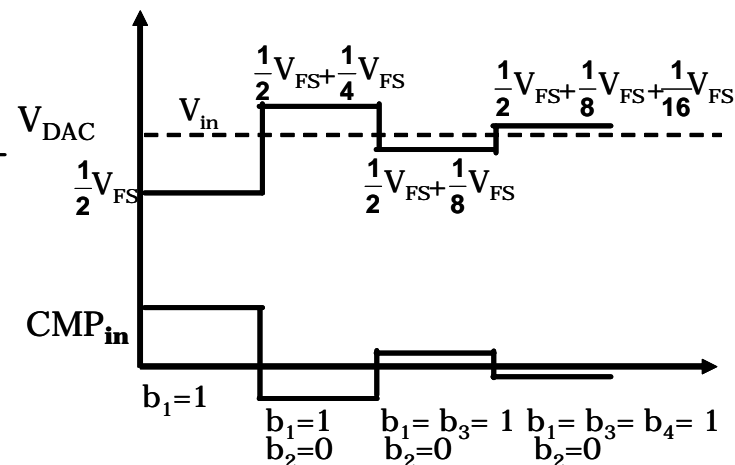
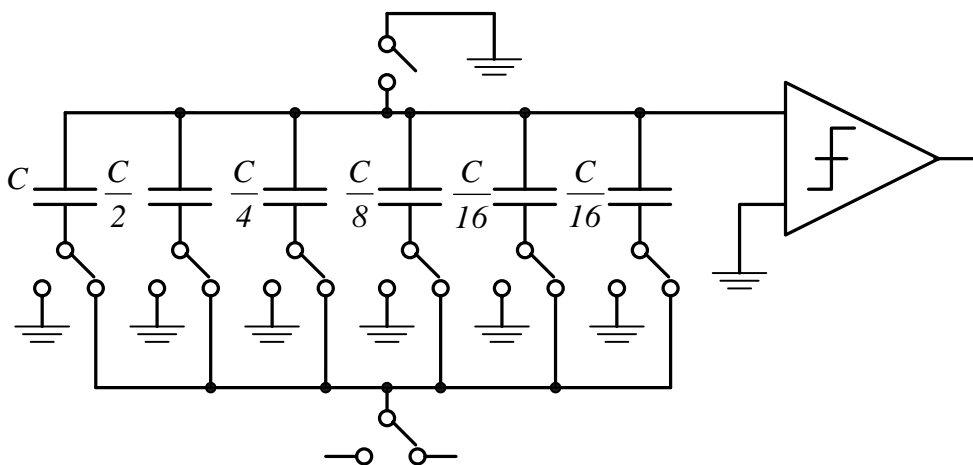


# 逐次比較型 ADC

バイナリサーチのアルゴリズムを用いたものが逐次比較型ADCである。

OPアンプを用いないので元々低電力であるが  
高速化・高精度化が必要

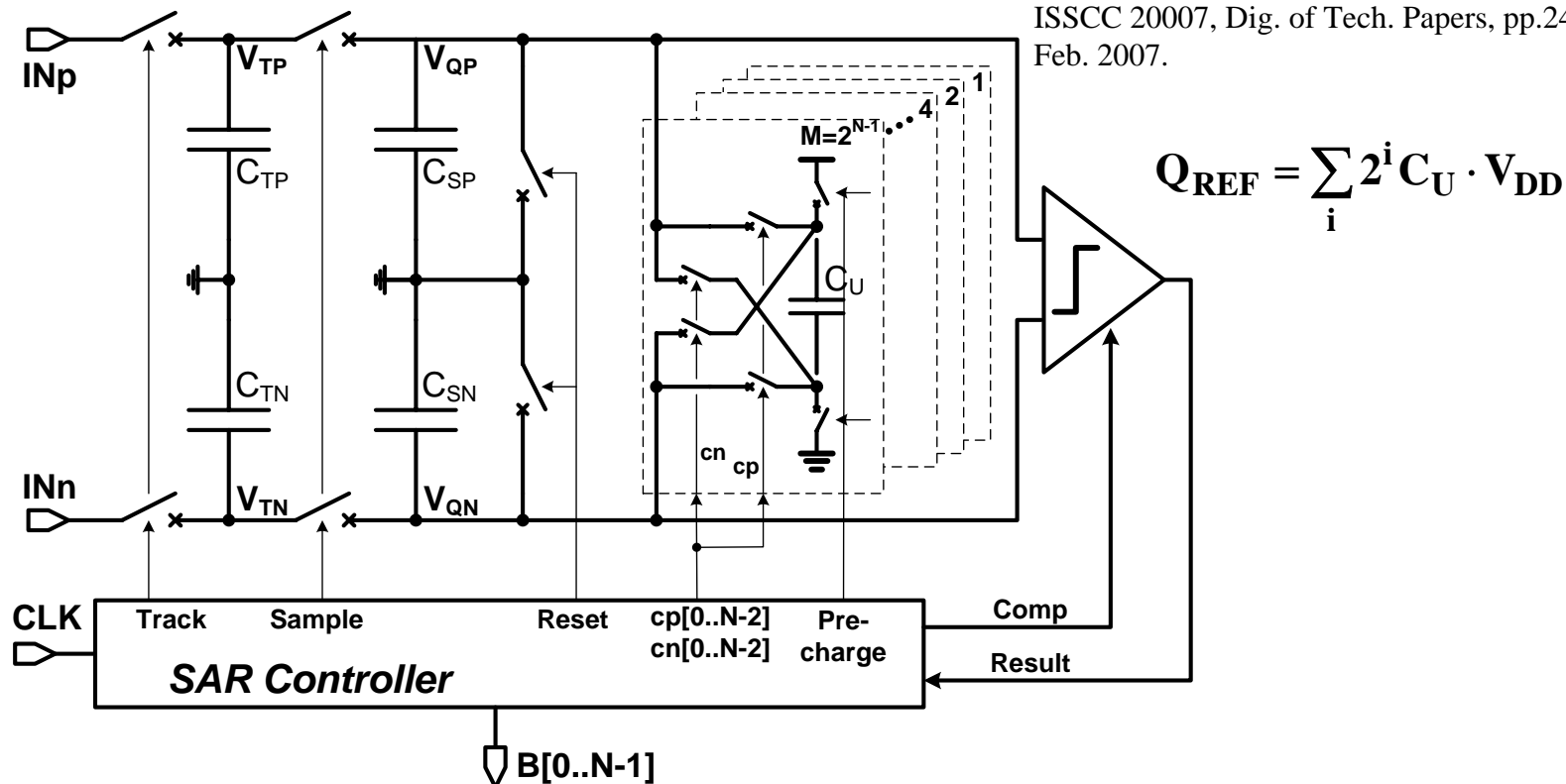
- ・比較的高精度 16bit程度
- ・低消費電力(OPアンプを使用しない)
- ・低速(マルチサイクル)



# 65fJ/conv. を達成した逐次比較型ADC

あらかじめ参照電圧を重み付けされた容量に保存しておき  
 $V_{QP}$ ,  $V_{QN}$ 間を比較して極性を変えながら接続することで逐次比較を実現する。  
 参照電圧の逐次印加が不要なのでセットリングが速く、バッファが要らないので低電力

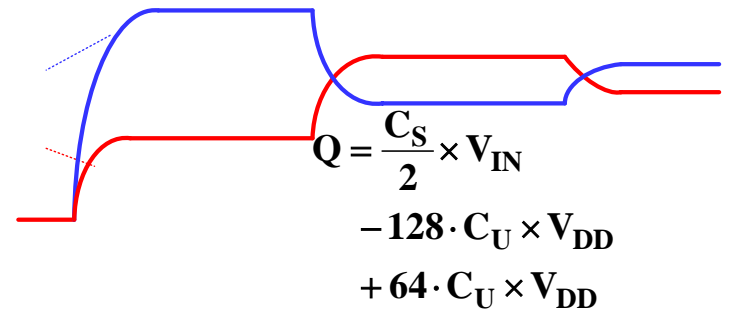
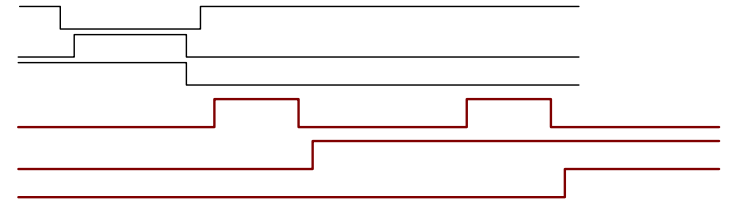
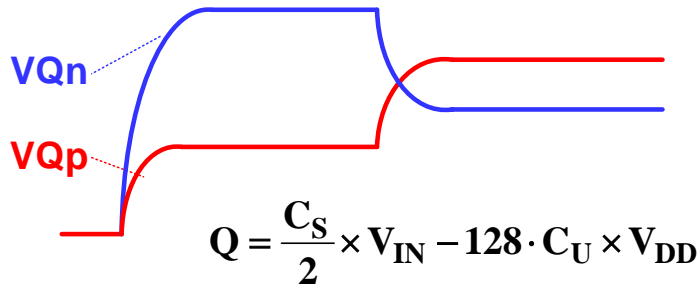
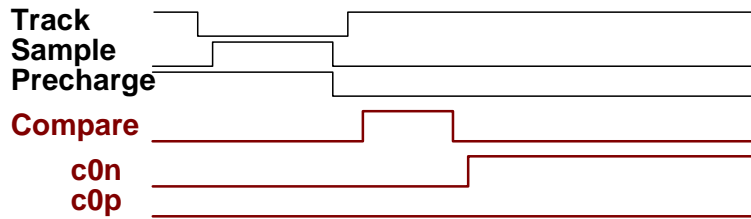
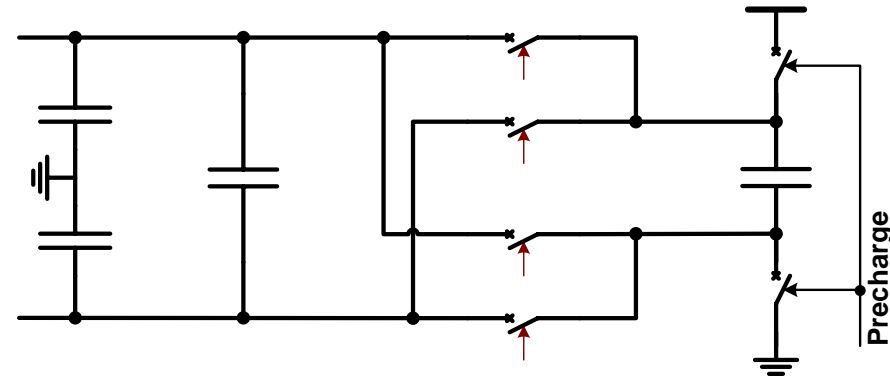
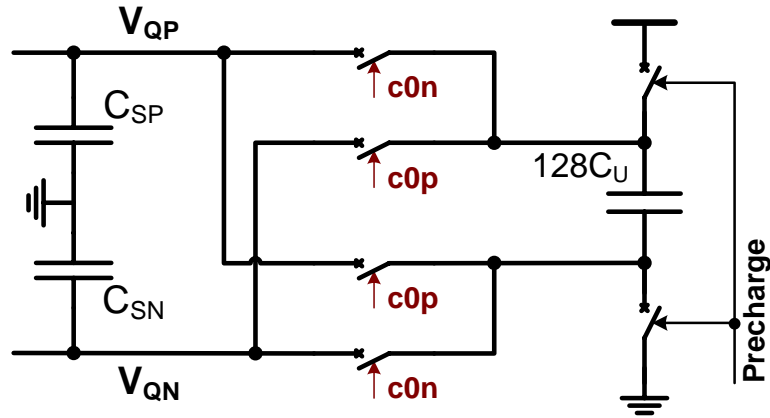
J. Craninckx and G. Van der Plas,  
 "A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," IEEE  
 ISSCC 2007, Dig. of Tech. Papers, pp.246-247,  
 Feb. 2007.



$$Q_{REF} = \sum_i 2^i C_U \cdot V_{DD}$$

# 逐次変換の方法

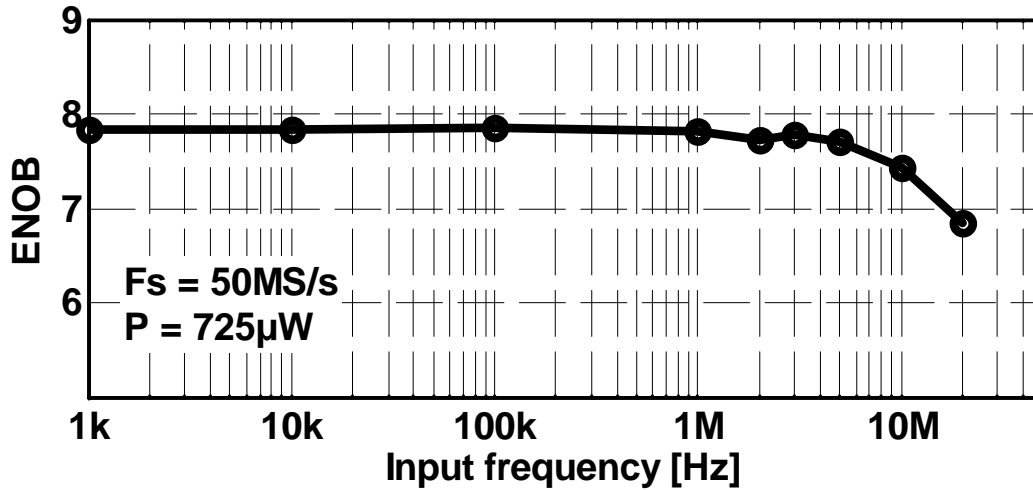
1. 差動入力信号を $C_{sp}$ ,  $C_{sn}$ に保存し、 $V_{QP}$ ,  $V_{QN}$ 間を比較してMSBを決定する。
2. MSBの状態に応じて容量 $128C_U$ の接続極性を切り替えて $C_{sp}$ ,  $C_{sn}$ に接続
3. 減少した差動電位を比較してMSB-1 bitを決定、以下繰り返す



± ...

# 評価結果

FoM=65fJ/stepの驚異的な低FoMを達成



変換周波数20MHzで  
ナイキスト周波数まで  
7.8bitの有効ビットを達成

20MHzで0.3mW  
FoM=65fJ/stepの驚異的な低FoMを達成

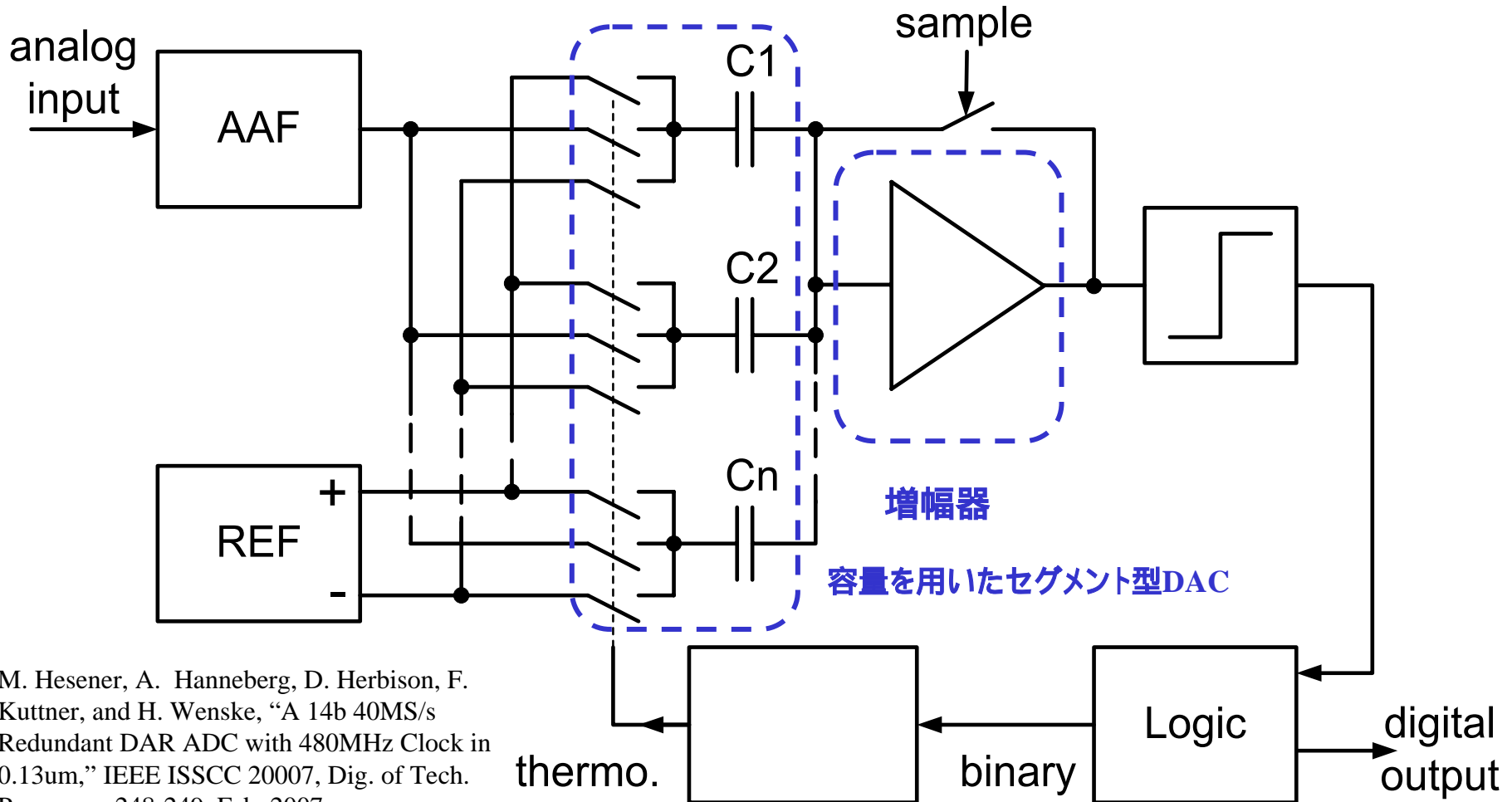
90nm CMOS 1V動作

ISSCC06 Paper #	Arch.	Fs [MS/s]	ENOB	P [mW]	FoM [fJ]	FoM includes		
						Ref.	Clock	Dec.
3.1	CTΔΣ	40	12	50	300	-	Yes	Yes
3.4	ΔΣ	4.4	12.6	13.8	500	-	No	No
12.1	PL	100	9.4	39	570	-	-	-
12.3	Subr.	50	10.4	30	440	-	-	-
12.4	PL-CBSC	7.9	8.7	2.5	760	-	-	-
12.5	SAR	0.1	10.5	0.025	170	No	No	-
12.7	PL	50	9.2	15	510	-	-	-
31.1	Flash	1250	3.7	2.5	160	-	-	-
31.5	SAR	300	5.3	2.65	220	No	Yes	-
<b>This work</b>	<b>CS-SAR</b>	<b>20</b>	<b>7.8</b>	<b>0.29</b>	<b>65</b>	<b>Yes</b>	<b>Yes</b>	<b>-</b>



# セグメントDACと増幅器を用いた逐次比較型ADC

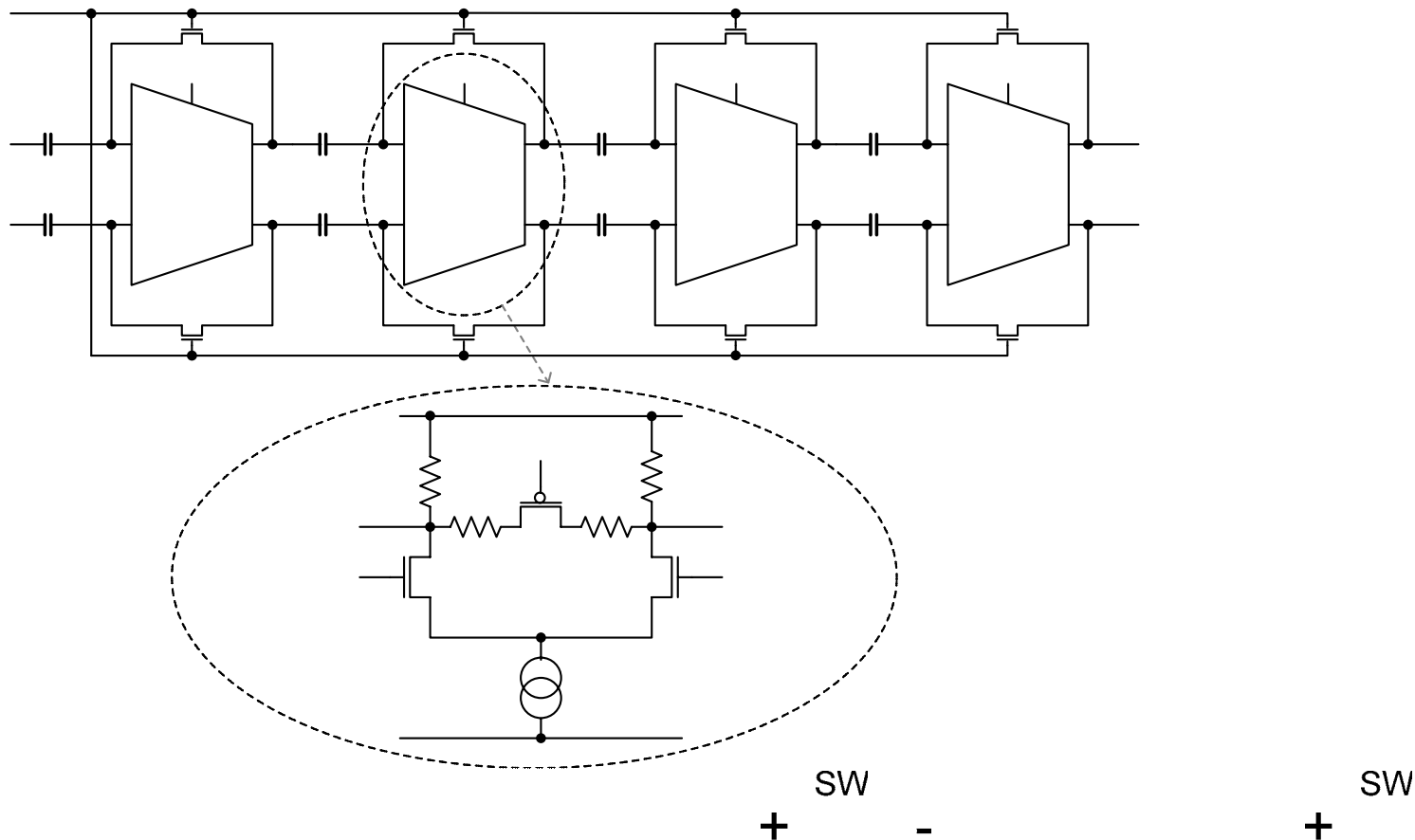
高精度化のために比較器の前に増幅器を配した  
セグメント型容量アレーにより単調性を確保



M. Hesener, A. Hanneberg, D. Herbison, F. Kuttner, and H. Wenske, "A 14b 40MS/s Redundant DAR ADC with 480MHz Clock in 0.13um," IEEE ISSCC 20007, Dig. of Tech. Papers, pp.248-249, Feb. 2007.

# 利得と帯域を可変にした増幅器

スイッチ電圧を制御することで利得と帯域を可変にできる。  
変換の初期フェーズでは利得を小さくして高速性を追求。  
変換が進むに従い利得を大きくして変換精度を高めている。



# 評価結果

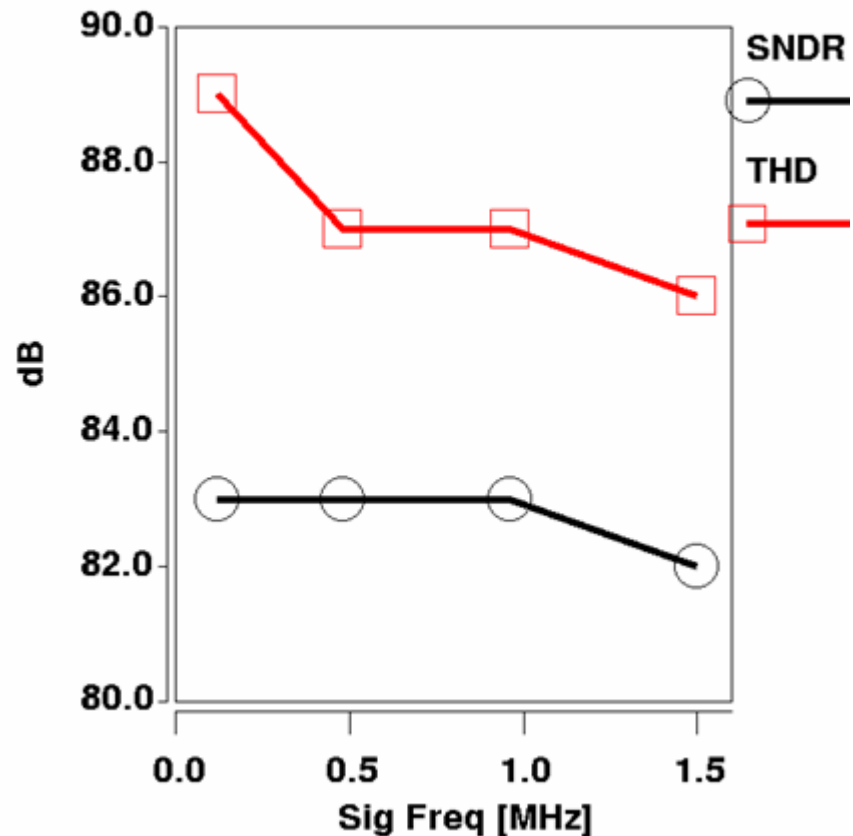
変換周波数40MHzにて実効分解能13.5bitを66mWで達成  
(非常に完成度が高い発表である)

FoM=0.14pJ/step

0.13um CMOS

Supply voltage	1.5V
Input range	±0.9V diff.
Sample frequency	40MHz
Internal clock frequency	480MHz
Analog power	49mW
Digital power	17mW
Total power	66mW

THD & SNDR vs. Signal Frequency



# 比較器オフセット電圧のデジタル補正

オフセット電圧低減が不可欠であるが、従来の面積増大での対処は速度・消費電力とも劣化。面積は小さめにし、デジタル回路のアシストによるオフセット補償技術を用いる。

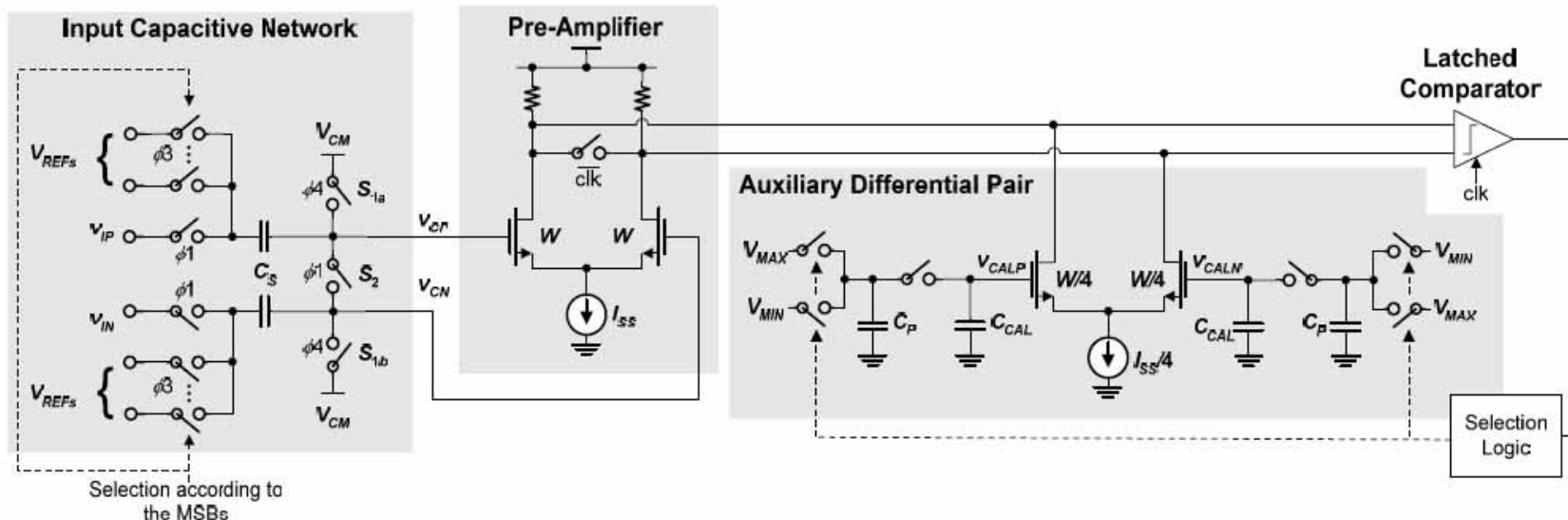


Figure 31.2.3: FADC A comparator.

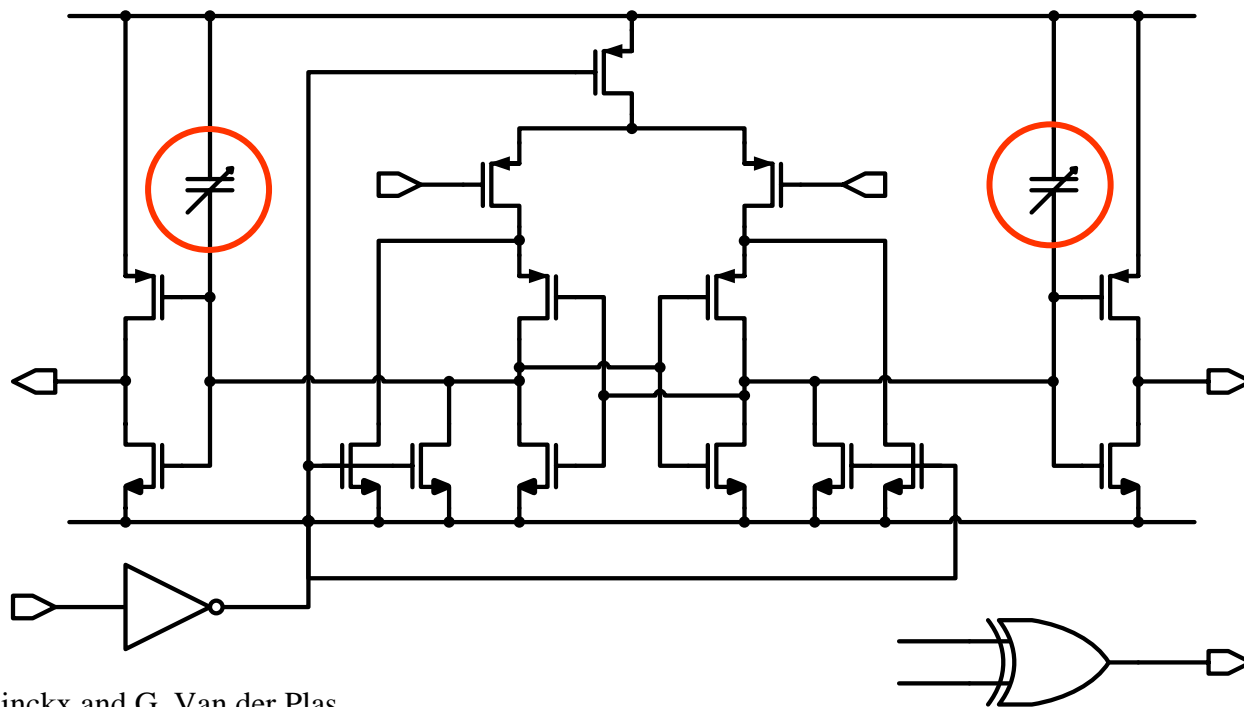
ISSCC 2006

31.2 A 90nm CMOS 1.2V 6b 1GS/s Two-Step Subranging ADC

- Auxiliary Differential Pairがオフセット除去を行う。  
C<sub>p</sub>にV<sub>max</sub> or V<sub>min</sub>でプレチャージを行う。  
Pre-Amplifierの出力スイッチが閉じ、Auxiliary Differential PairのC<sub>p</sub>からC<sub>CAL</sub>へ電荷が移動し、出力が同電位になるような電流量にC<sub>CAL</sub>が制御する。  
コンパレータ判定を見ながらチャージ量を調整する。

# ダイナミック型比較器とオフセット補正

最近よく用いられる比較器は定常電流が流れないタイプである。  
容量アレーによる容量切り替えによりオフセット電圧を補償している。

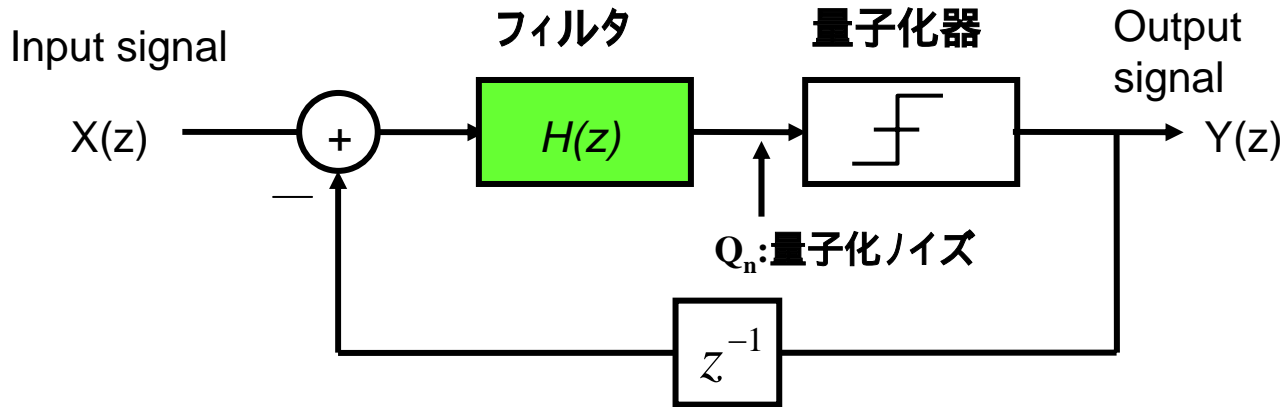


J. Craninckx and G. Van der Plas,  
“A 65fJ/Conversion-Step 0-to-0.7mW 9b Charge-  
Sharing SAR ADC in 90nm Digital CMOS,” IEEE  
ISSCC 2007, Dig. of Tech. Papers, pp.246-247,  
Feb. 2007.

INp

# 変調器

$\Delta\Sigma$ 変調器は量子化器の前にフィルタを配し、量子化出力を入力側に戻して負帰還をかけたものである。量子化ノイズは帯域外に拡散するようになり、帯域内ノイズは減少する。



$$Y(z) = \frac{H(z)}{1 + H(z)z^{-1}} X(z) + \frac{1}{1 + H(z)z^{-1}} Q_n(z)$$

STF (Signal Transfer)

NTF (Noise transfer)

Ex.

$$H(z) = \frac{1}{1 - z^{-1}} \quad STF(z) = 1, \quad NTF(z) = \underline{1 - z^{-1}}$$

No filter

High pass filter

# 変調器の周波数特性

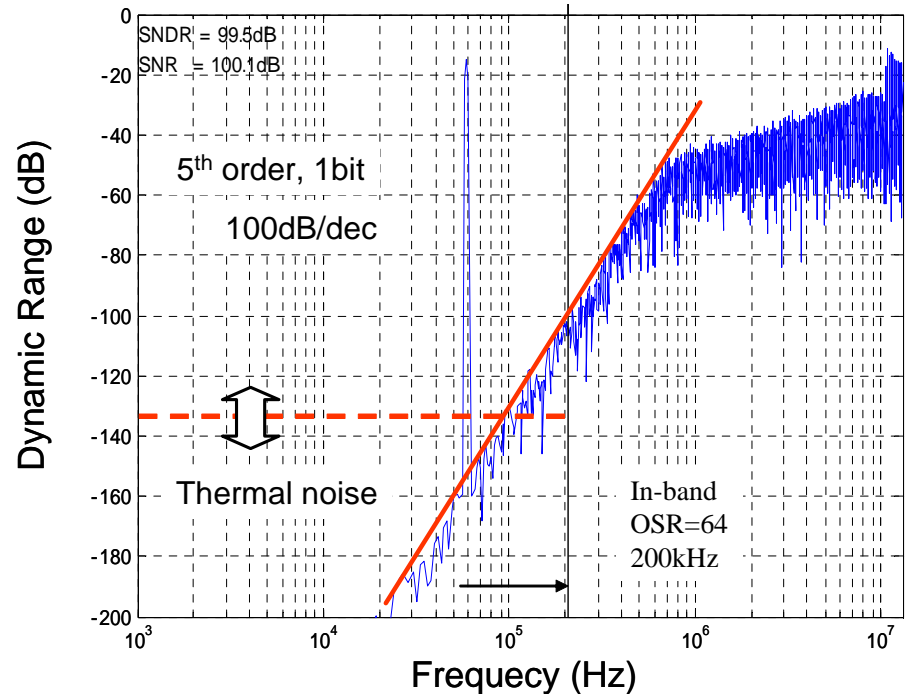
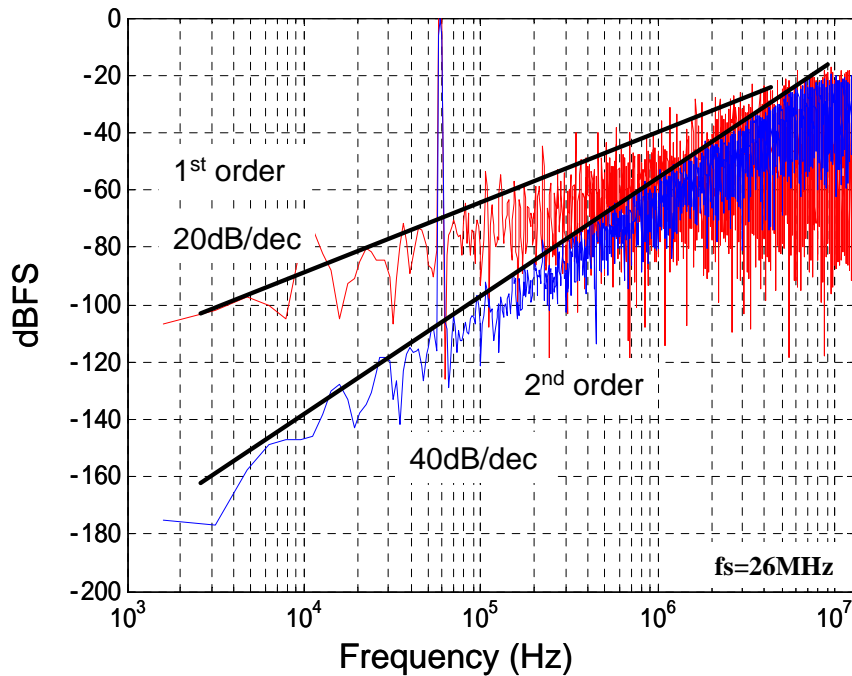
量子化分解能、フィルター次数、オーバーサンプリング比率が高いほど量子化ノイズが抑圧され、SNRが上がる。

$$Y(z) = X(z) + (1 - z^{-1})^L Q(z)$$

$$h_q^2(f) = \frac{\Delta^2}{12 f_s}$$

$$N_q = \int_{-f_b}^{+f_b} h_q^2(f) |1 - z^{-1}|_{z=e^{j2\pi f / f_s}}^{2L} df$$

$$\approx \int_{-f_b}^{+f_b} \frac{\Delta^2}{12 f_s} \left| \frac{j2\pi f}{f_s} \right|^{2L} df = \left( \frac{\Delta}{2} \right)^2 \frac{1}{3\pi(2L+1)} \left( \frac{\pi}{OSR} \right)^{2L+1}$$

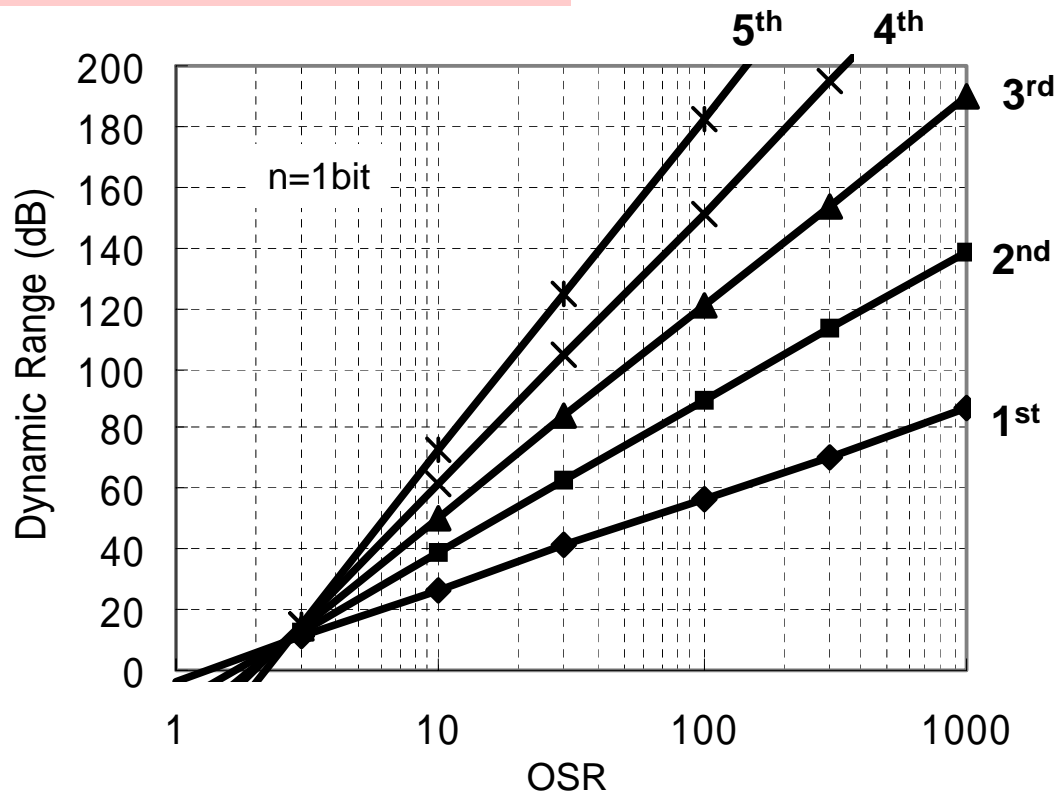


# 回路の高速化とSNR

変調技術を用いると、回路を高速動作させることで、高いSNRを得ることができる。  
微細・低電圧回路に向いている。

$$SNR = \frac{3\pi}{2} (2^N - 1)^2 (2L + 1) \left( \frac{OSR}{\pi} \right)^{2L+1}$$

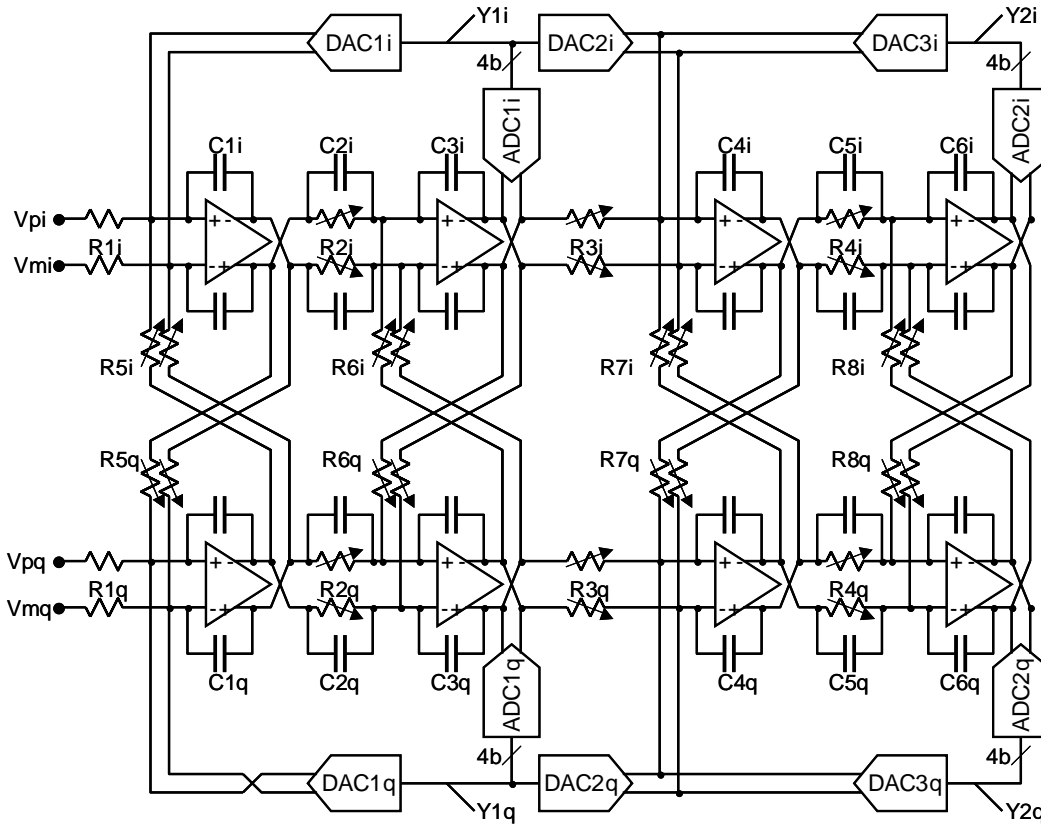
OSR=動作周波数/(信号帯域 x 2)



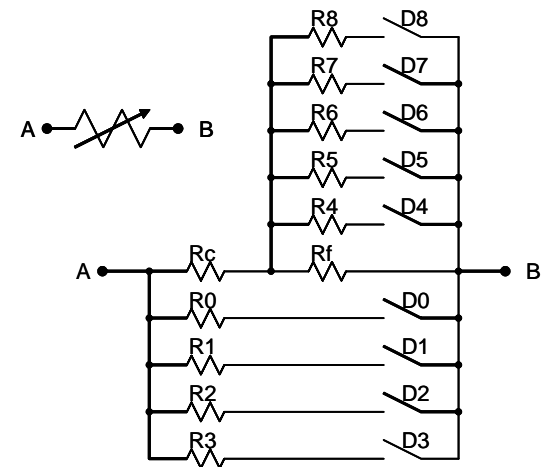


# CT型複素バンドパス 型ADC

CT型 型ADC, 20MHz の信号帯域で77dBのSNRを実現した



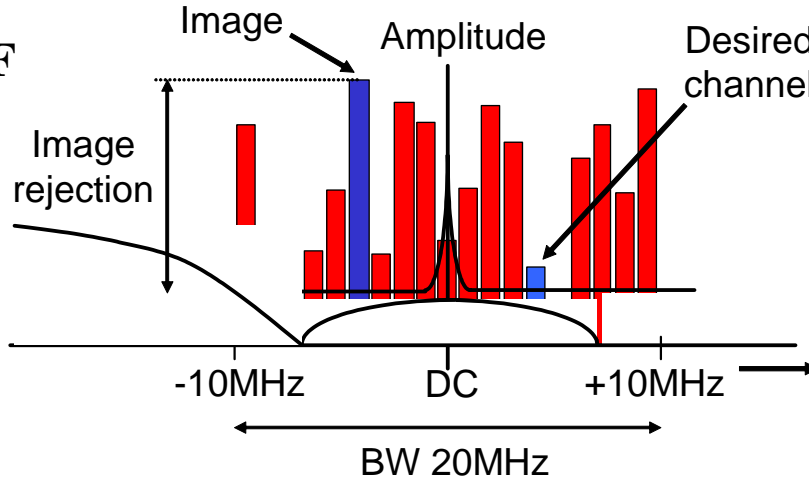
L. J. Breems, et., al.  
 "A 56mW CT Quadrature Cascaded SD Modulator with 77dB in a Near zero-IF 20MHz Band."  
 ISSCC 2007, pp. 238-239.



# ゼロIFとNear IF

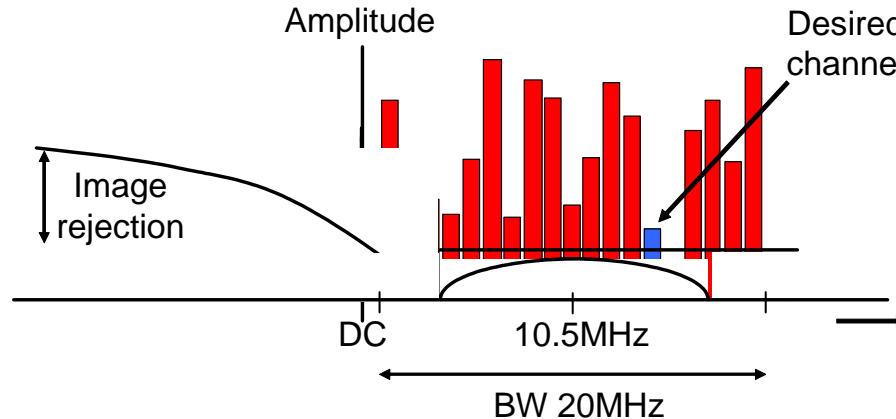
型ADCはフィルター特性により様々な機能を付加することができる。

## ゼロIF



1/fノイズの影響が大きく、  
かつイメージ除去が困難

## Near IF



1/fノイズの影響が少なく、  
かつイメージ除去が容易

複素バンドパスフィルタが必要

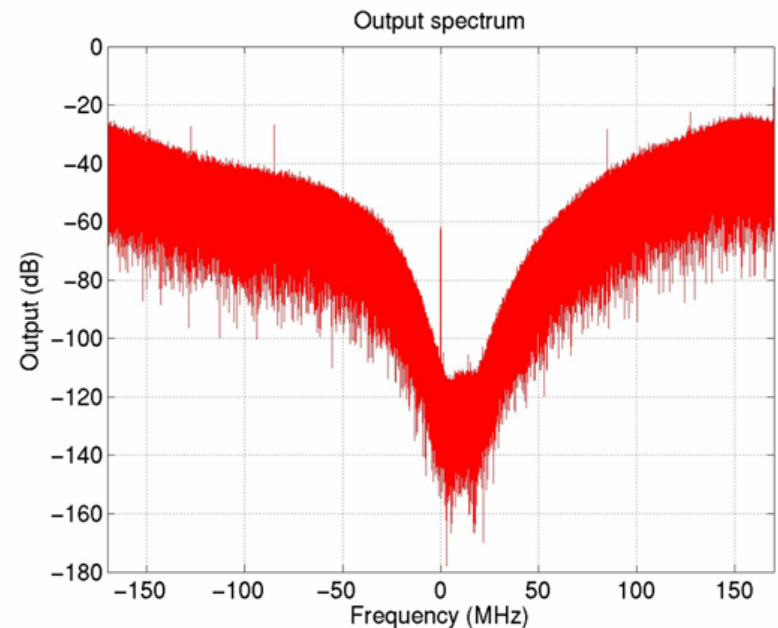
# 性能

90nm CMOS、帯域 20MHz, DR(=SNR)=77dB, 50mW, FoM=200fJ/conv.

90nmCMOSを用いて高いSNRを実現している。

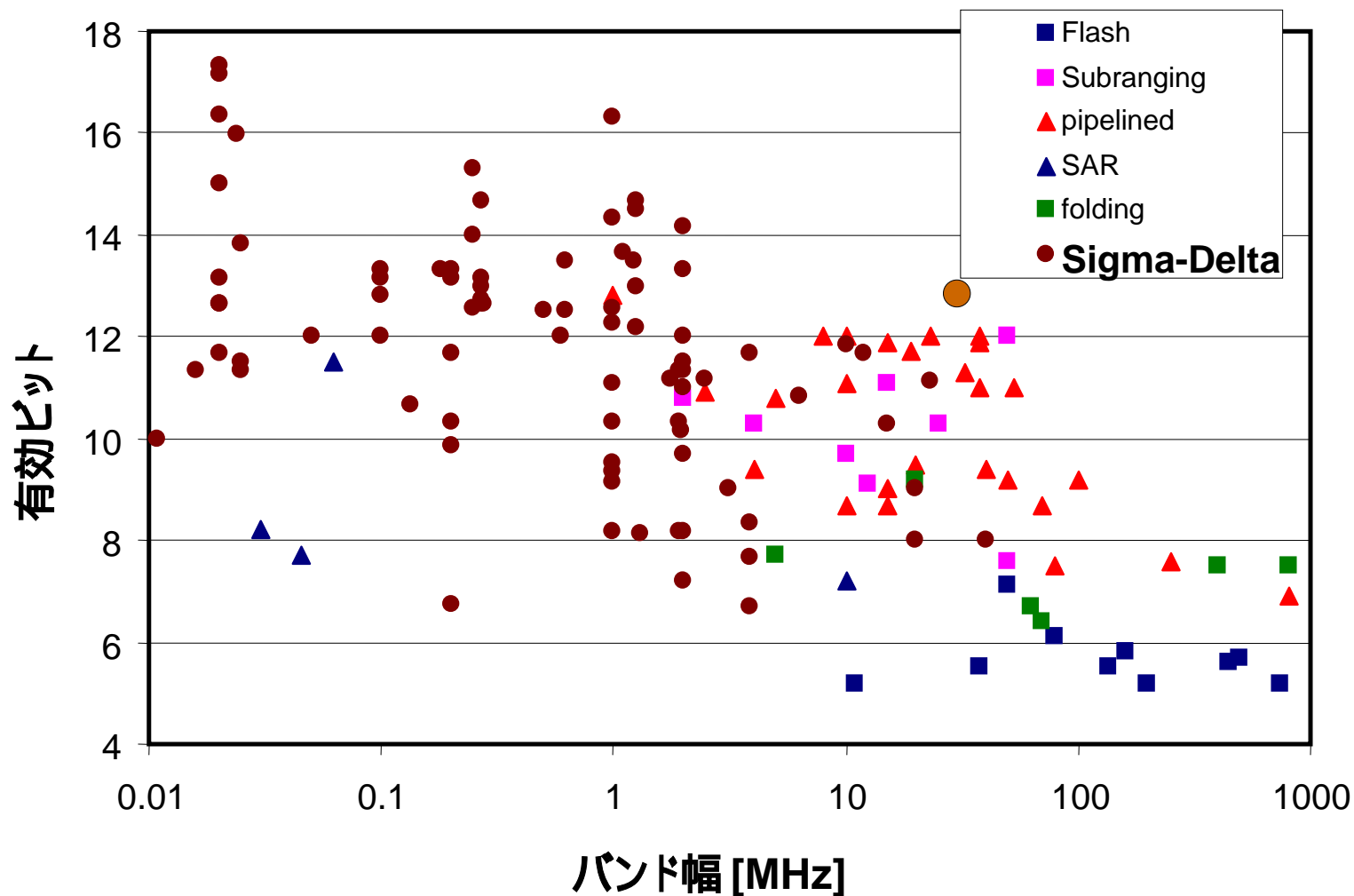
Technology	90nm CMOS, 1P6M
Supply voltage	1.2V
Architecture	CT quadrature cascaded $\Sigma\Delta$ modulator (2-2, 4b)
Sampling frequency	340MHz
Bandwidth	20MHz @ 10.5MHz IF
Max. input voltage	1Vp (differential)
Dynamic range*	77dB (97dB @ 200kHz, 115dB @ 3kHz)
Peak SNR / SNDR*	71dB / 69dB
Image rejection	>55dB (for -1MHz input tone)
Active chip area	0.5mm <sup>2</sup>
Power consumption	50mW (analog), 6mW (digital)
Figure-of-merit (FOM)	0.2pJ/conv. (FOM=P/(2 <sup>n</sup> enob <sup>2</sup> *BW))

(\*1MHz input signal, signal bandwidth is 20MHz)



# 型ADCの性能

型ADCは高い有効ビット(SNR)を維持しながら広帯域化が進展している



# まとめ 2

---

- **A/D 変換器の動向**

OPアンプレスの変換方式に

逐次比較型や直並列型で非常に低いFoMを達成

- 容量のみの演算
- 比較器の定常電流を抑制
- 信号振幅を維持(OPアンプレス)
- 微細化によりスイッチ・ロジックの高速・低電力化

比較器の特性(ノイズ・オフセット電圧・速度)が課題

型ADCは動作速度を上げることで高SNRが実現できるので、微細・低電圧回路に向いている

- 高SNRを維持したまま、信号帯域が数10MHzになってきた

# RF CMOS回路

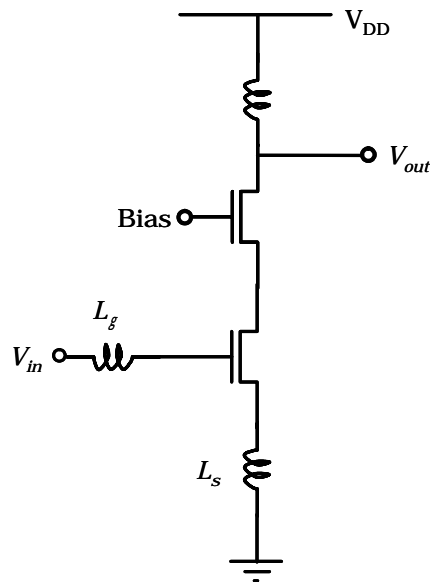
- ・インダクタレスLNA
- ・デジタルポワラーPA
- ・サンプリングミキサー
- ・ミリ波SoC
- ・インダクタ結合の応用

# インダクタレスLNA

## インダクタレスのRFCMOS回路が増えてきた

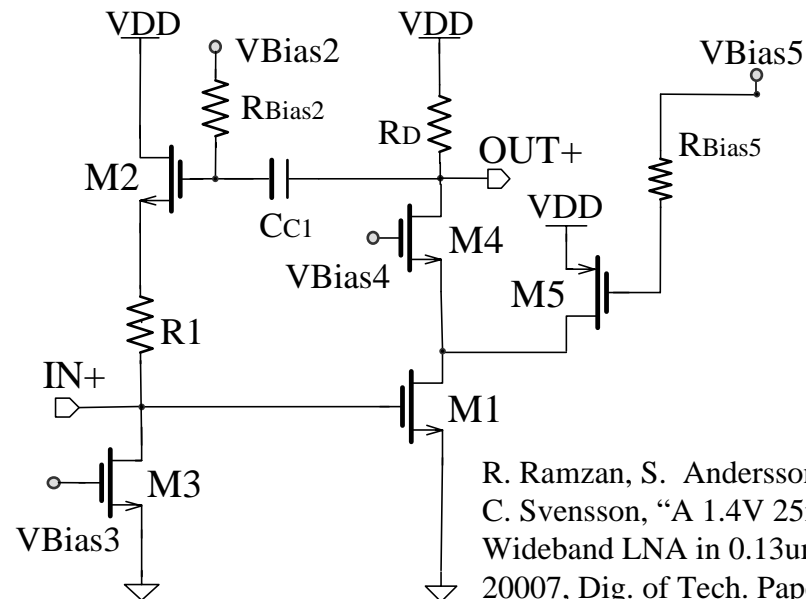
### 通常のLNA

- ・低NF (1dBから1.5dBくらい)
- ・狭帯域 (共振器を使用)
- ・大面積 (インダクタが多い)



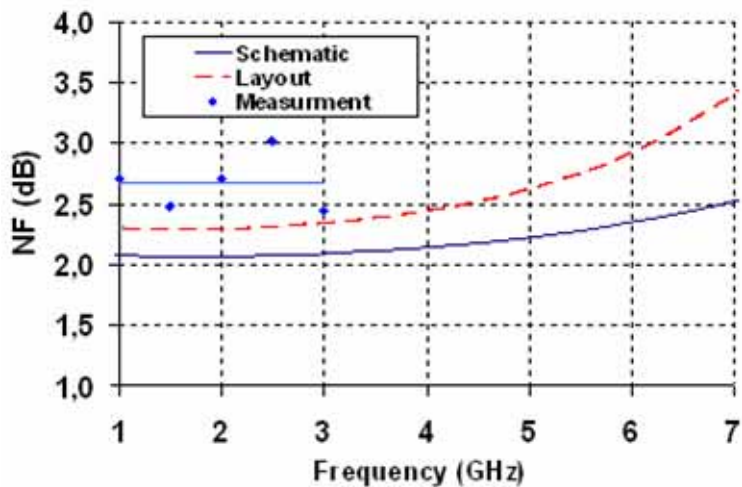
### インダクタレスLNA

- ・広帯域 (共振器を用いない)
- ・小面積 (インダクタを用いない)
- ・NF (許容範囲?)

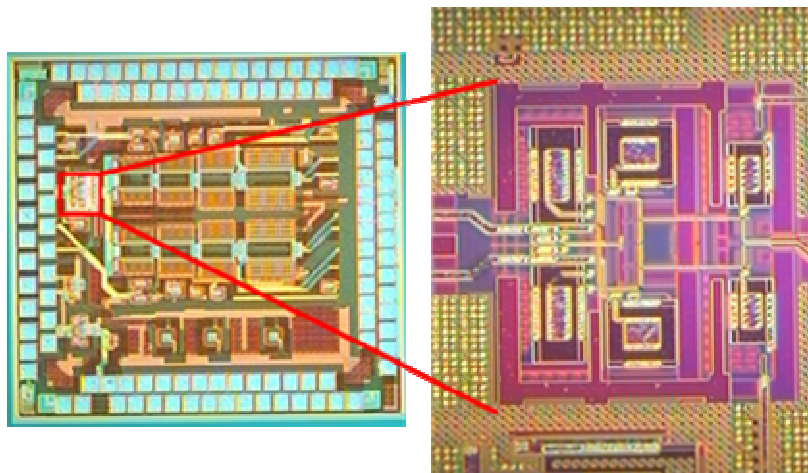


R. Ramzan, S. Andersson, J. Dabrowski, and C. Svensson, "A 1.4V 25mW Inductorless Wideband LNA in 0.13 $\mu$ m," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.424-425, Feb. 2007.

# 設計・試作結果



面積は確かに小さい 0.02mm<sup>2</sup>  
NFは許容レベルか？  
消費電力が大きい



<b>Technology</b>	<b>0.13um CMOS</b>
<b>Voltage Gain</b>	<b>17 dB</b>
<b>Frequency range</b>	<b>1-7 GHz</b>
<b>NF</b>	<b>2.4 dB at 3 GHz</b>
<b>IIP3</b>	<b>-4.1 dBm</b>
<b>1dB CP</b>	<b>-20 dBm</b>
<b>Power consumption (1.4V supply)</b>	<b>25 mW</b>
<b>Active Area</b>	<b>0.019 mm<sup>2</sup></b>

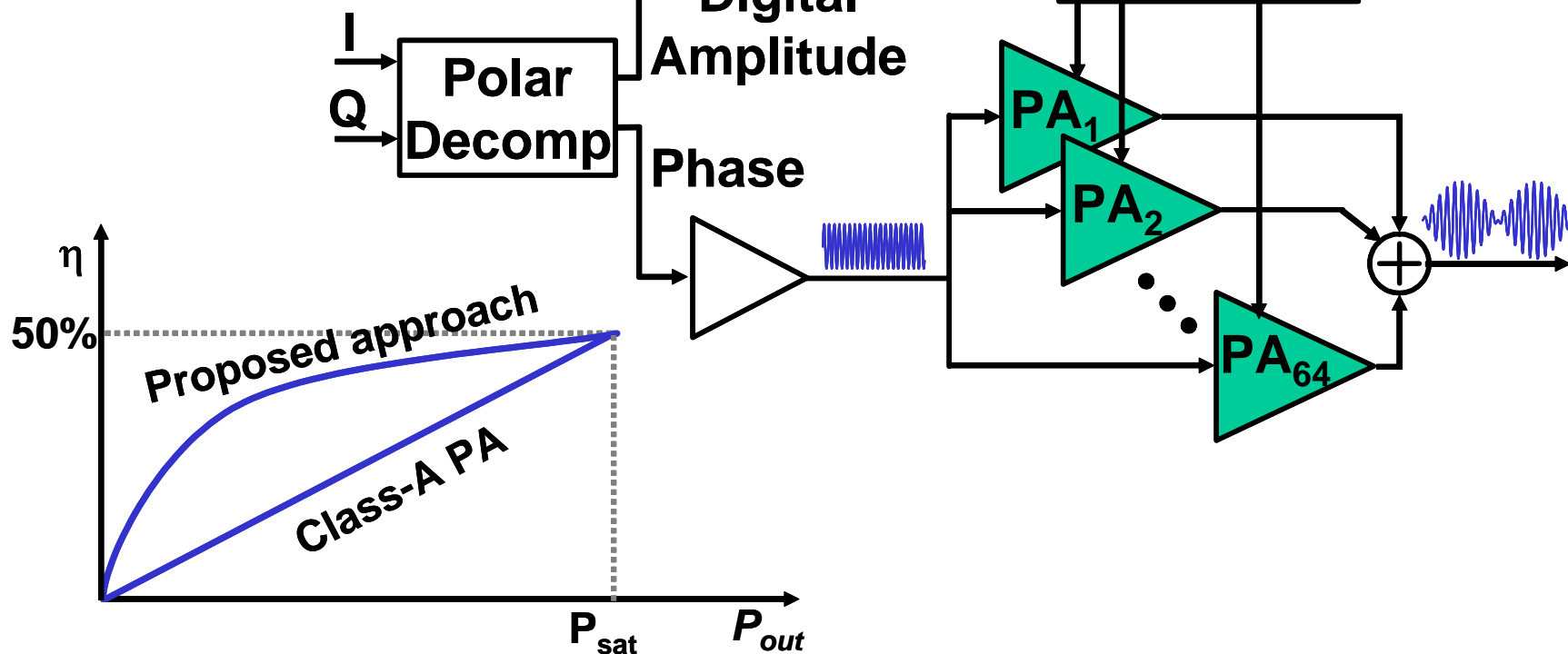


# デジタルポラー変調器

ポラー変調の振幅変調をDAC的な技術を用いて実現。  
高効率かつ広帯域。

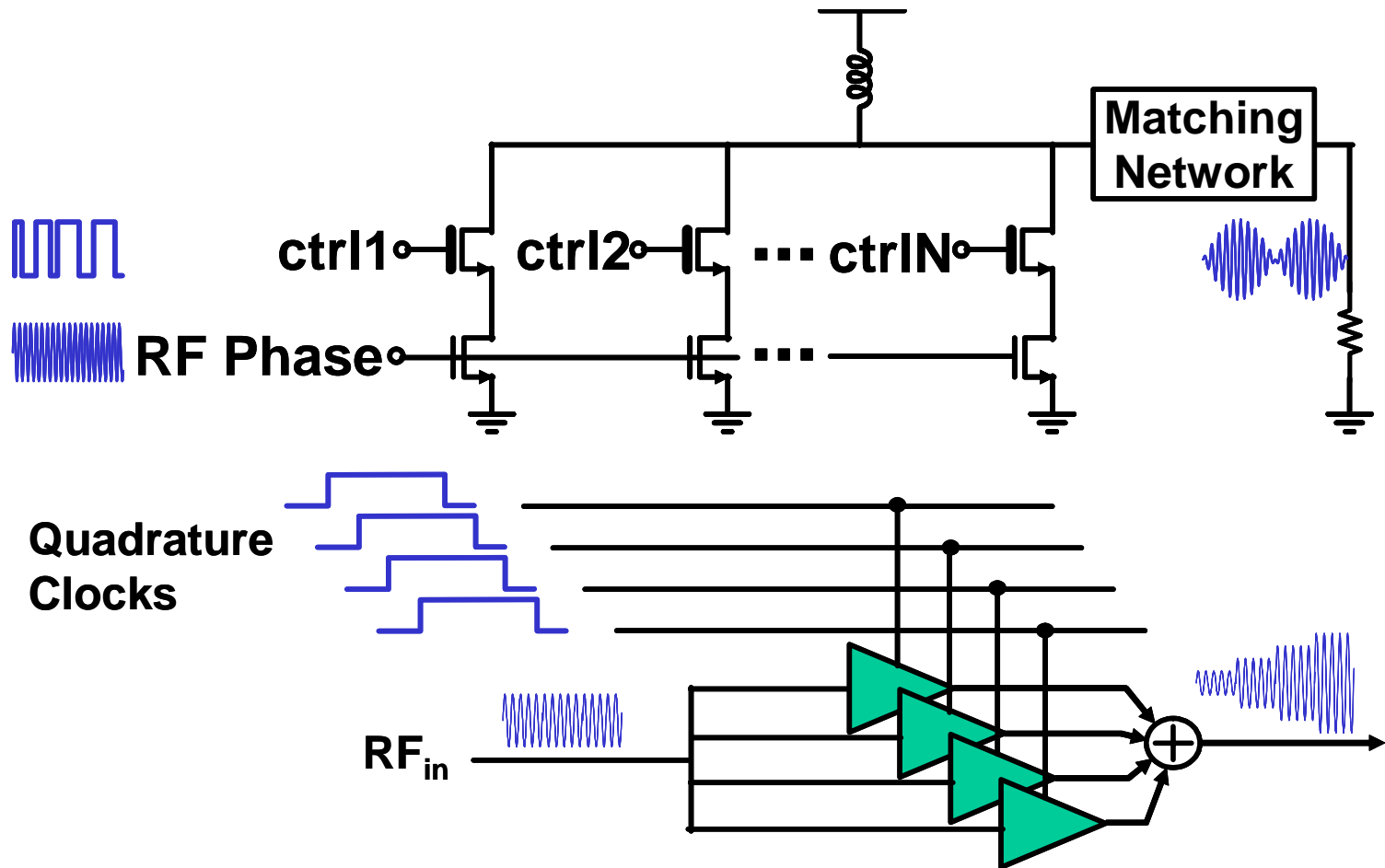
PAをD/A変換器に見立てたことがポイント

A. Kavousian, D. K. Su, Bruce A. Wooly, "A Digitally Modulated Polar CMOS PA with 20MHz Signal,"  
IEEE ISSCC 2007, Dig. of Tech. Papers, pp.78-79,  
Feb. 2007.

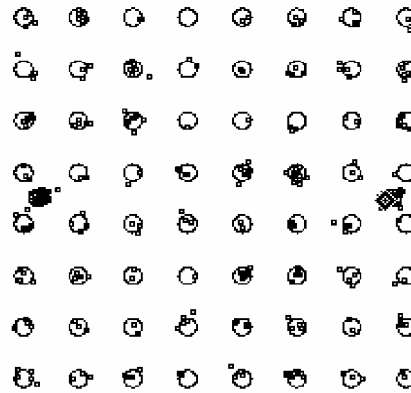
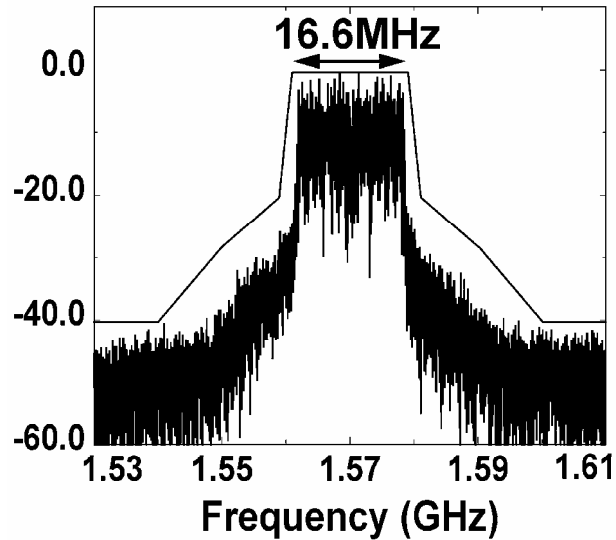


# パワーアンプの構成

64個の単位アンプアレーを設け、6bitの振幅データに応じて加算する (DACと同じ原理)  
4ブロックを4相のクロックで駆動し、線形補完することでイメージ信号を抑制

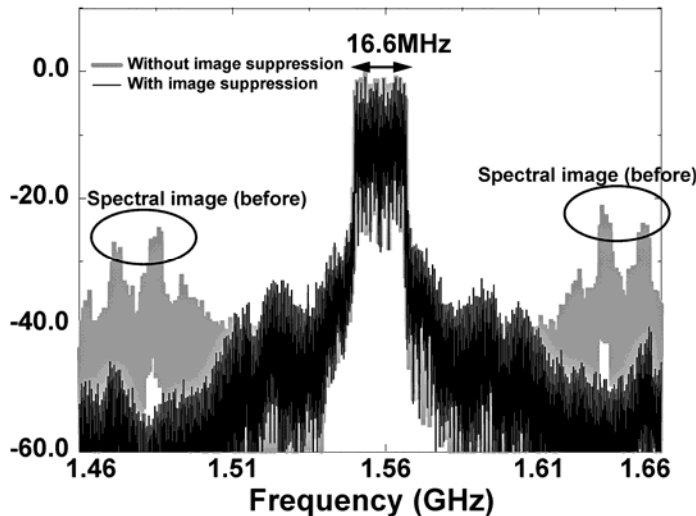


# 評価結果



13dBmのパワー  
7.2%のPAE  
20MHzの広帯域を実現

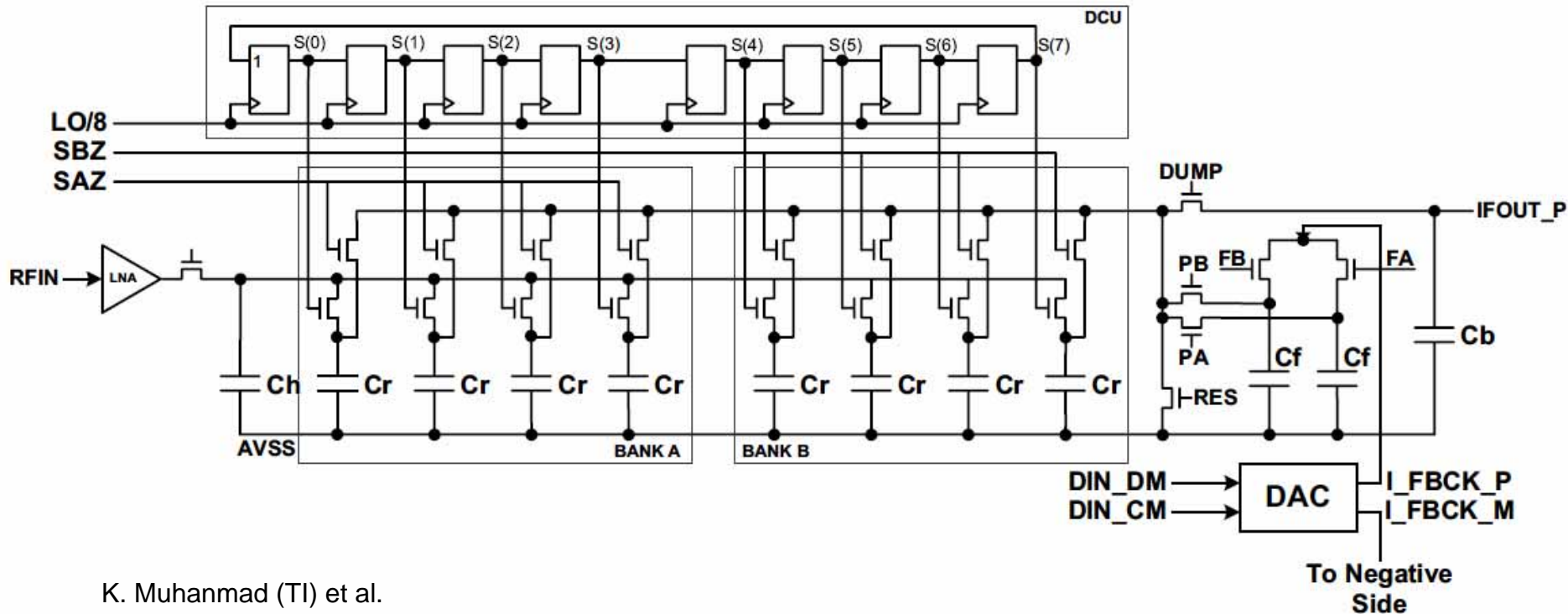
**EVM = -26.8dB**



Technology	0.18μm CMOS, 2P5M
Supply Voltage	
Digital Hardware	1.8V
Driver Stage	2.2V
Output Stage	1.7V
Linear 64 QAM OFDM Output Power	14.7dBm 13.6dBm (balun included)
EVM for 64 QAM OFDM	-26.8dB
Dissipated Power	
Output Stage	247mW
Driver Stage	66mW
Digital	3.4mW
PAE (for 64QAM OFDM)	8.9% 6.7% (baluns included)
Center Frequency	1.56GHz
Total Chip Area	1.8mm <sup>2</sup>

# サンプリングミキサー

標本化回路はそれ自体ミキサー作用を持つが、容量アレーを用いて演算を行うことによりフィルター特性を持たせることができる。(離散時間信号処理のRF応用)  
スイッチと容量という準受動回路で実現できるので、微細化に向いており、低電力である。



K. Muhanmad (TI) et al.

“All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS”

(JSSC Vol.39, No.12, pp. 2278-2291, Dec. 2004)

# 1<sup>st</sup> Sinc Filter

- LOクロックN回の移動平均

$$W_i = \sum_{l=0}^{N-1} u_{i-l}$$

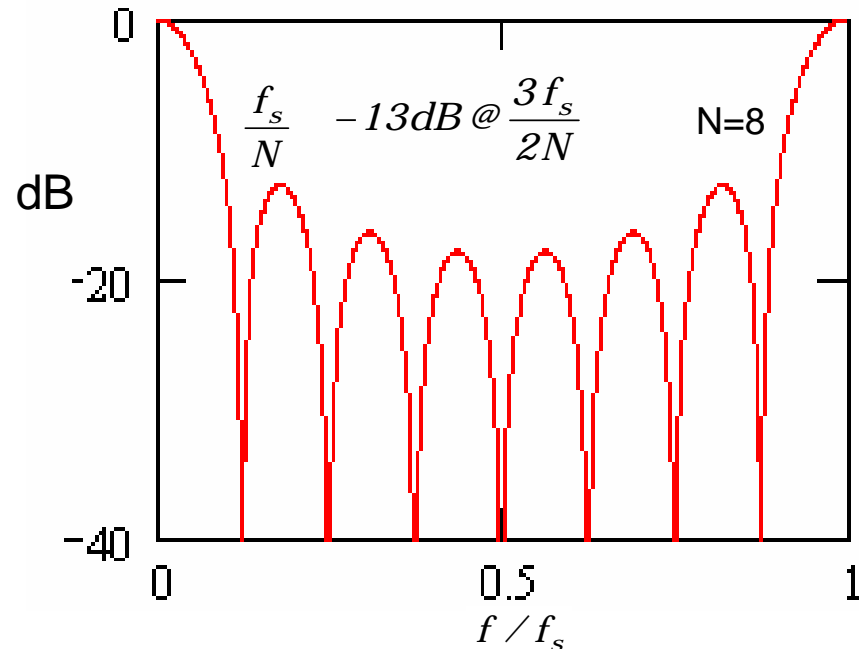
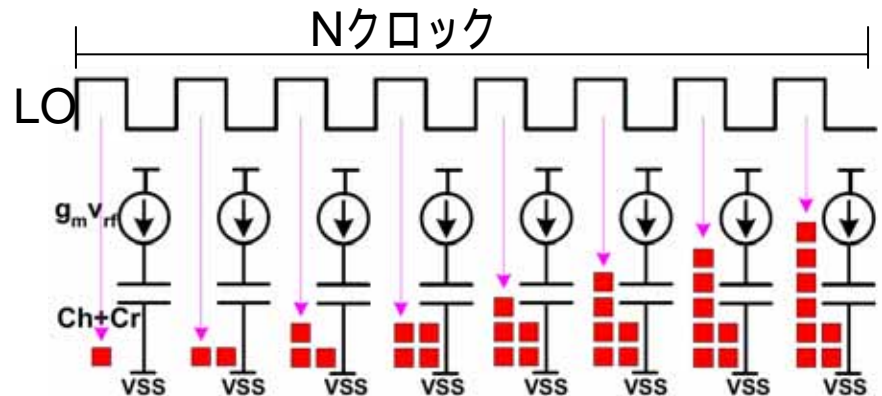
$u_i$  :  $i$ 番目にサンプリングされた電荷

$w_i$  : Nクロックの間に蓄積された電荷

$$w_i = \sum_{l=0}^{N-1} u_{i-l}$$

$$\rightarrow W(Z) = \frac{1 - Z^{-N}}{1 - Z^{-1}} U(Z)$$

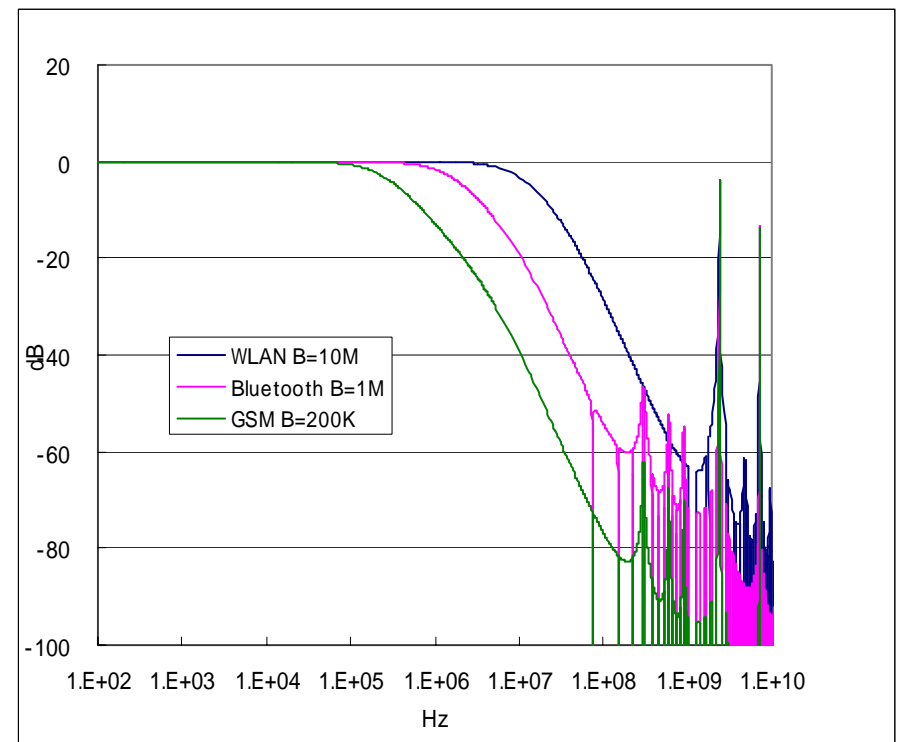
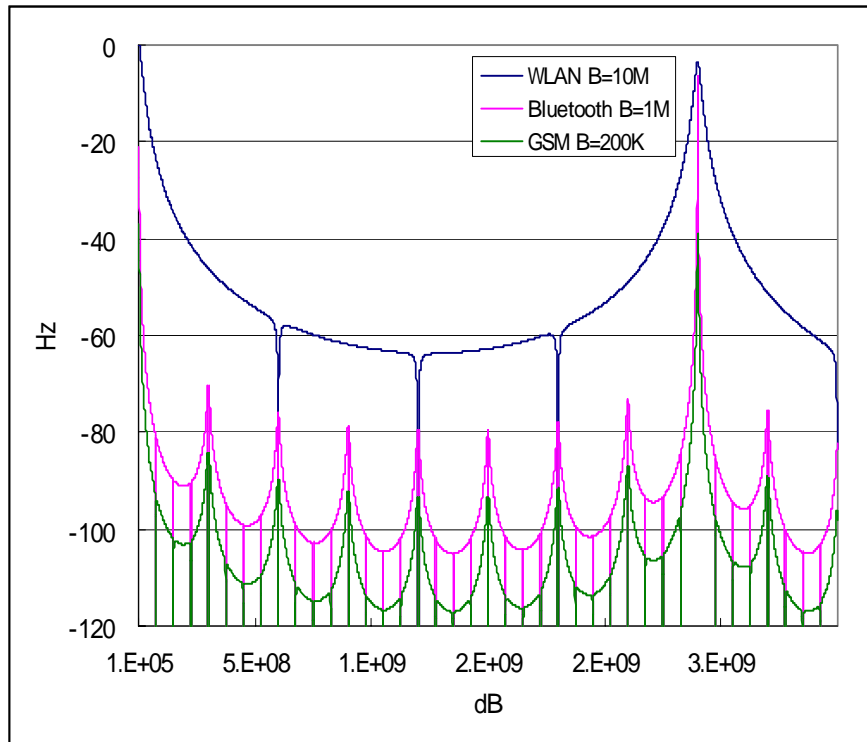
$$\rightarrow |F_{1stSinc}(\omega)| = \left| \frac{\sin\left(N\pi \frac{f}{f_s}\right)}{\sin\left(\pi \frac{f}{f_s}\right)} \right|$$





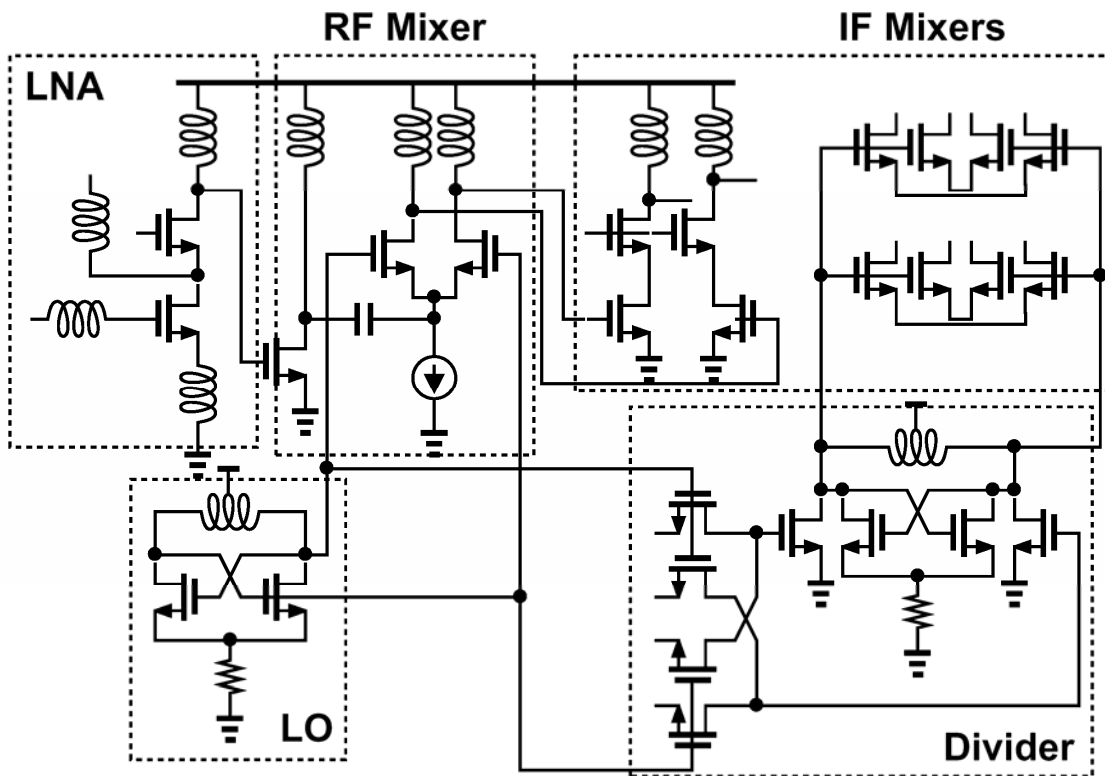
# フィルター特性の可変化

容量比や平均化回数などを変えることによりフィルター特性を可変にできる

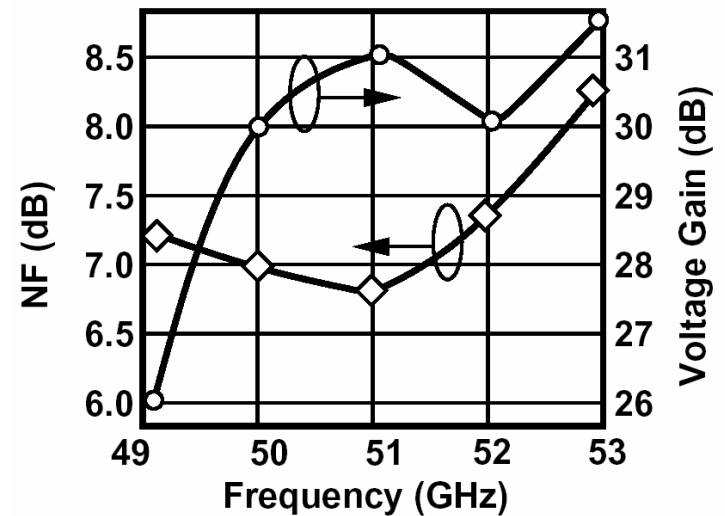


# 60GHz ミリ波CMOSレシーバー 1

90nm CMOSを用いて60GHzのレシーバーを実現



B. Razavi "A mm-Wave CMOS Heterodyne Receiver with On-Chip LO and Driver," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.188-189, Feb. 2007.

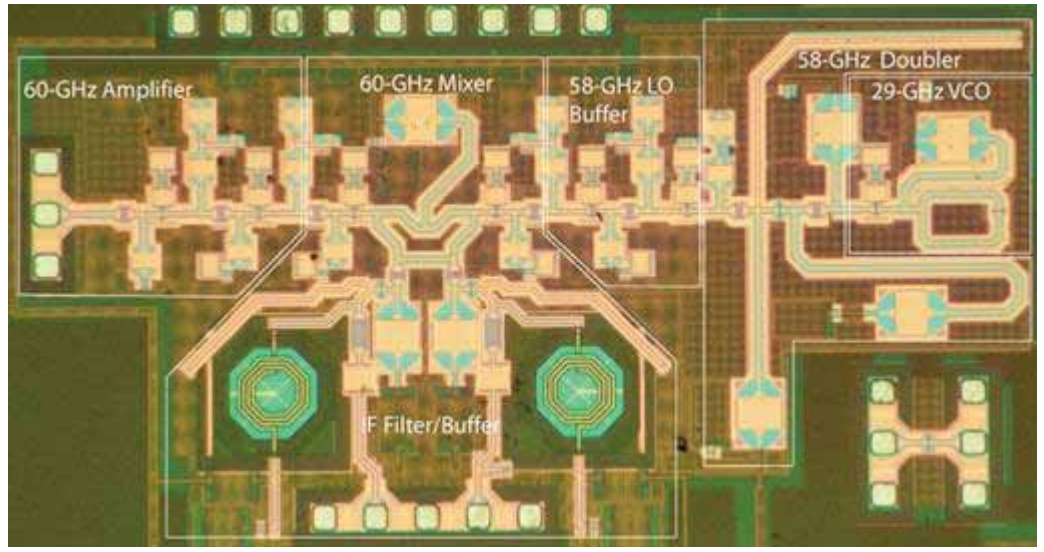
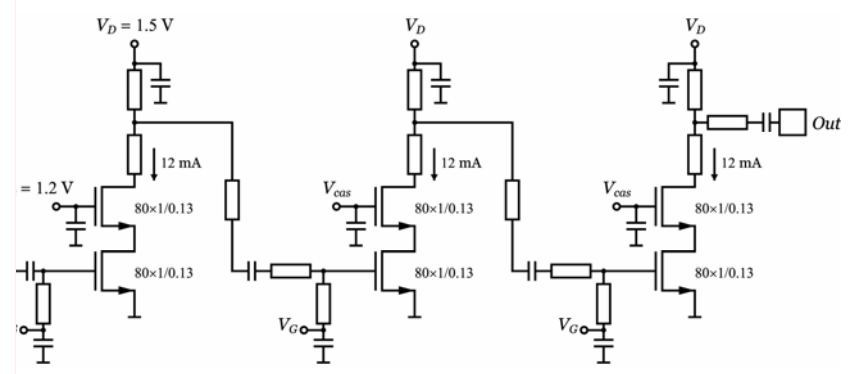
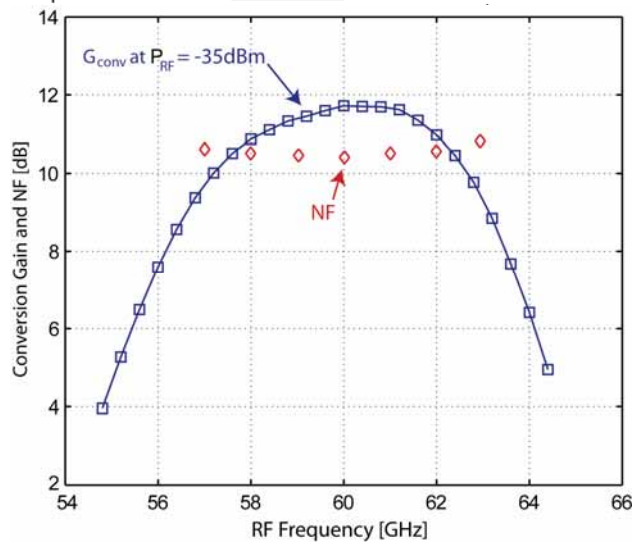
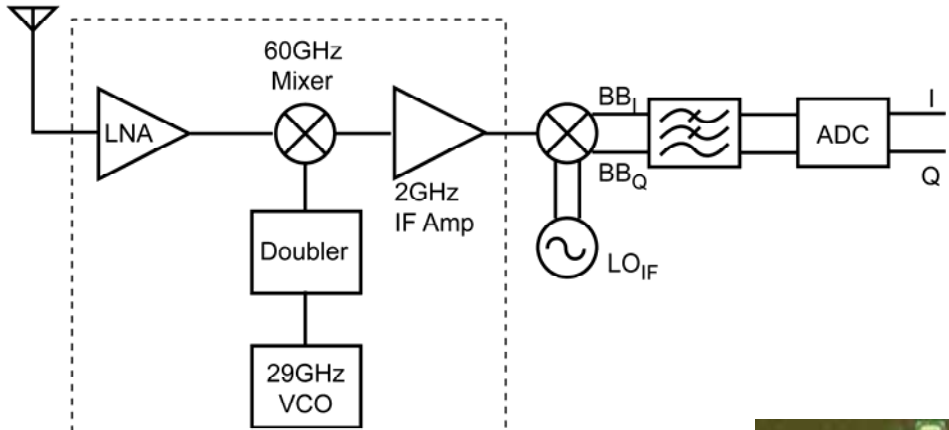




# 60GHz ミリ波CMOSレシーバー 2

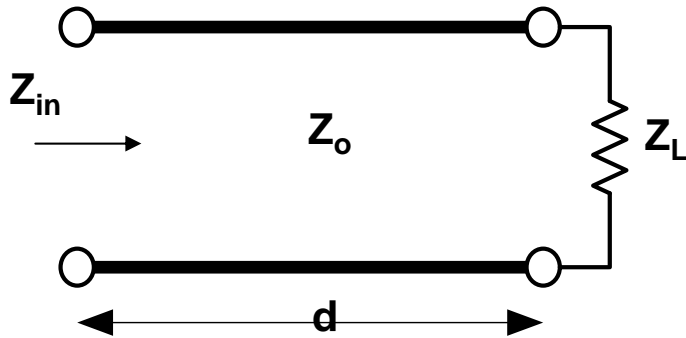
0.13um CMOSを用いても60GHzのレシーバーが実現できる

S. Emami, C. H. Doan, A. M. Niknejad, R. W. Broderson, "A Highly Integrated 60GHz CMOS Front-End Receiver," IEEE ISSCC 2007, Dig. of Tech. Papers, pp.180-191, Feb. 2007.



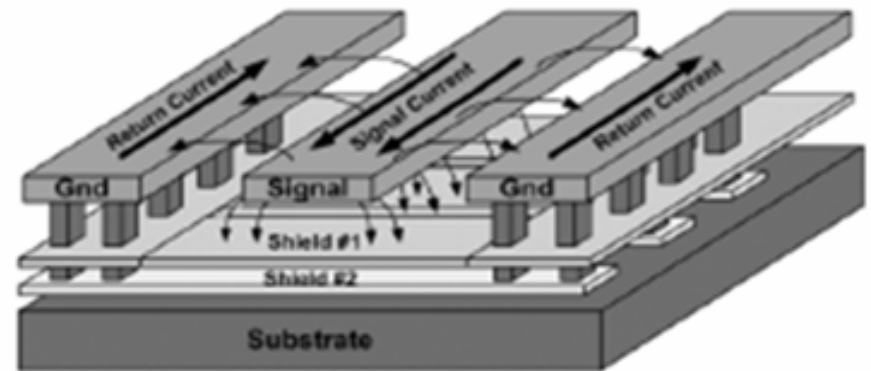
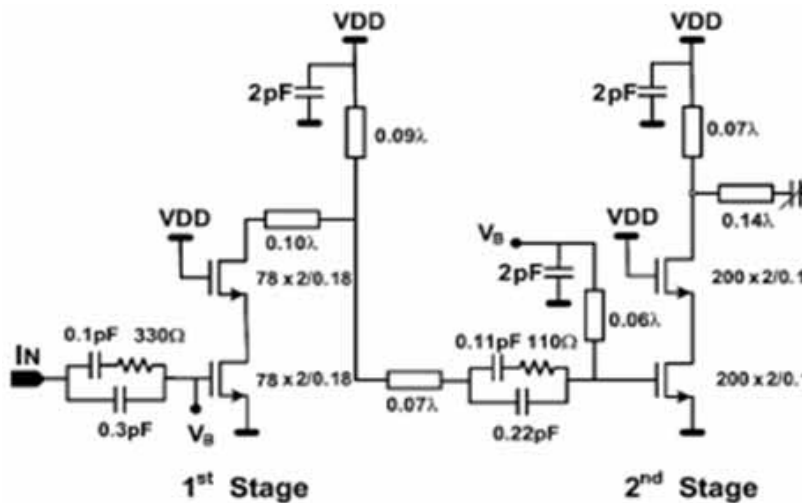
# トランスミッションラインの応用

ミリ波では波長が短いいためトランスミッションラインが使用できる。  
インピーダンス整合や共振器、発振器として使用できる。



$$Z_{in} = Z_0 \frac{Z_L + jZ_0 \tan \beta d}{Z_0 + jZ_L \tan \beta d}$$

$$Z_{in} \left( \frac{\lambda}{4} \right) = \frac{Z_0^2}{Z_L} \quad Z_{in} \left( \frac{\lambda}{4} \right) = \infty \text{ when } Z_L = 0 \text{ resonator}$$



Coplanar transmission line

# ミリ波フェーズドアレイシステム

ミリ波では波長が数mmになるので、チップ上にアンテナを集積することが可能

給電位相の変化により電子的にビームフォーミング可能

オンチップ上に4つのアンテナを配置

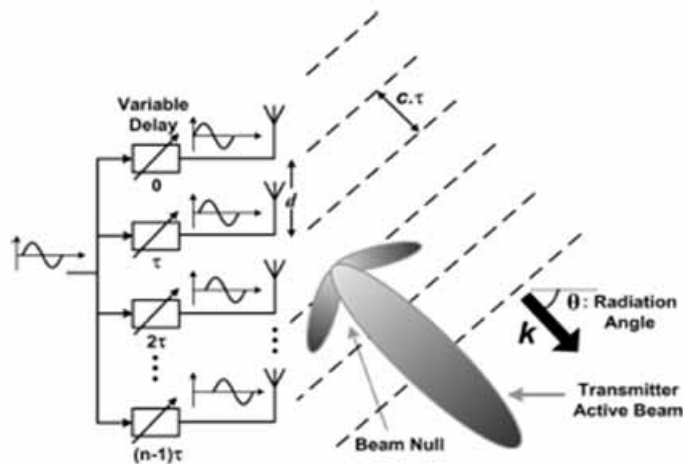
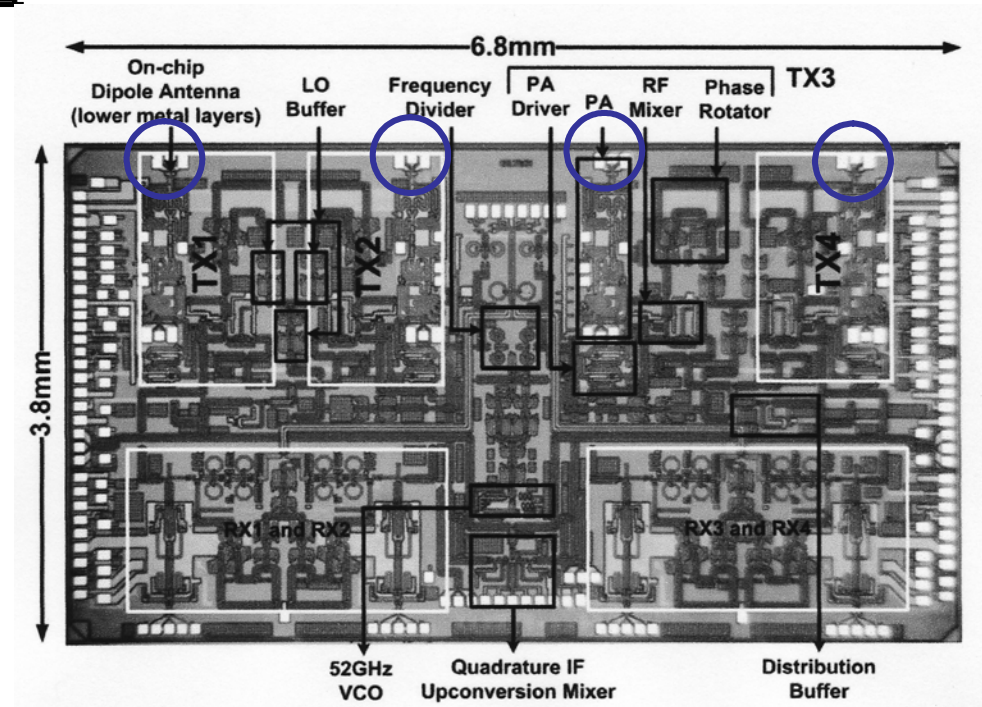


Fig. 1.  $n$ -element phased-array transmitter.



A. Natarajan, et. al., IEEE, Journal of Solid-State Circuits, Vol. 40, No. 12, pp. 2502-2514, Dec. 2005.

A. Natarajan, et. al., IEEE, Journal of Solid-State Circuits, Vol. 41, No. 12, pp. 2807-2819, Dec. 2006.

# ビームフォーミング

ビームフォーミングは信号強度を上げ、伝送レートを速くするためにも有効

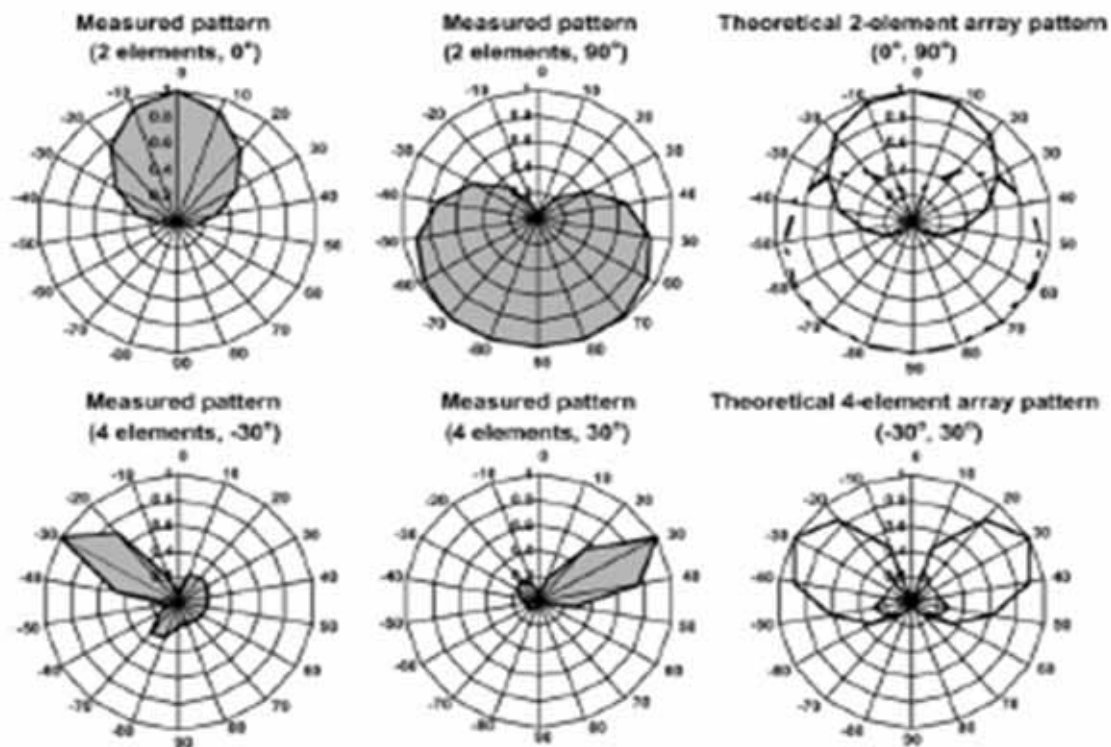


Fig. 21. Comparison of theoretical and measured array pattern with two elements and with four elements active.

# レンズの集積

## 77GHzのミリ波トランシーバ: オンチップアンテナとレンズを集積

### 10.1 A 77GHz 4-Element Phased Array Receiver with On-Chip Dipole Antennas in Silicon

0.13 $\mu$ m SiGe-CMOS

A. Babakhani, X. Guan, A. Komijani, A. Natarajan, A. Hajimiri

California Institute of Technology, Pasadena, CA

IEEE ISSCC 2006, Dig. Technical Papers, pp.180-181.

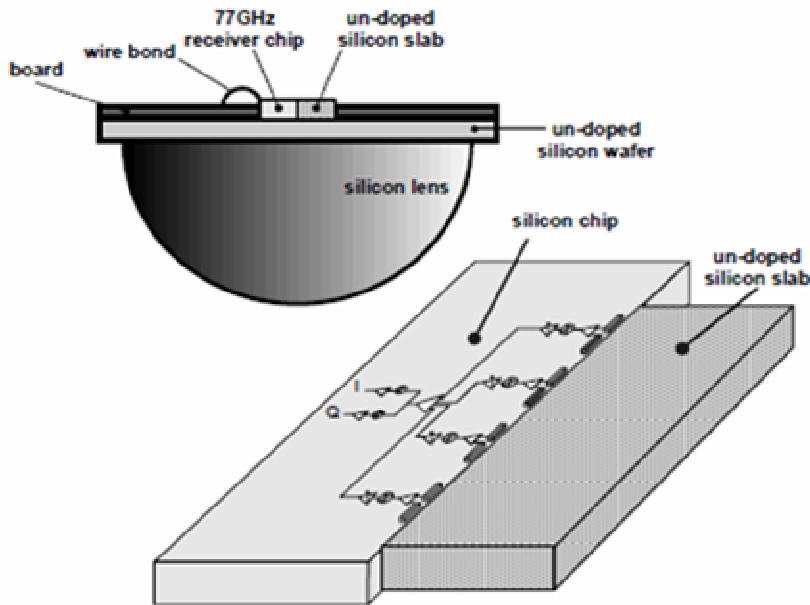


Figure 10.1.1: Chip, board, and lens antenna setup configuration.

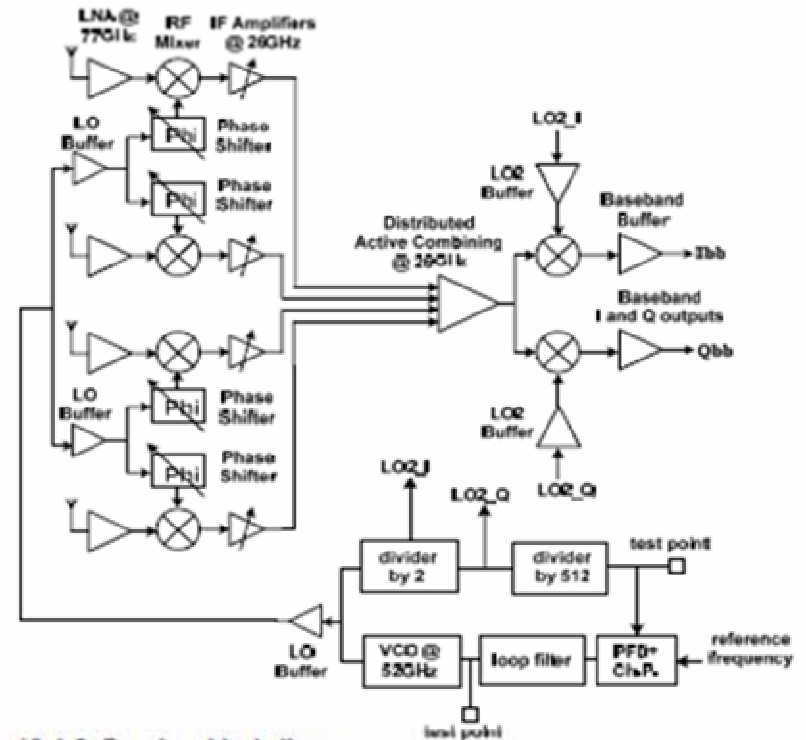


Figure 10.1.3: Receiver block diagram.

# 性能

レンズを用いることにより10数dBの感度アップ

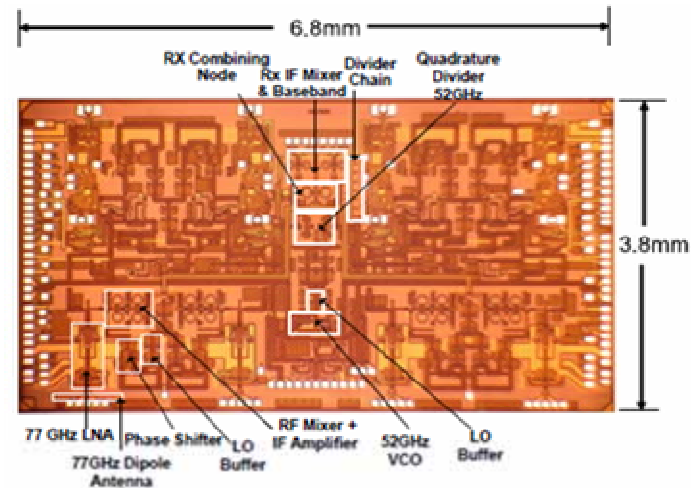
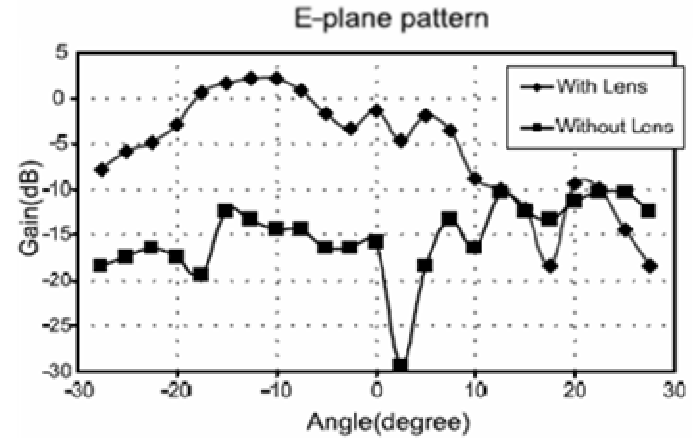
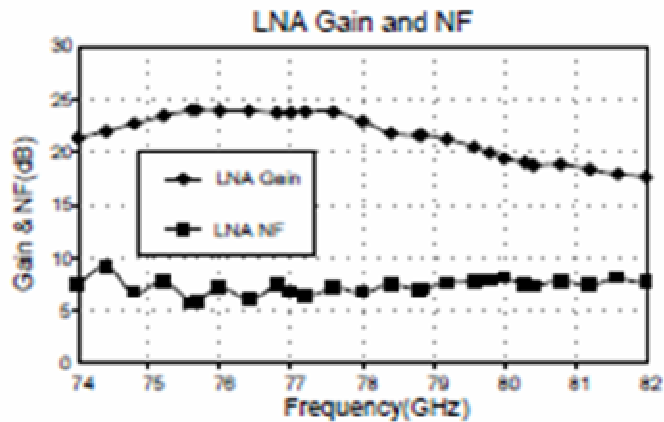
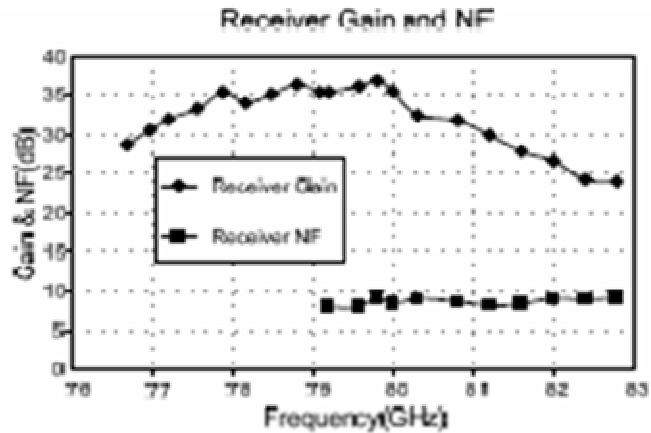
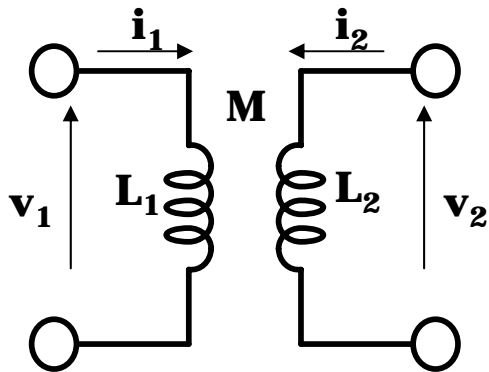


Figure 10.1.7: Chip micrograph.

# 近接磁気結合

磁気結合により高速・低電力データ伝送が可能。

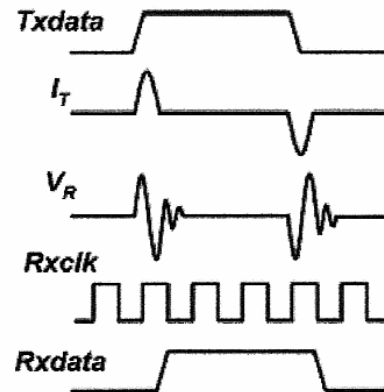
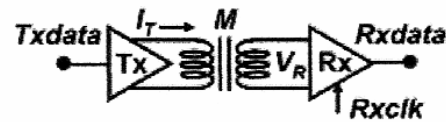
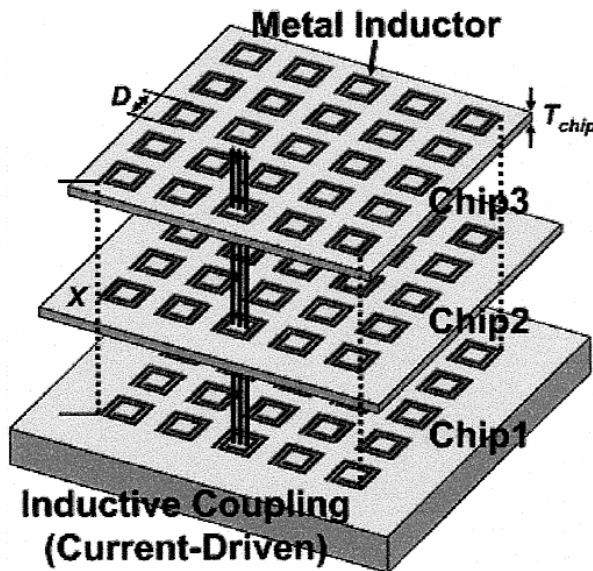


$$V_1 = L_1 \frac{di_1}{dt} + M \frac{di_2}{dt}$$

$$V_2 = M \frac{di_1}{dt}$$

$$V_2 = M \frac{di_1}{dt} + L_2 \frac{di_2}{dt}$$

$$M \propto \frac{\sqrt{L_1 L_2}}{x^3}$$



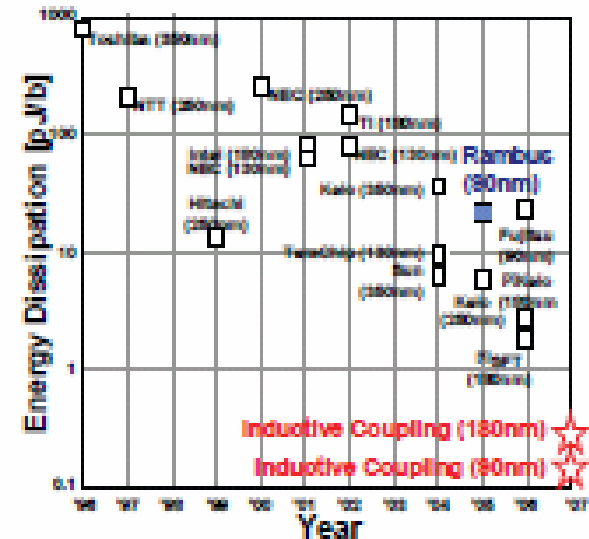
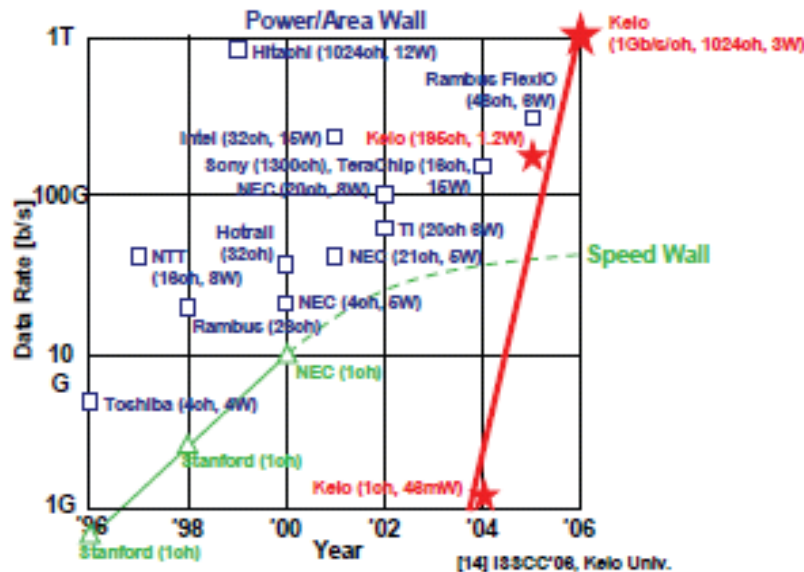
1.2Gb/s/ch, 45mW, 300μm-distance

N. Miura, et. al., IEEE, JSC, Vol. 41, No. 1, pp. 23-34, Jan. 2006.

# 近接磁気結合

スタックされたLSI間的高速データ通信に有効である。

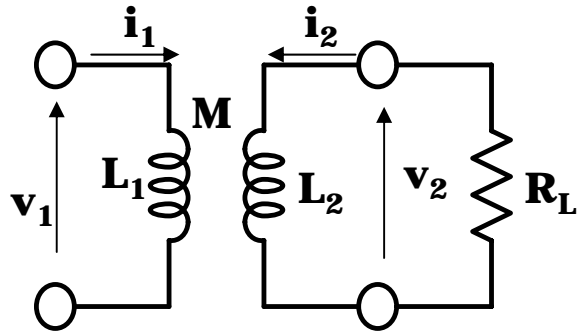
Data rate: 1Gbps/ch  
Energy consumption: 140fJ/b





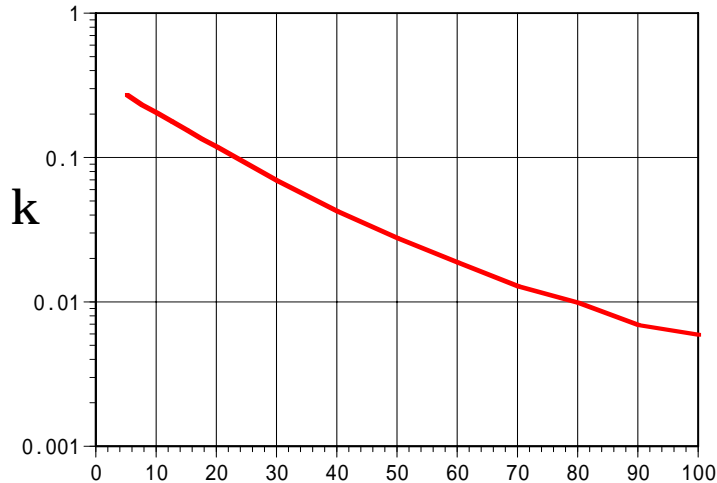
# 磁気結合による電力の伝送

磁気結合により データのみならず電力を送ることができる。  
体内チップへの応用などが期待される。

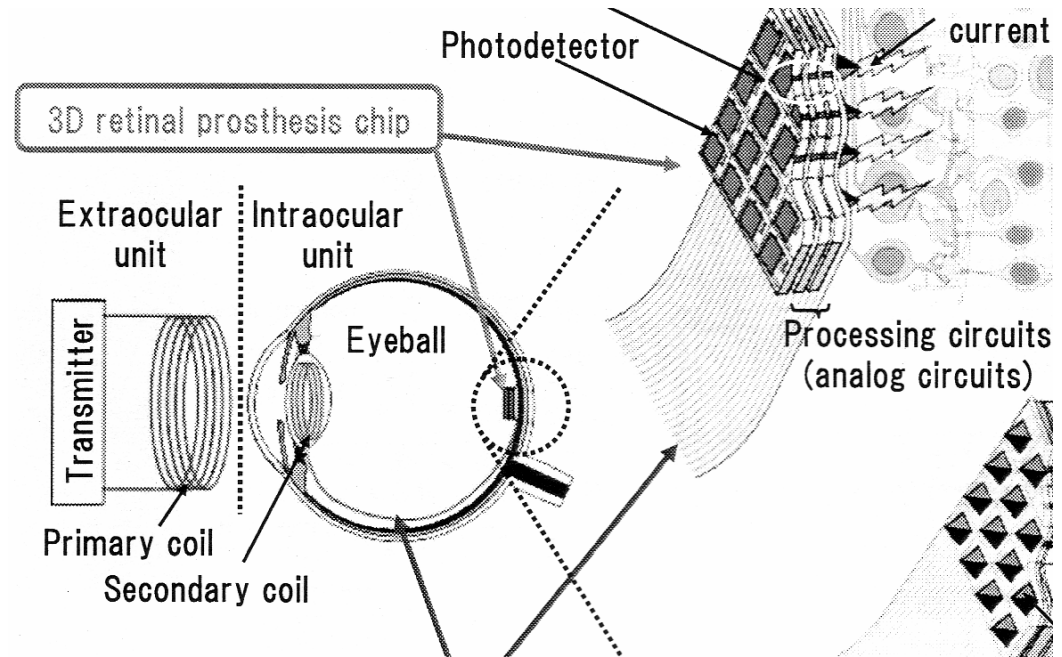


$$P_L = k^2 \frac{L_1}{L_2} I_1^2 R_L \quad k = \frac{M}{\sqrt{L_1 L_2}} \propto \frac{1}{d^3}$$

K decreases rapidly with increase of distance



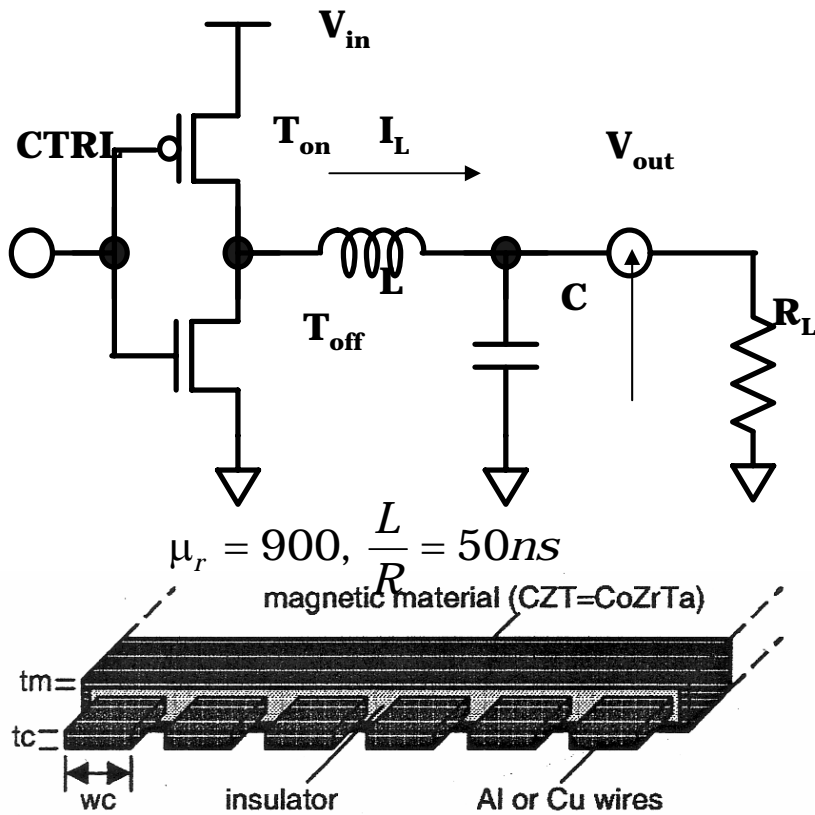
4 turns 85.6mm x 54 mm



T. Tanaka, et. al., Tech. Dig. of Int. 3D S I Conference, 6-1, 2007

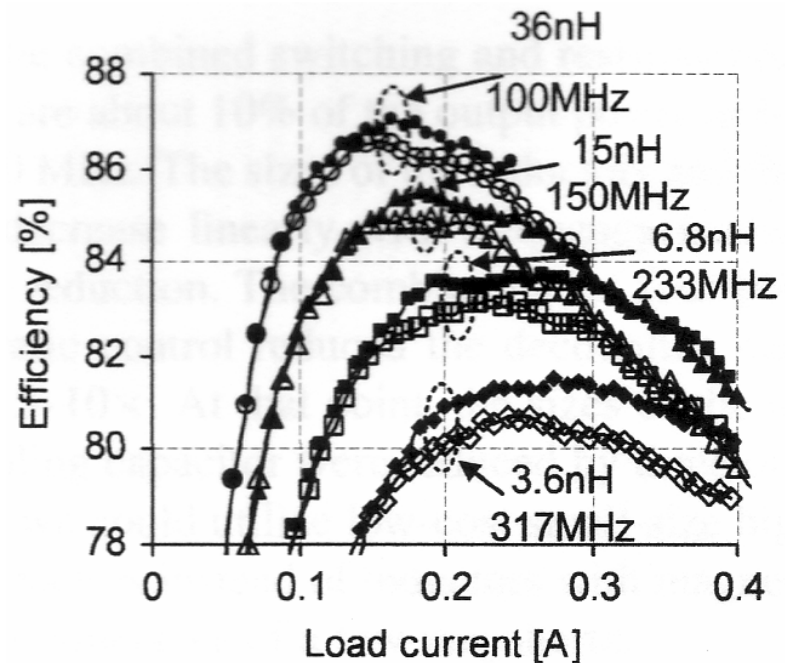
# マイクロ電力システム

チップ上に電力供給システムを構築する動きが始まった。  
低インダクタでも周波数が高ければ効率が高い。



$$V_{out} = \frac{T_{on}}{T_{on} + T_{off}} V_{in} \quad \Delta I_L \propto \frac{1}{Lf} \quad Q = 2\pi \frac{fL}{R}$$

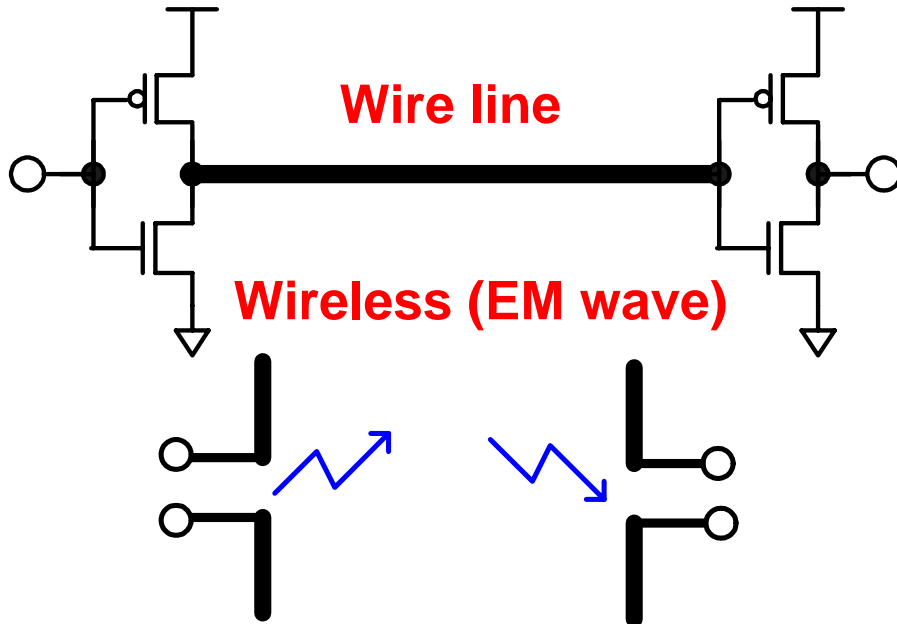
$$E_L = \frac{1}{2} LI^2, \quad P_L = \frac{f}{2} LI^2$$



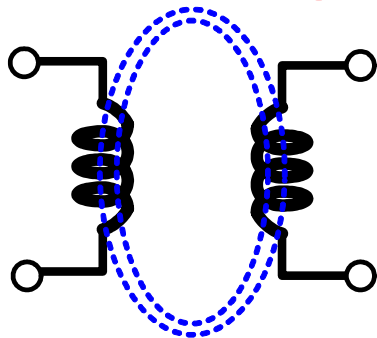
G. Schrom, et. al., Proc. ISLPED'04, pp. 263-268, 2004.

# 配線技術の様々な応用

## Interconnection



## Wireless (Magnetic)



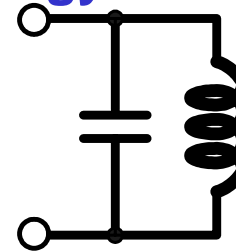
## Metallization

### Wire

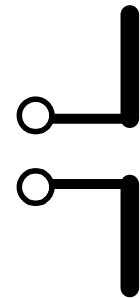


### Resonator

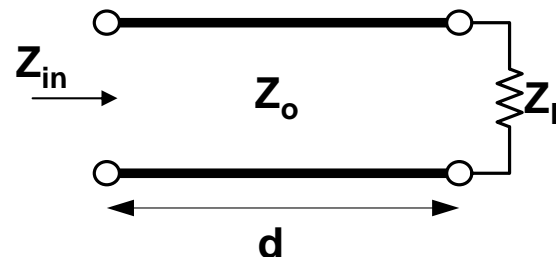
### Energy conversion



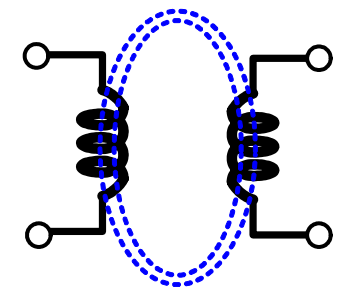
### Antenna



### Transmission line



### Transformer



# まとめ 3

---

- **RFCMOSの動向**

インダクタをなるべく使用しない方向

- ・ 広帯域化
- ・ 省面積化 低コスト化

デジタルPAが出現

- ・ D/A変換技術をRF信号の発生に利用

サンプリングミキサー

- ・ スイッチと容量という準受動素子でMixerとFilterを実現
- ・ 離散時間信号処理技術がRFにも適用可能に

ミリ波SoCが出現

- ・ 130nm～90nmCMOSで60GHzが可能に
- ・ オンチップアンテナ
- ・ 位相差給電方式
- ・ 可変ビームフォーミング
- ・ オンチップレンズ

インダクタの応用が活発化

- ・ 近接データ伝送
- ・ 近接電力供給
- ・ オンチップDC/DC

# まとめ：何が変わるのか？

---

- **微細化・低電圧化**
  - 高速・高周波だが低SNR 高速化技術を活かす
  - 低利得化 OPアンプが困難に
- **アナログ回路**
  - スイッチ、容量、比較器の簡単な構成 OPアンプレス
  - 定常電流が流れない構成 超低電力化
  - デジタル補償技術が重要に
  - 占有面積縮小 インダクタレス
  - インダクタ技術の新たな応用
  - ミリ波においてトランスミッション回路など分布定数型回路が使用
  - 電磁波的な技術がオンチップにも適用
- **信号処理**
  - 変調技術が多用
  - 離散時間処理がRFに適用
  - フィルター処理の大半はデジタル化に