

差動型低雑音増幅器における 利得インバランス改善の検討

○金丸正樹, 伊藤 猛, 岡田健一, 松澤 昭

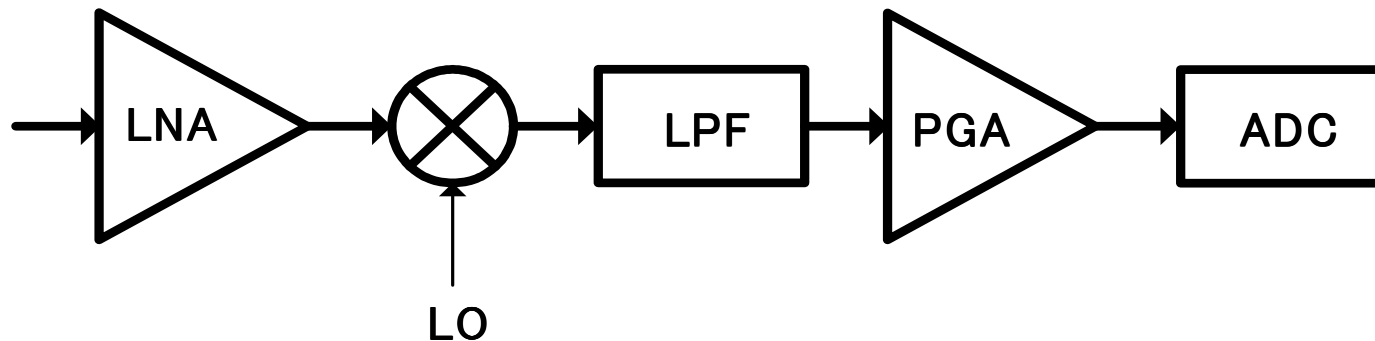
東京工業大学大学院理工学研究科

- ・研究背景・目的
- ・課題
- ・IIP2の理論解析
- ・シミュレーション結果
- ・まとめ

RF回路の低コスト化・高性能化

- ◆ CMOS技術 低コスト
 アナログ・デジタル混載

- ◆ ダイレクトコンバージョン方式



外付けフィルタが不要 →

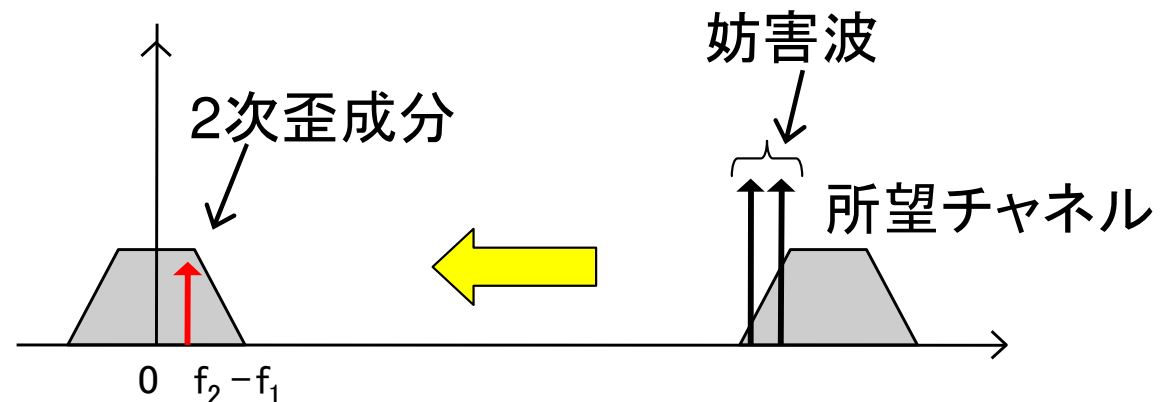
低コスト化
マルチバンド化

◆ダイレクトコンバージョン方式における課題

- ・DCオフセット リークしたLO信号の自己ミキシングにより生じる
→バイアスの変動、信号の飽和
- ・2次歪 近接妨害波の2次歪がベースバンド帯域に現れる
→SN比の劣化

IIP2の向上

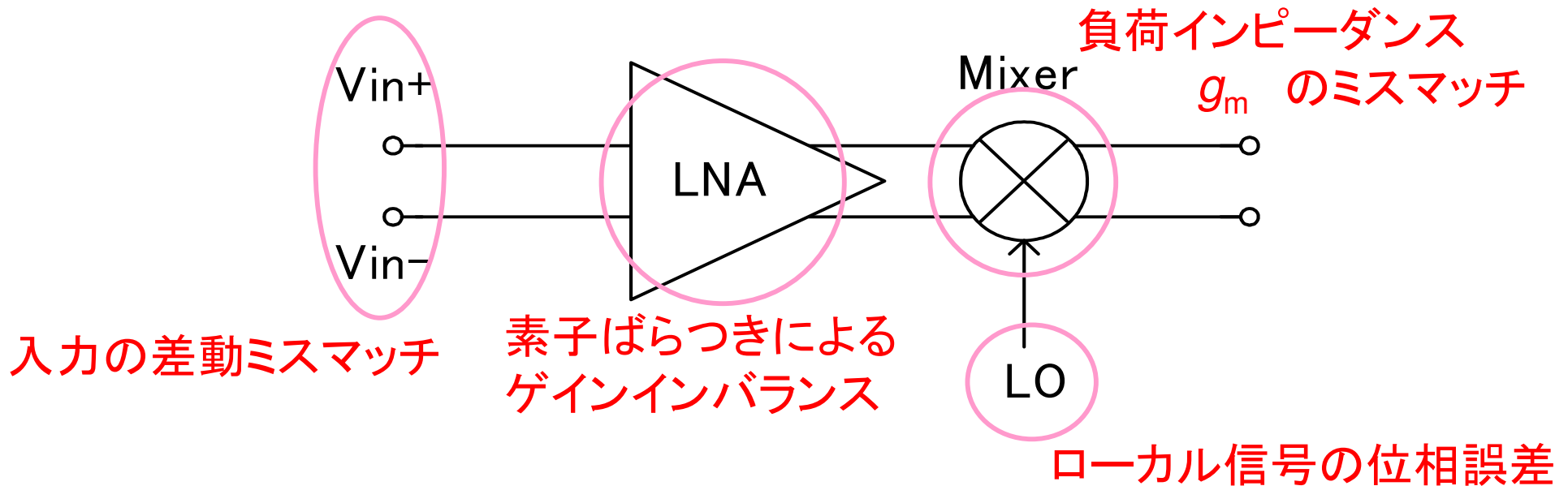
目標: 50dBm以上



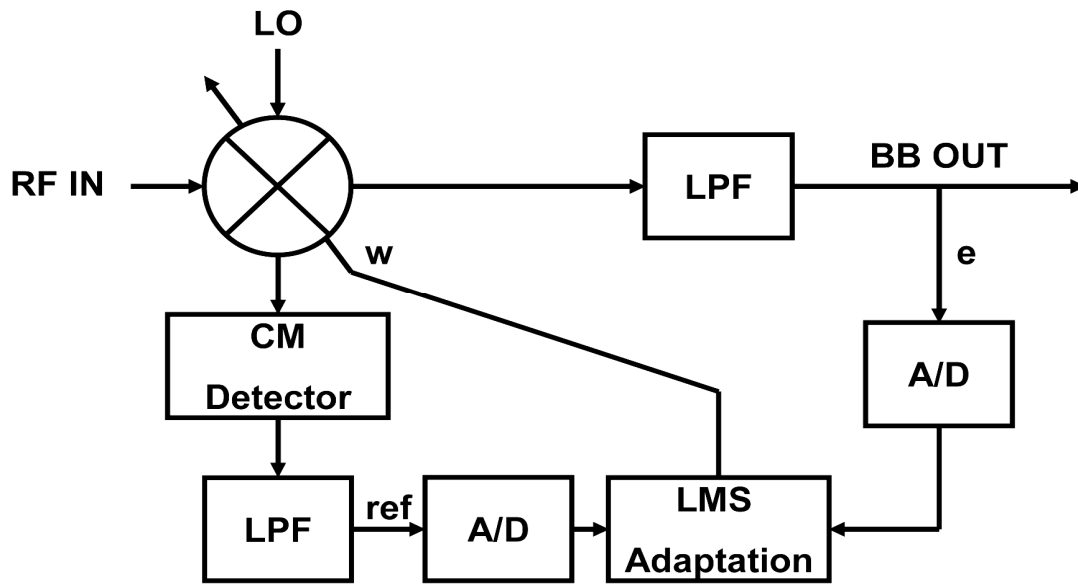
差動回路による改善

DCオフセットや偶数次歪は差動にすることで除去可能
しかし…

- CMOS微細化に伴う製造ばらつきが増加
- 温度変化によるミスマッチ

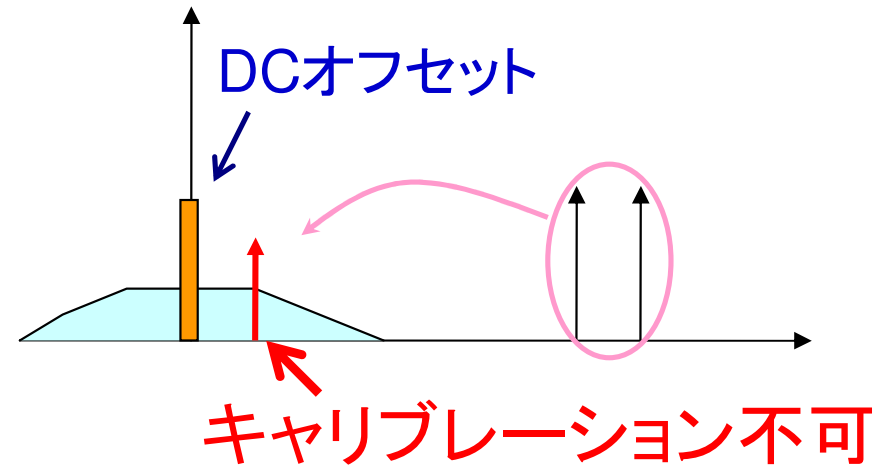


完全な対象性を保てない \longrightarrow ミスマッチの補正が必要



[1] Krzysztof Dufre ne et al" A 0.13 μ m 1.5V CMOS I/Q Downconverter with Digital Adaptive IIP2 Calibration" in ISSCC2007 Digest of Technical Papers, Feb. 2007, pp. 586-589

コモンモードを検出
負荷抵抗をデジタル制御



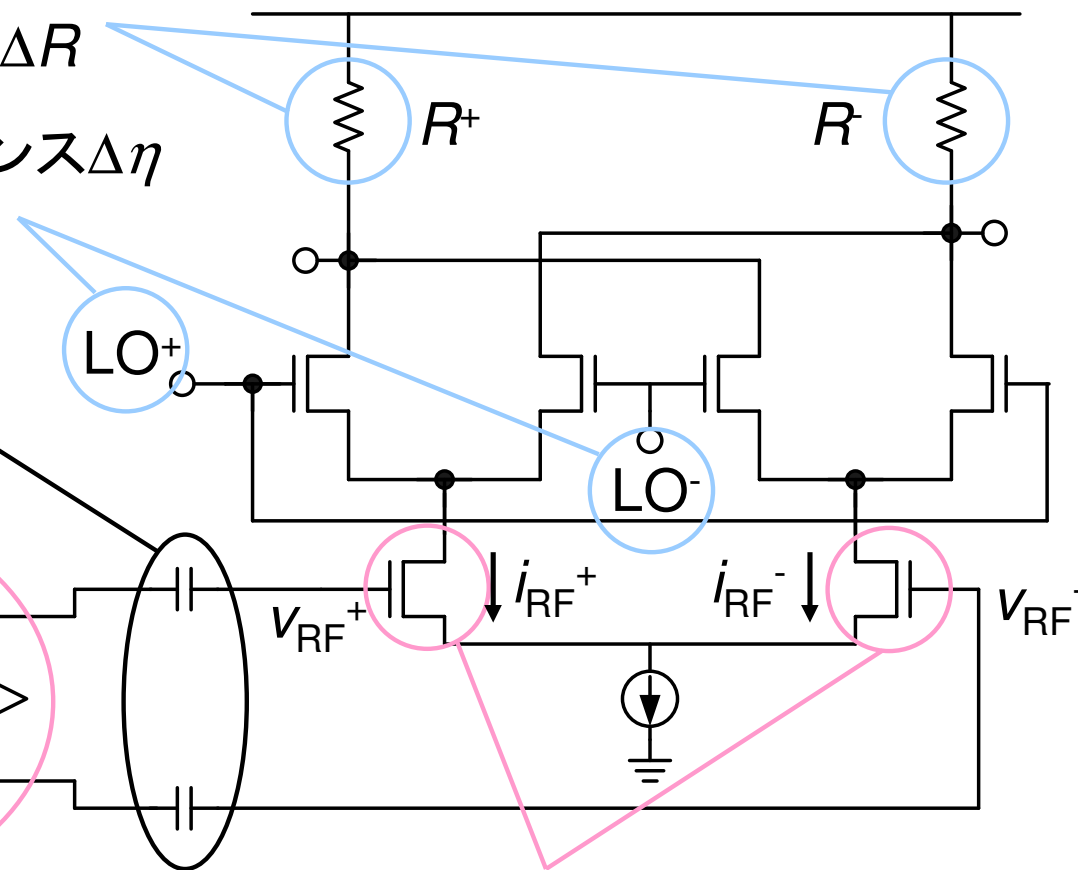
従来型→DC成分を検出しキャリブレーションを行う

相互変調による低周波成分は考慮されない

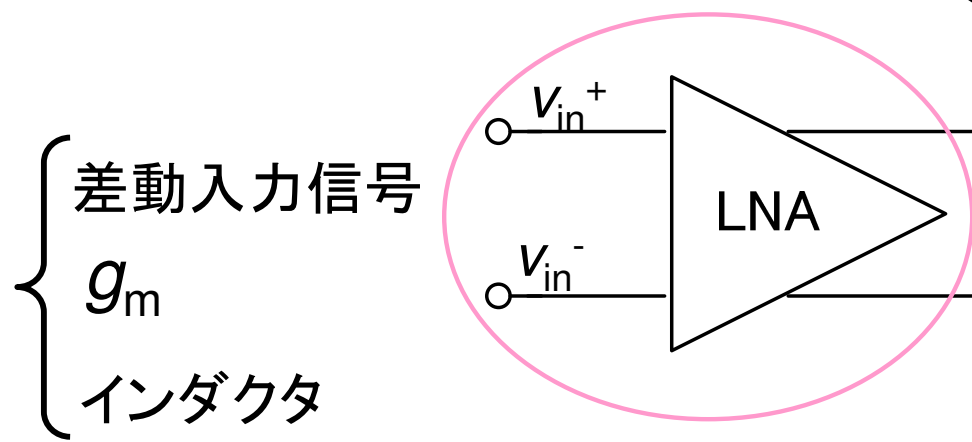
2次歪の発生要因

◆フィードスルーの発生

- 負荷インピーダンス ΔR
- LO信号のインバランス $\Delta\eta$



LNAでの2次歪はDCカットにより除去



- 差動入力信号
- g_m
- インダクタ

◆ミキサの入力段で2次歪が発生

$$i_{RF} = g_m v_{RF} + g_{m2} v_{RF}^2 + g_{m3} v_{RF}^3 + \dots$$

◆出力振幅インバランス ΔA_{RF}

$$IIP2 = \frac{\sqrt{2}g_{m1}}{\pi\eta_{nom}g_{m2}} \cdot \frac{4}{(2\Delta\eta(\Delta g_{m2} + \Delta A_{RF}) + \Delta R(1 + \Delta g_{m2})(1 + \Delta A_{RF}))} \quad [2]$$

$\Delta\eta$: LO信号のデューティ比ミスマッチ Δg_m : 入力段Trの g_m ミスマッチ

ΔA_{RF} : 入力信号(LNA出力)振幅ミスマッチ ΔR : 負荷抵抗のミスマッチ

・ミキサ入力信号

$$\begin{cases} v_{in}^+ = A_{RF}^+ [(e^{j\omega_1 t} + e^{-j\omega_1 t}) + (e^{j\omega_2 t} + e^{-j\omega_2 t})] \\ v_{in}^- = A_{RF}^- [(e^{j(\omega_1 t + \phi)} + e^{-j(\omega_1 t + \phi)}) + (e^{j(\omega_2 t + \phi)} + e^{-j(\omega_2 t + \phi)})] \end{cases}$$

$i_{RF} = g_m v_{RF} + g_{m2} v_{RF}^2 + g_{m3} v_{RF}^3 + \dots$ に代入

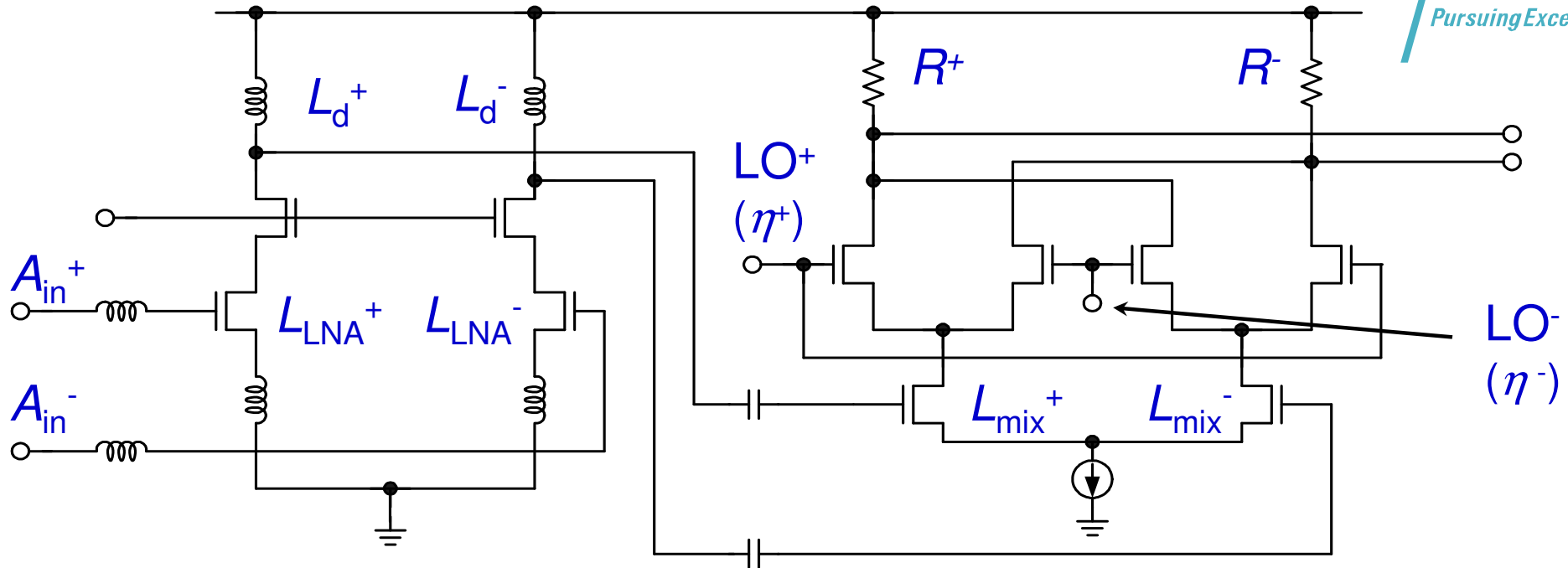
・方形波のフィードスルー成分との積

$$(\eta^+ R^+ - \eta^- R^-) g_{m2}^+ v_{in}^{+2} \quad (\eta^+ R^- - \eta^- R^+) g_{m2}^- v_{in}^{-2}$$

$K^+ = K(1 + \Delta K / 2)$ $K^- = K(1 - \Delta K / 2)$ として $\omega_1 - \omega_2$ 成分の係数を計算

[2] Kalle Kivekäs et al "Characterization of IIP2 and DC-Offsets in Transconductance Mixers" *IEEE Trans. Circuits and Systems II*, vol. 48, pp. 1028–1038, Nov, 2001

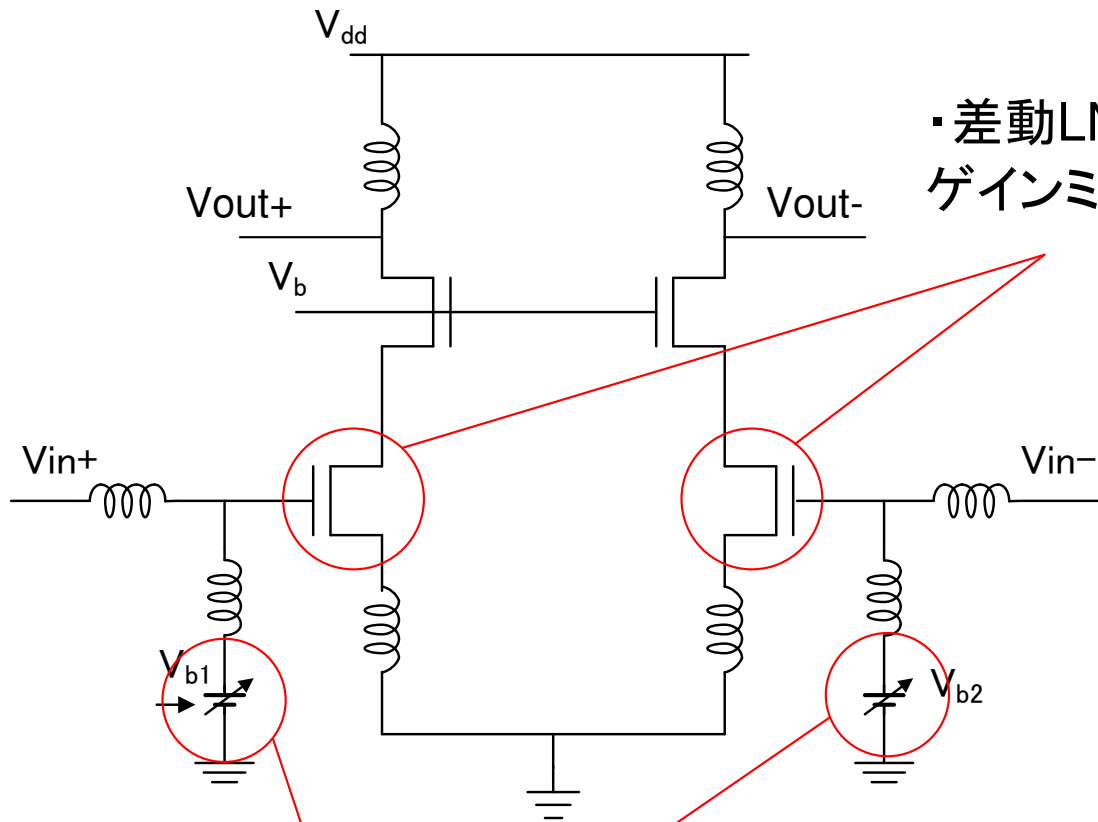
回路のミスマッチに対するIIP2



$\Delta A_{in}, \Delta L_{LNA}, \Delta L_{mix}, \Delta R = 10\%$ $\Delta L_d, \Delta \eta = 2\%$ のとき $IIP2 = 41.8 \text{ dBm}$

各ミスマッチを0にしたときのIIP2を表にまとめる

補正ミスマッチ	IIP2[dBm]	補正ミスマッチ	IIP2[dBm]
ΔA_{in}	42.3	ΔR	65.7
ΔL_{LNA}	42.3	$\Delta \eta$	42.4
ΔL_d	41.9	ΔL_{mix}	42.9



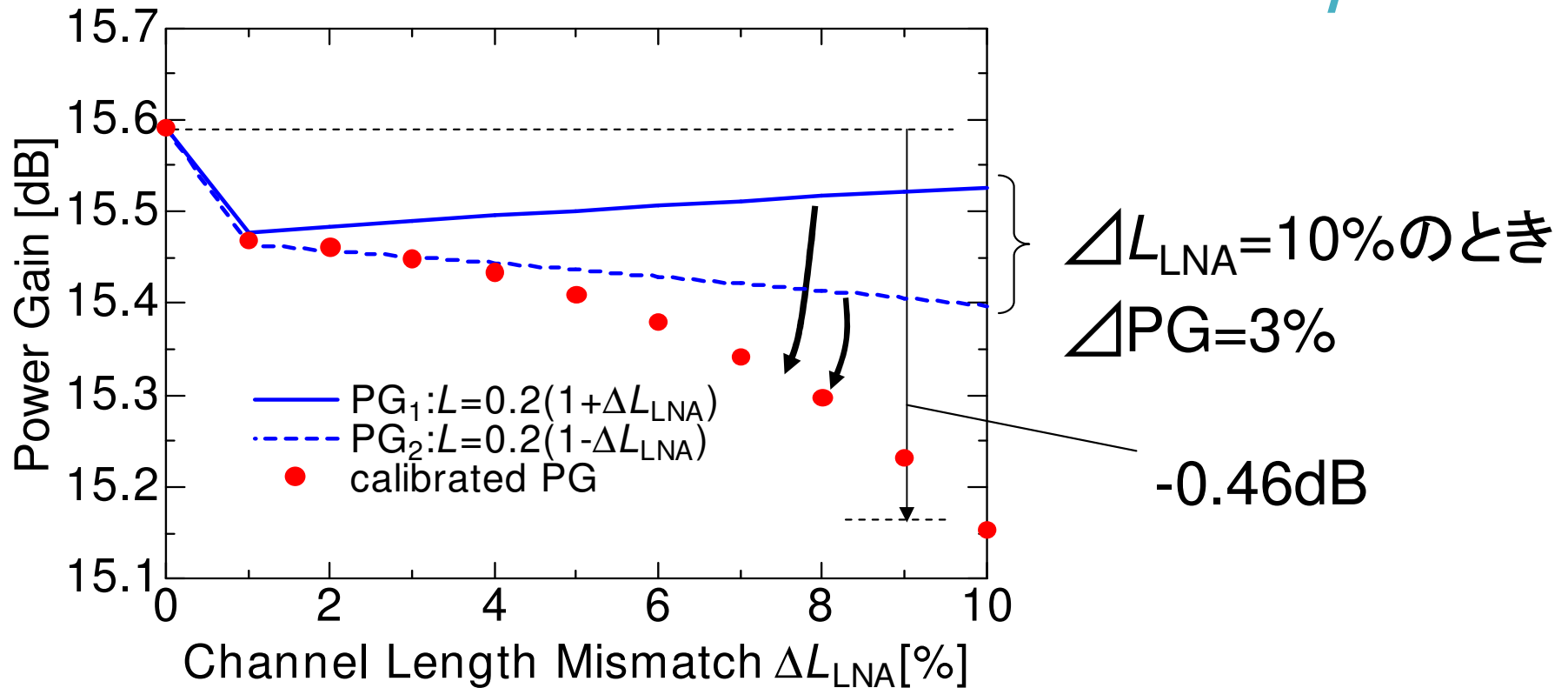
・差動LNAのチャンネル長にミスマッチを与え
ゲインミスマッチを評価

回路性能

周波数	2.5GHz
ゲイン	15.1dB
NF	2.6dB
IIP3	-20dBm
動作電流	15mA

・バイアス電位を調節して
ゲインミスマッチを補正

シミュレーター: ADS
Trモデル: 0.18 μ mプロセス



バイアス電圧を制御することでゲインインバランスを改善

ダイレクトコンバージョン方式では高いIIP2が必要

- ・差動回路においてミスマッチの補正をかけることでIIP2を高く保てる
- ・従来のDC成分の検出による補正では不十分

LNA及びミキサの各段階における補正が必要

- ・一例として可変バイアスによるLNAのゲインインバランスの補正を検証した