

# 伝送線路を用いた動的再構成可能 Si CMOS VCOの検討

東京工業大学大学院

理工学研究科 電子物理工学専攻

伊藤 猛, チャイヴィパーズ ウィン, 岡田 健一, 松澤 昭

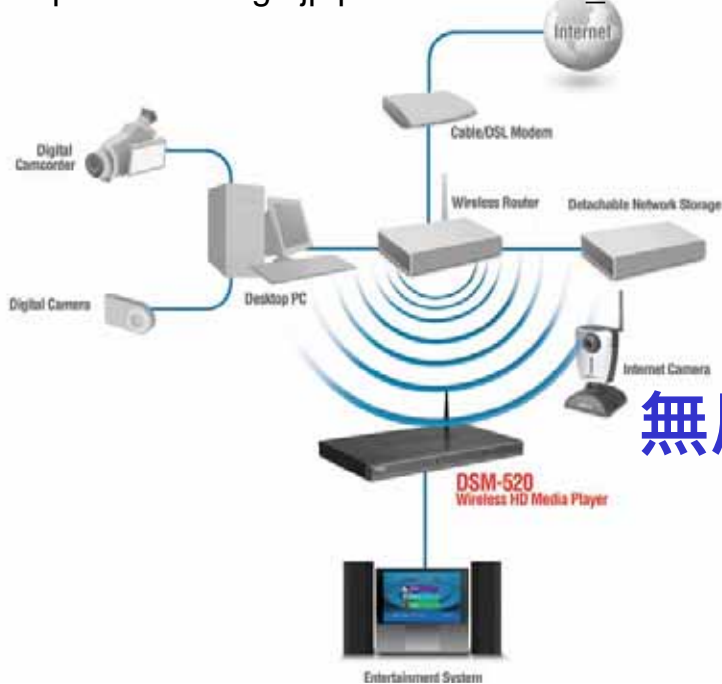
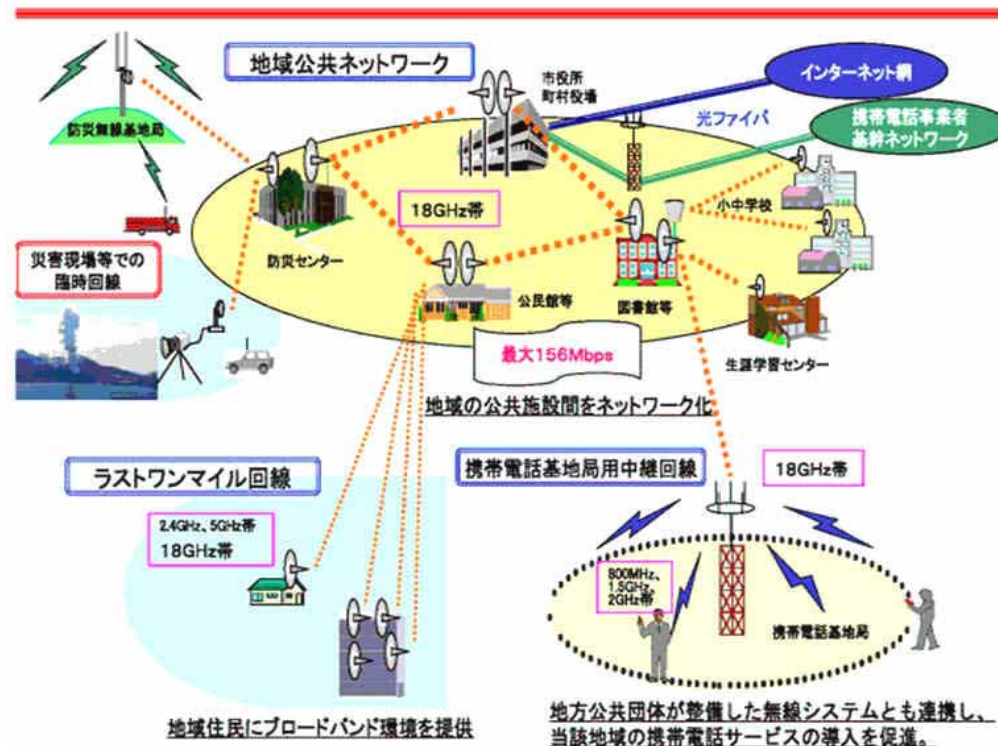
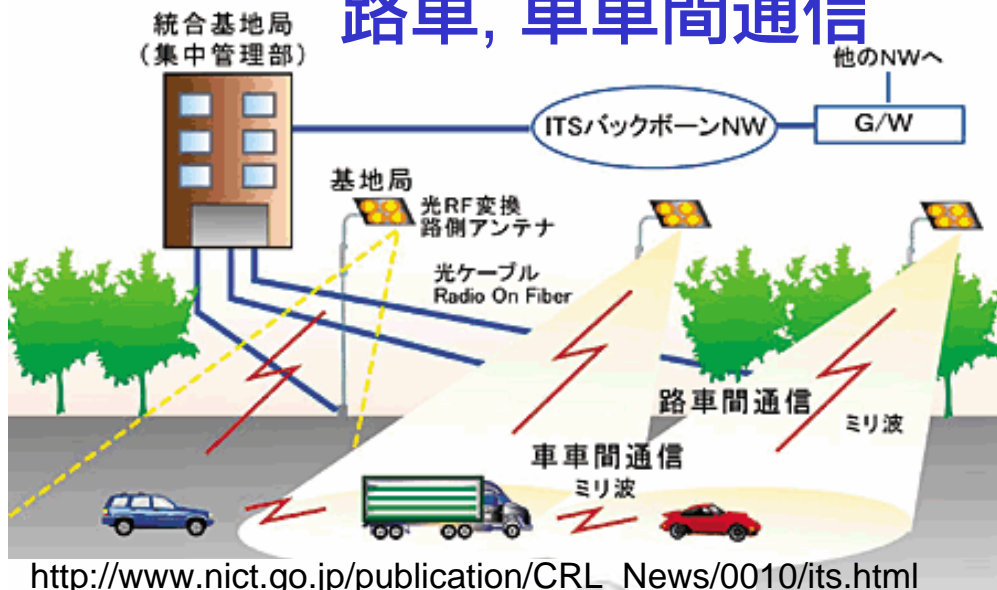
2007/09/12

# 1. もくじ

- (1) 背景・目的
- (2) ミリ波発振器の低雑音化
- (3) 動的再構成可能なミリ波RF回路
- (4) まとめ

# 2. 背景

## 路車, 車車間通信

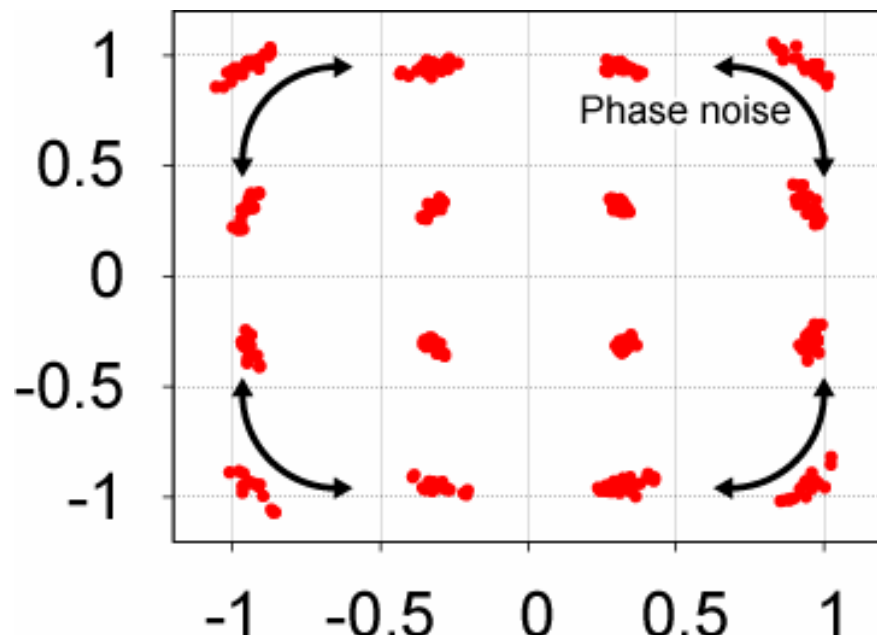


## 無圧縮WirelessHD送信

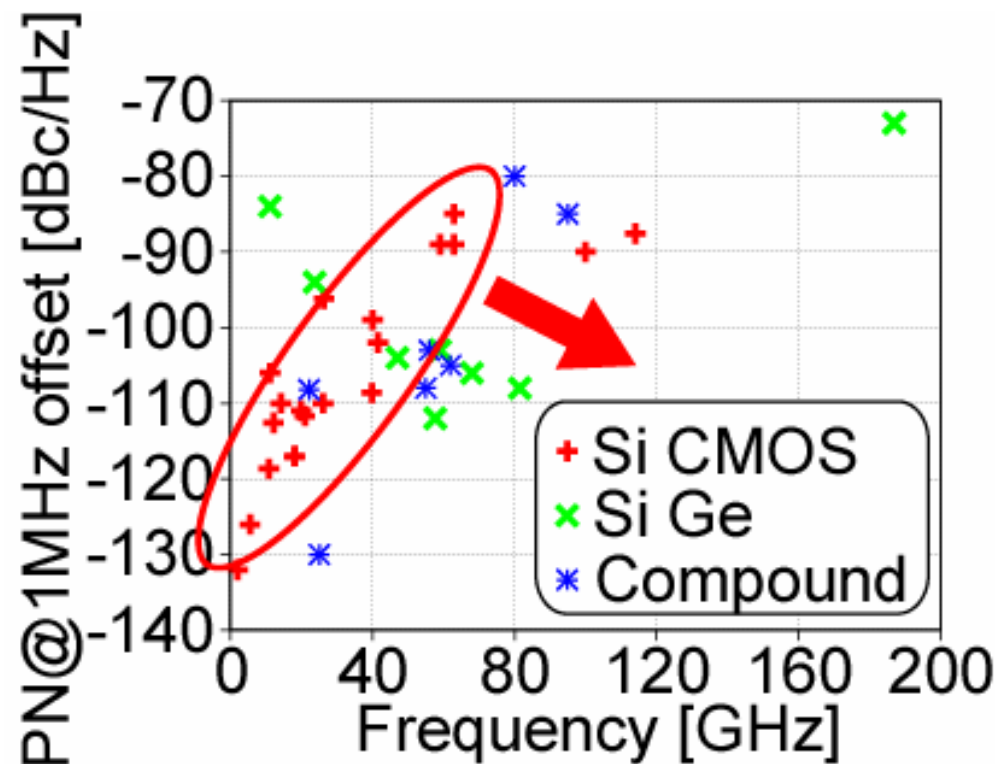
■CMOSの微細化により

低コストなミリ波RF回路を実現

# 3. 目的



位相雑音によるコンスタレーションの乱れ



1. VCOの位相雑音を低下させる (60GHz -90dBc/Hz@1MHz offset以下)
2. CMOS回路のPVTばらつきを補償する

# 4. もくじ

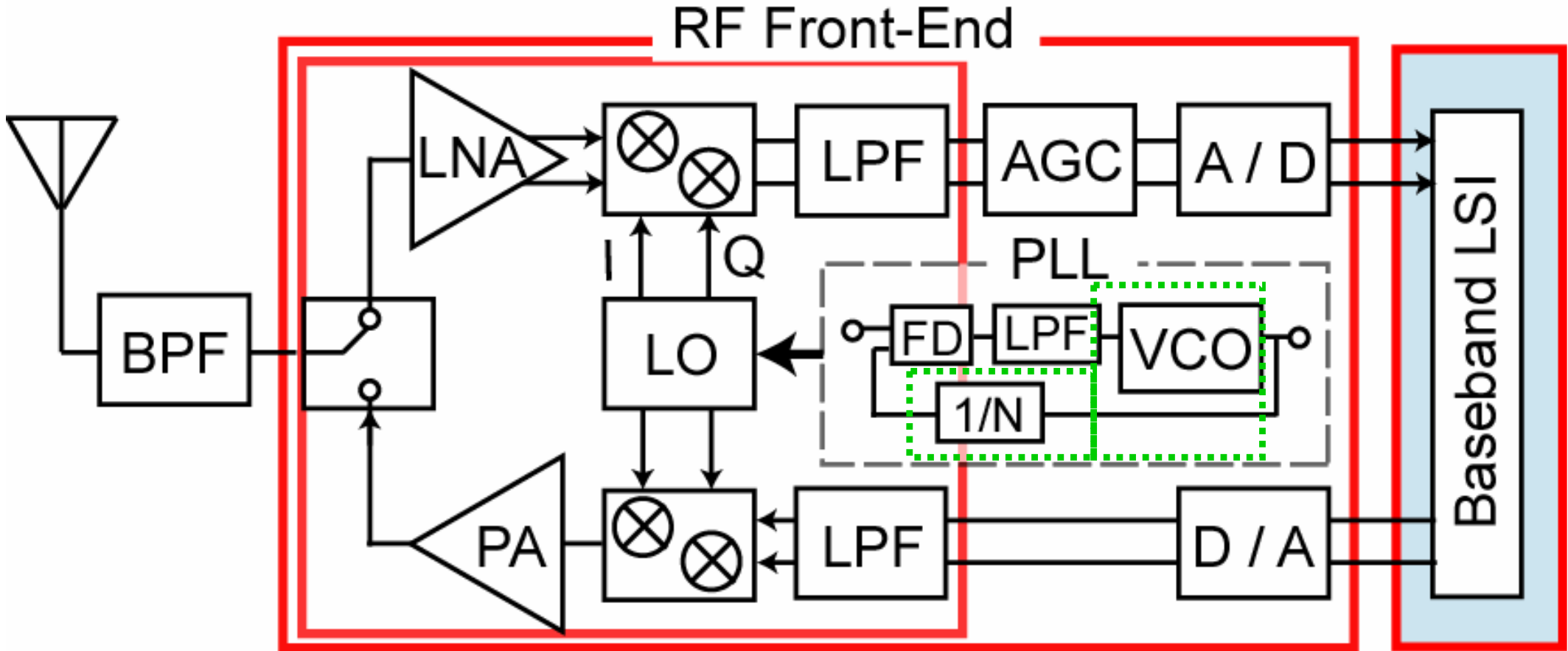
(1) 背景・目的

**(2) ミリ波発振器の低雑音化**

(3) 動的再構成可能なミリ波RF回路

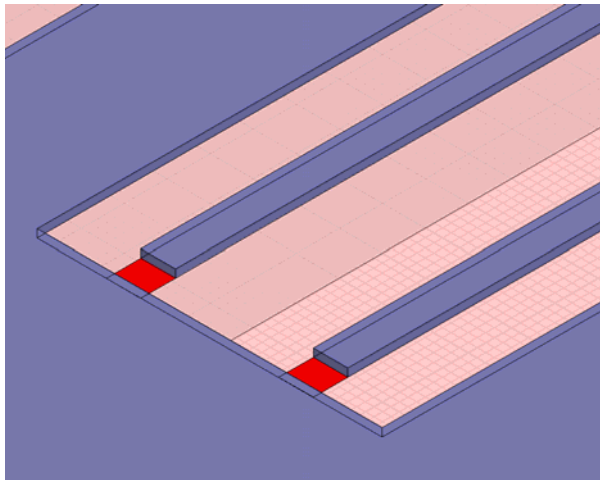
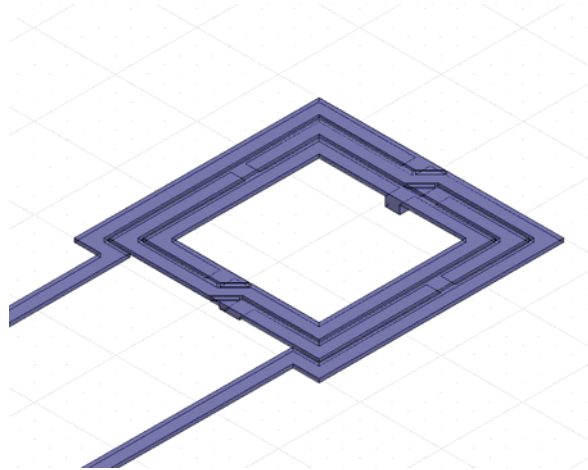
(4) まとめ

# 5. RF Front-end



0.18 $\mu\text{m}$ シリコンCMOSプロセスを用いた  
12GHz帯で動作するVCOの検討を行った

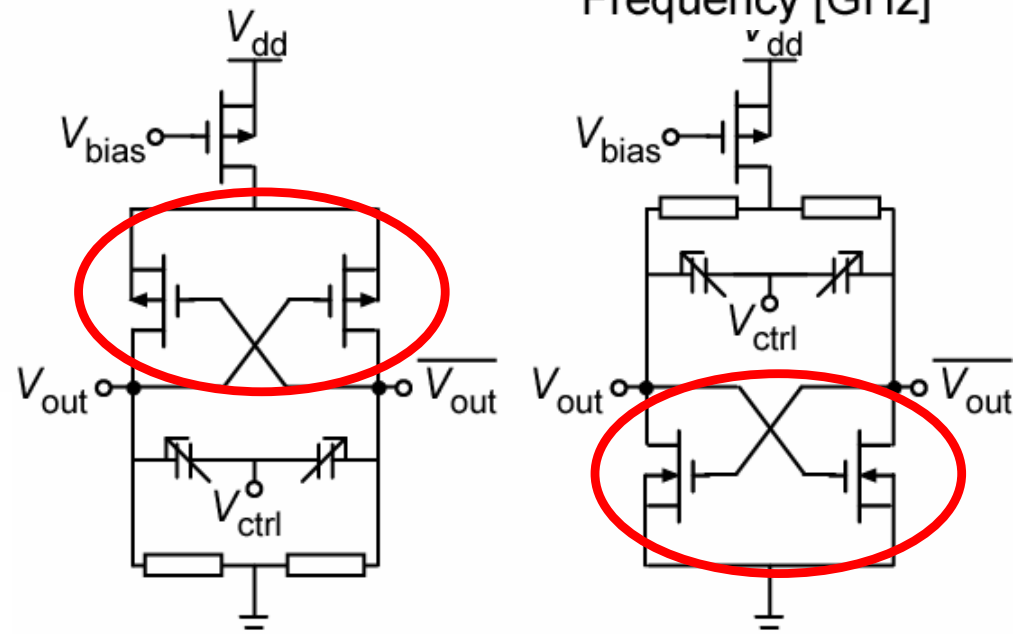
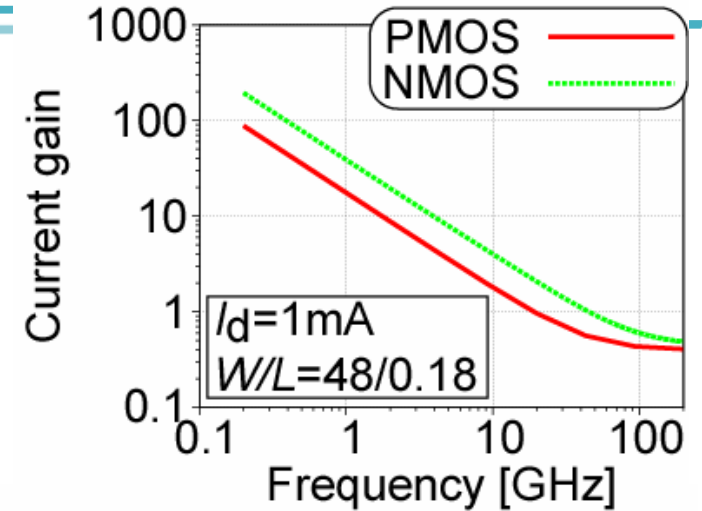
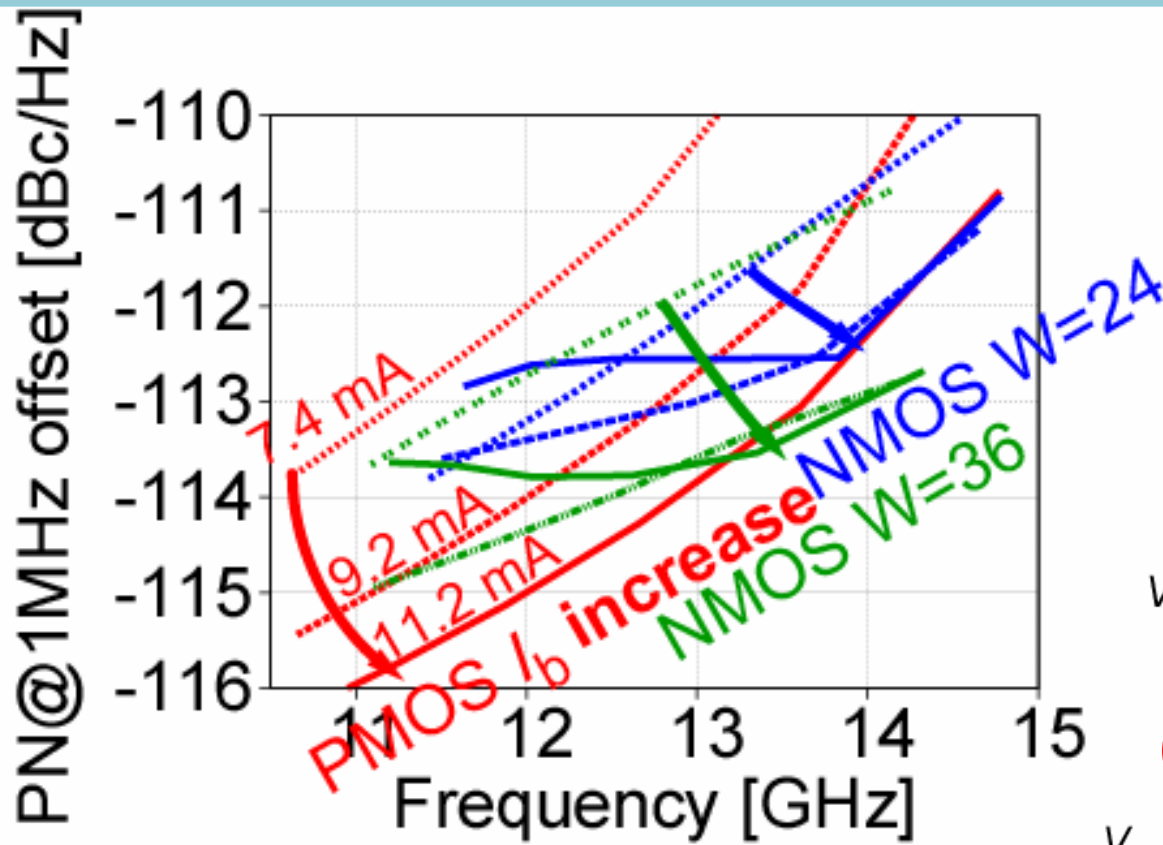
# 6. インダクタと伝送線路



## Q値の高い共振器

	インダクタ	差動伝送線路
単位長さあたりの インダクタンス =配線損失の小ささ		>
Si基板との結合 =基板損失の大きさ		>
寄生容量の分布 =寄生容量の効果の 現れやすさ	集中定数的	分布定数的
Qの高い周波数範囲	~ 20GHz	10GHz ~

# 7. PMOSとNMOSクロスカップル



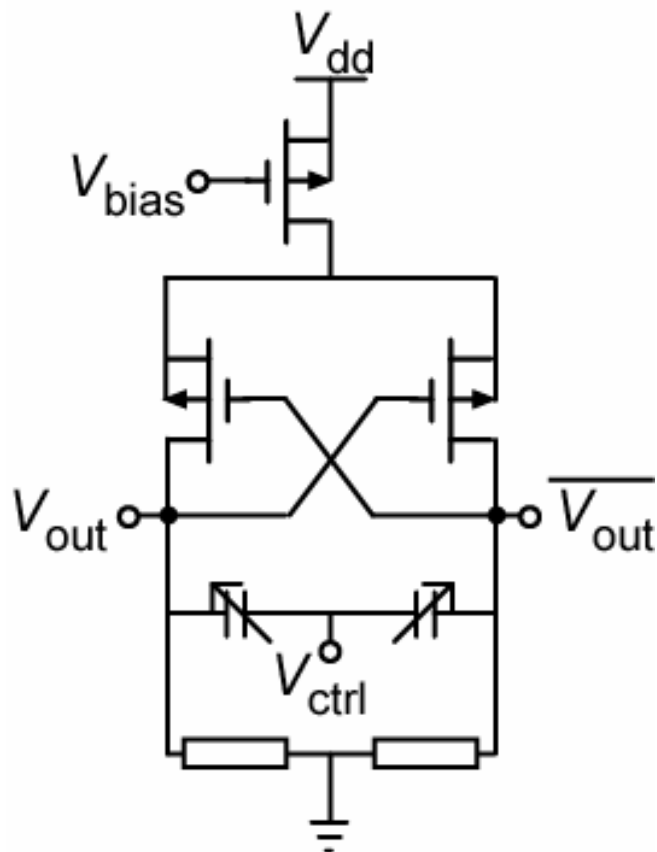
(a) PMOS type

(b) NMOS type

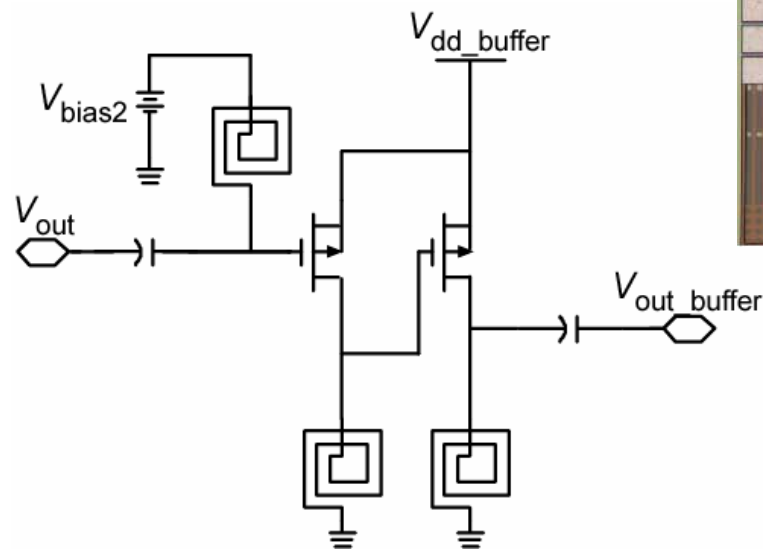
PMOS型を採用  
 移動度小で、同じ $g_m$ を得るには $W$ 大、消費電力はNMOSの倍程度  
 発振周波数の低下



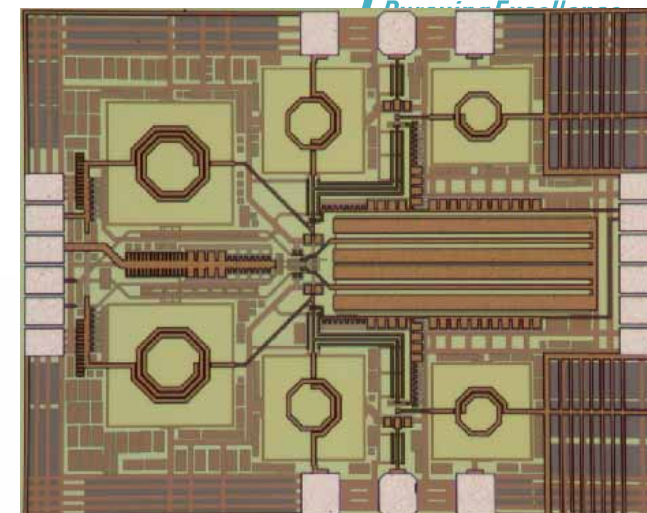
# 8. Microwave-band VCO



VCO Core



IO buffer



Chip写真

0.18 $\mu\text{m}$  Si CMOSプロセスを使用.

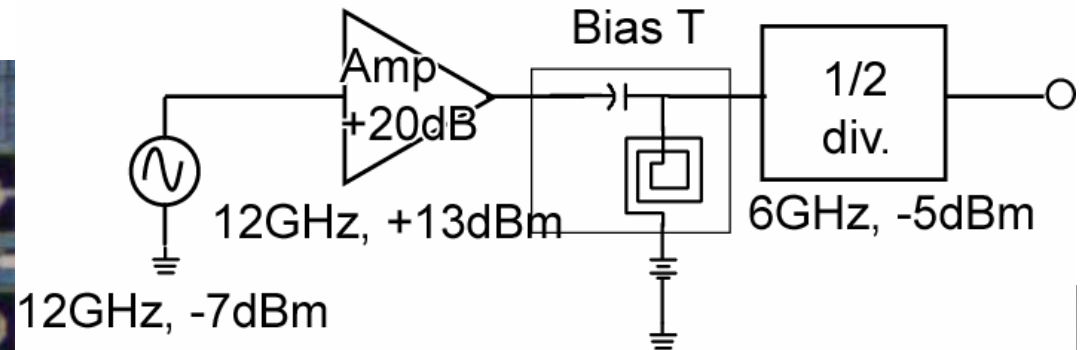
動作周波数 12GHz, 1MHzオフセット時の位相雑音 -113dBc/Hz

IO bufferは高周波動作を想定し, インダクタ負荷, ソース接地2段とした

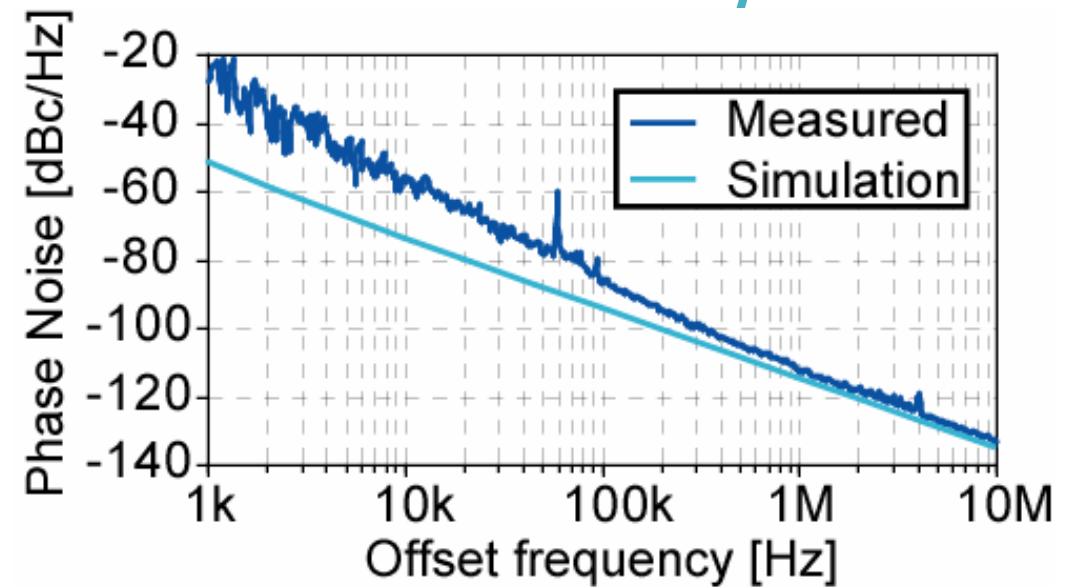
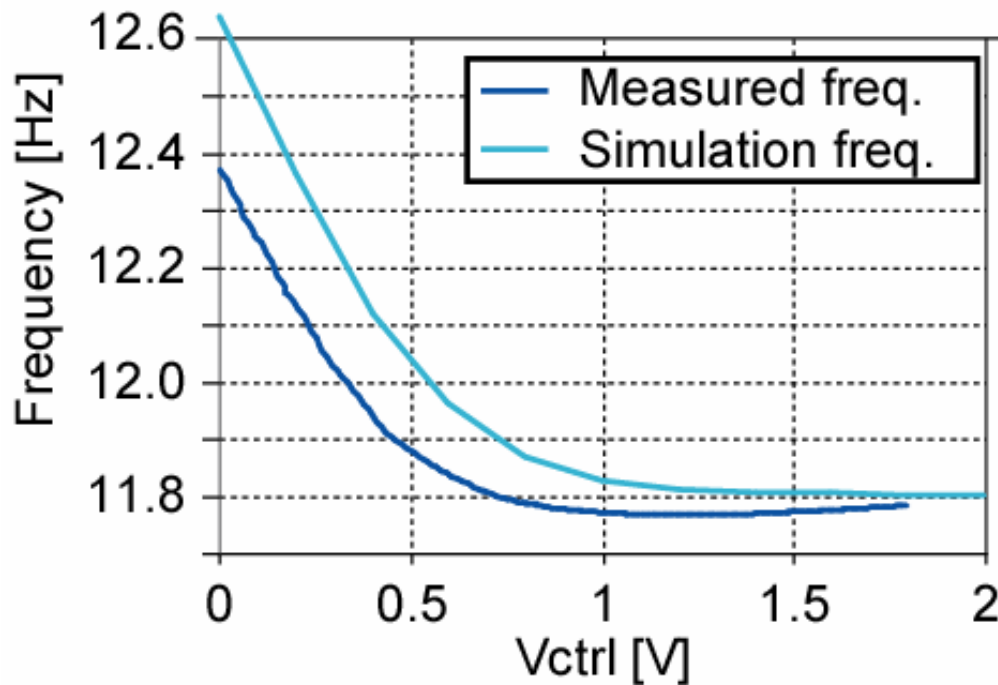
# 9. 測定系

- VCOの出力電力(-7dBm)が小さいため、広帯域増幅器を用いる.
- 発振周波数は12GHzだが、Signal Source Analyzerは7GHzまでしか対応していないので2分周した信号を測定した.

オンウェハプローブ



# 10. 発振周波数・位相雑音



	Simulation result	Measured result
Oscillation freq.	12.6GHz	12.4GHz
Phase noise @ 1MHz offset	-113.1dBc/Hz	-112.6dBc/Hz

■ 発振周波数はシミュレーション結果よりも200MHz低下

# 11. もくじ

- (1) 背景・目的
- (2) ミリ波発振器の低雑音化
- (3) 動的再構成可能なミリ波RF回路**
- (4) まとめ

# 12. 動的再構成可能なミリ波RF回路

製造プロセスの微細化による $f_t \cdot f_{max}$ の向上で、  
CMOSプロセスを用いたミリ波RF回路の実現が可能

- PVTばらつき
- 国・地域によってミリ波の帯域が違う

デジタル制御回路によってRF回路を動的に再構成可能とできる [1]

ばらつき補正で性能向上, マルチバンド・モード化

## 周波数分周器のばらつきの例[2]

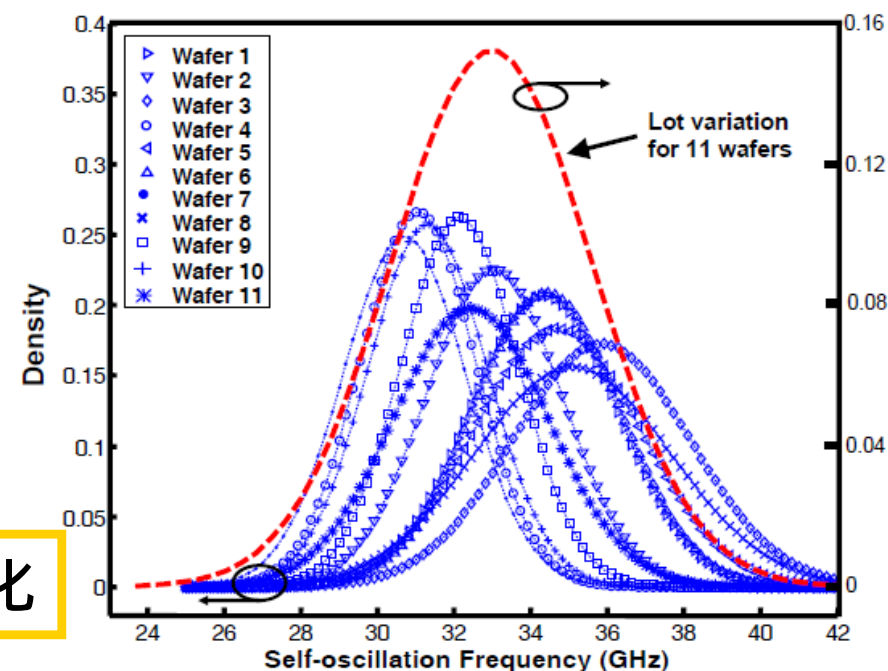
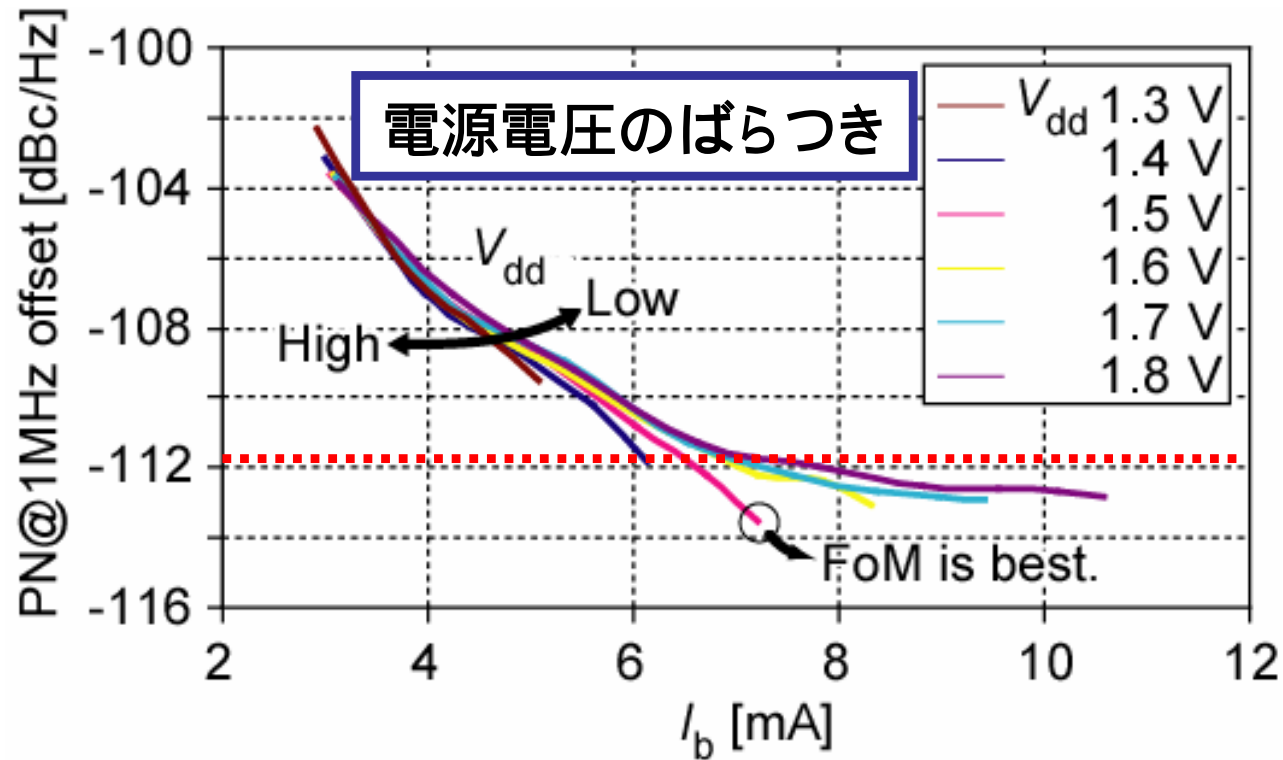


Figure 30.3.5: Distribution of self-oscillation frequency in 11 wafers and total lot variation.

[1] K. Okada, Y. Yoshihara, H. Sugawara, and K. Masu, "A dynamic reconfigurable RF circuit architecture," in *Proceedings of IEEE/ACM Asia and South Pacific Design Automation Conference*, Jan. 2005, pp.683-686.

[2] Daihyun Lim and Jonghae Kim and Jean-Olivier Plouchart and Choongyeun Cho and Daeik Kim and Robert Trzcinski and Duane Boning, "Performance Variability of a 90GHz Static CML Frequency Divider in 65nm SOI CMOS," in *Proceedings of ISSCC digest of technical papers*, Feb. 2007, pp.542-543.

# 13. 電源電圧変動と位相雑音



電源電圧のばらつきにより、位相雑音が所望の性能 (-112dBc/Hz@1MHz offset) を満たさなくなるが、

バイアス電流をデジタル回路で制御した  
動的再構成可能なVCOならば所望の性能を満たせる

# 14. まとめ

- 12GHzで動作するVCOの試作評価を行った.
- 発振周波数が16 GHz 以下の領域ではPMOS  
クロスカップルの方が位相雑音が低いことを示した.
- 動的再構成可能なRF 回路技術を適用することにより,  
PVTばらつきによる回路性能の補償を行い位相雑音特性  
の改善が可能である.