

容量感度スケーリングを利用した 微調整可能デジタル制御発振器

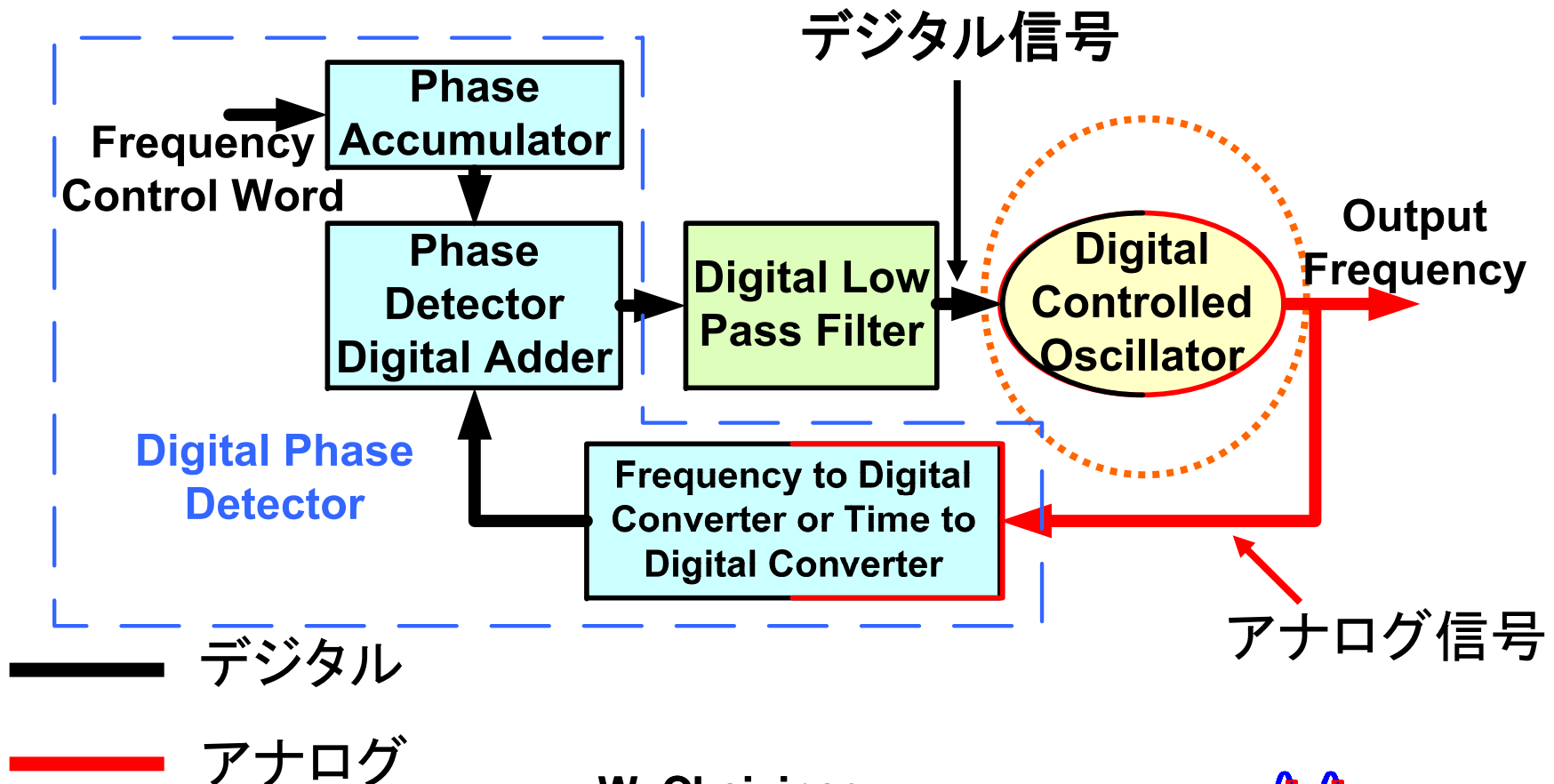
○Win Chaivipas・岡田健一・松澤昭

東京工業大学 電子物理工学専攻

- 背景
- 提案回路
- 設計解析
- 試作した DCO と測定結果
- 結論

- 背景
- 提案回路
- 設計解析
- 試作した DCO と測定結果
- 結論

近年GHz 周波数 all-digital phase locked loop (ADPLL) の実現が可能になった。



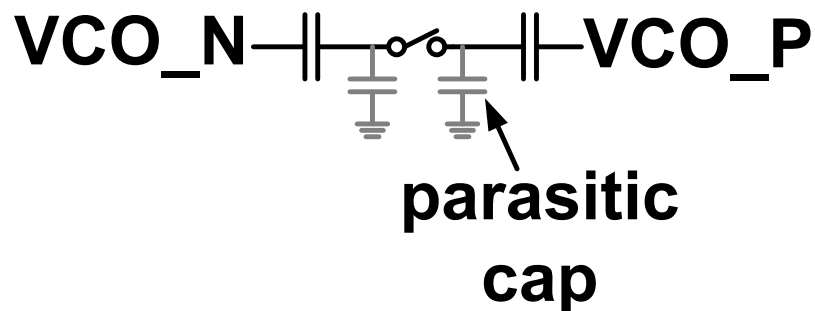
DCO 周波数ステップ \propto ADPLL's 周波数分解能

DCO 周波数ステップ \propto ADPLL's 周波数分解能

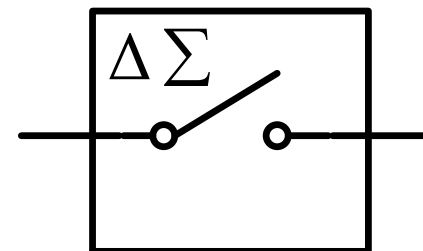


1. 小さい容量 (50aF) を用いて DCO の周波数分解能を上げる

[1] Staszewski, 2005, JSSC



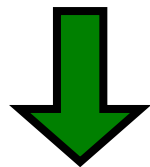
2. 周波数分解能を上げるため高周波数デザインリング



DCO 周波数ステップ \propto ADPLL's 周波数分解能



1. 小さい容量 (50aF) を用いてDCOの周波数分解能を上げる [1] Staszewski,2005, JSSC



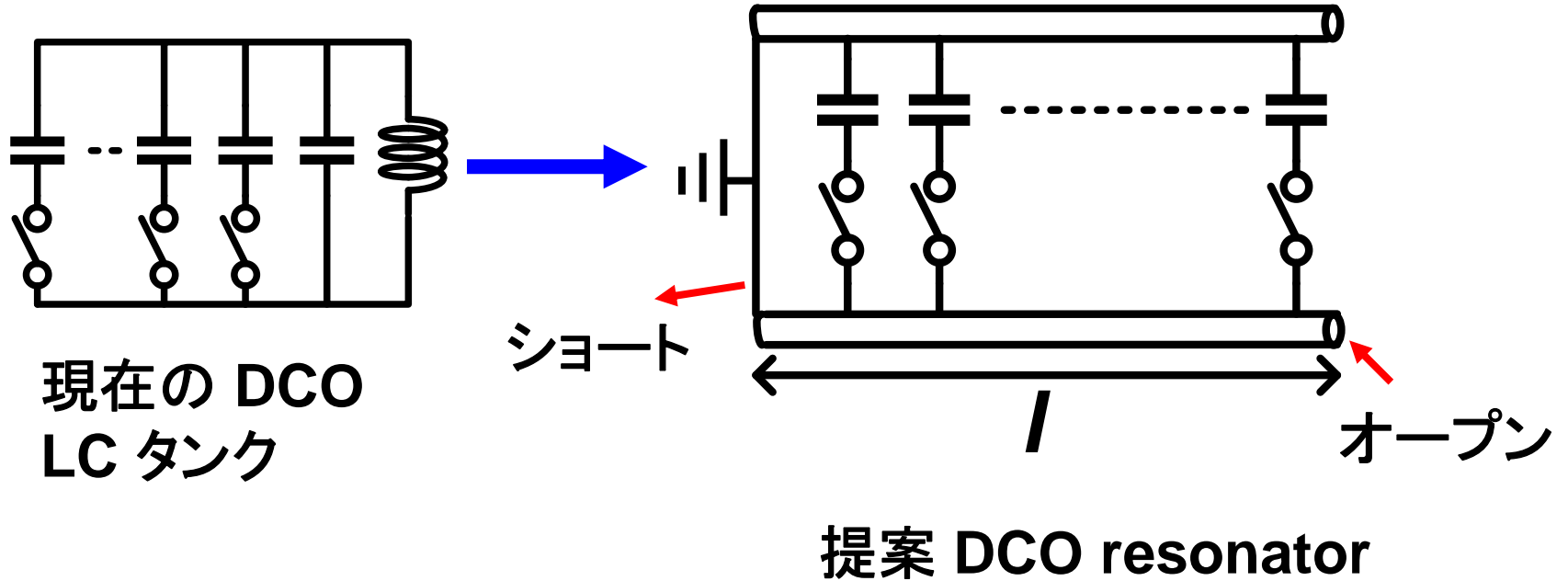
小さい容量を作るのは難しい。ミスマッチ 寄生容量が問題。

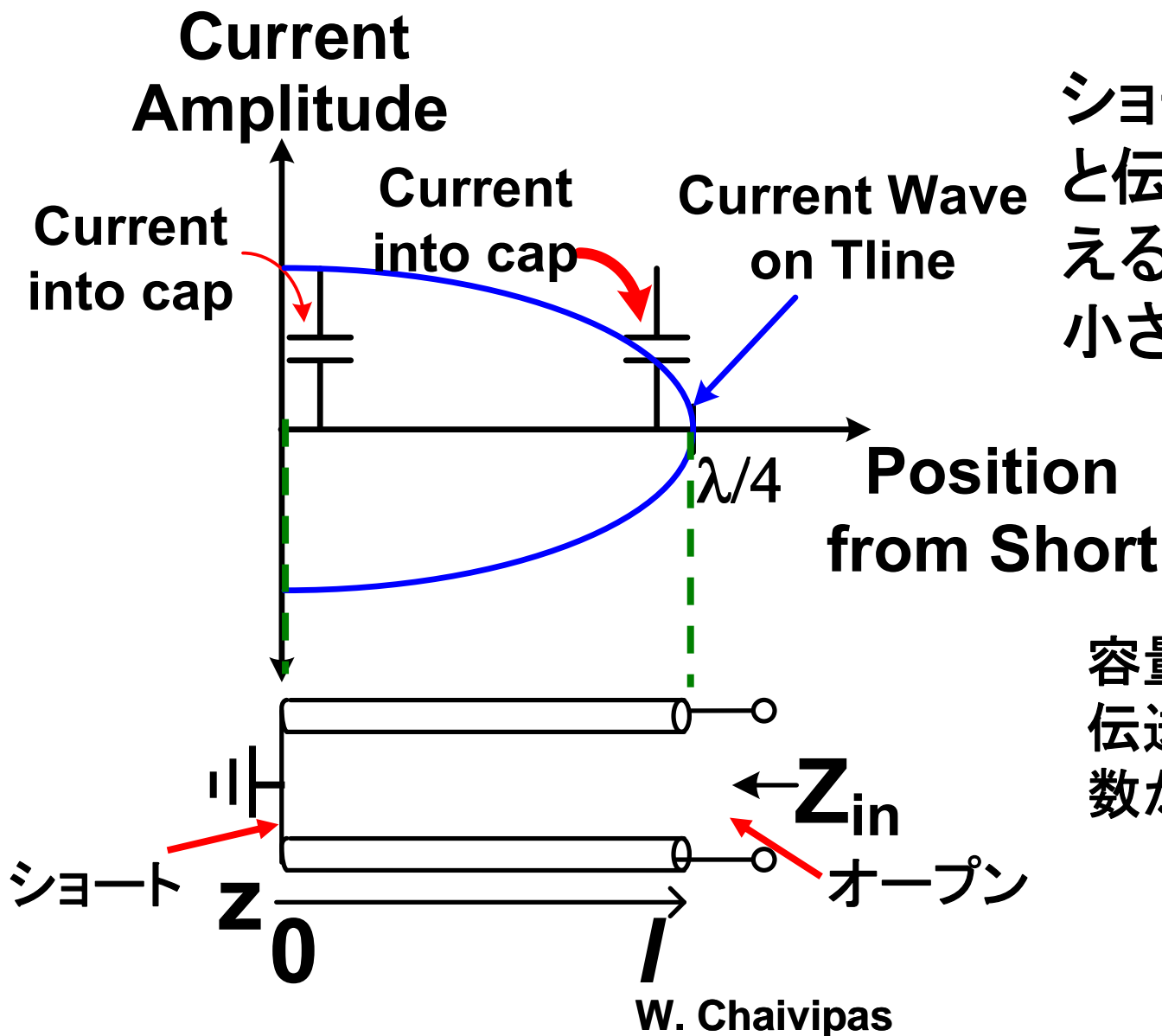
2. 周波数分解能を上げるため高周波数ディザリング



高周波数ディザリングで電力が上がる。ノイズがPLLに入る。

- 背景
- 提案回路
- 設計解析
- 試作した DCO と測定結果
- 結論

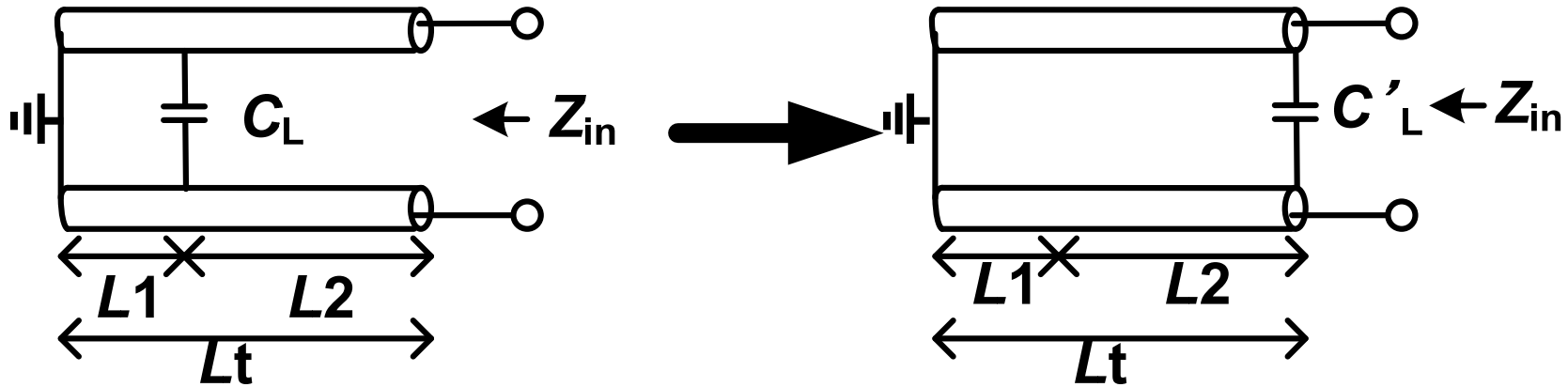




ショートに近づけると伝送線路から見える容量の影響は小さくなる

容量タップを用いる伝送線路の共振周波数が求まる

- 背景
- 提案回路
- 設計解析
- 試作した DCO と測定結果
- 結論



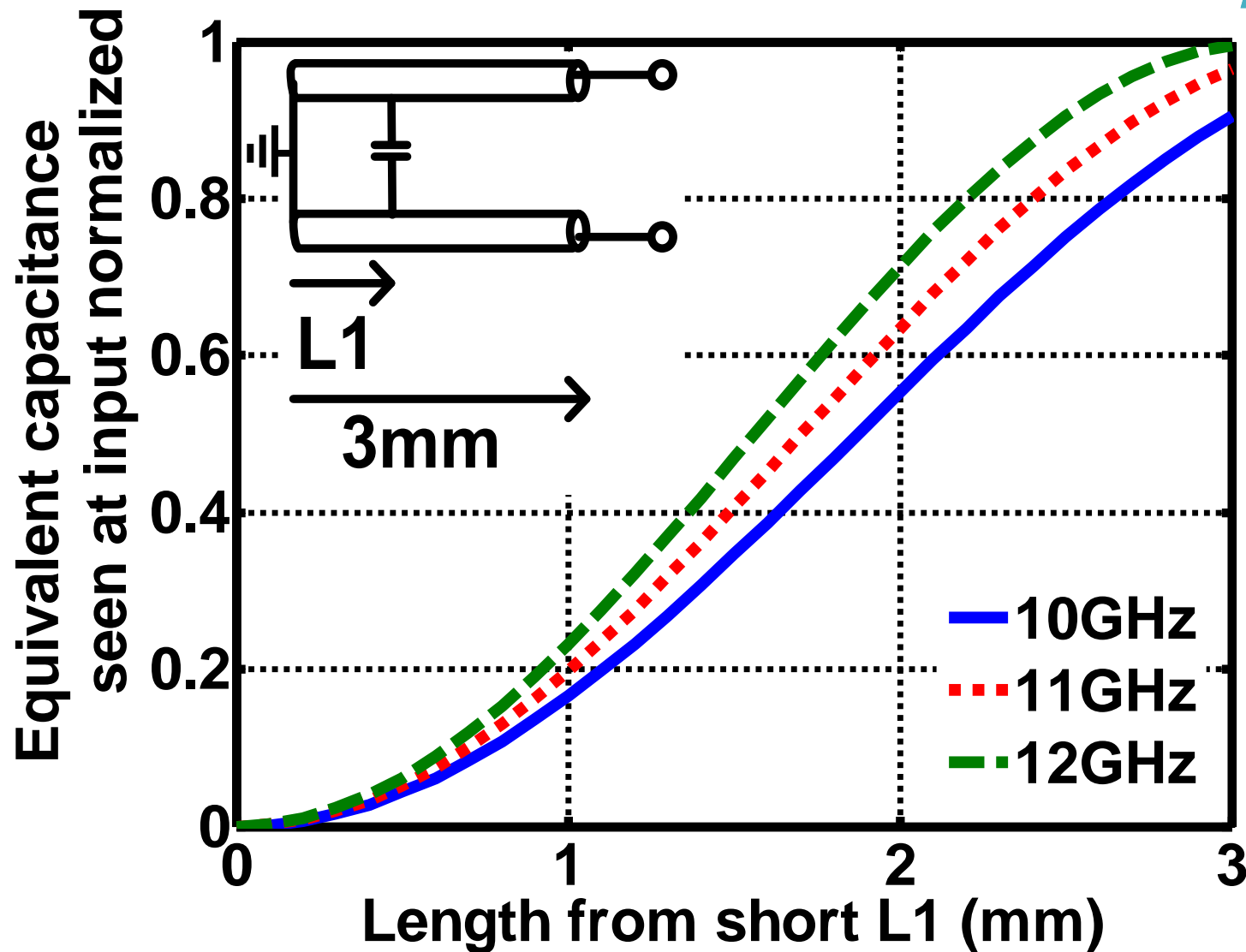
$$C_L' = \frac{C_L}{2} + \left(\frac{C_L}{2}\right) \cdot \sin\left(\frac{\omega}{v_p} \cdot (2 \cdot L_1)\right) \cdot \cot\left(\frac{\omega}{v_p} \cdot L_t\right) - \left(\frac{C_L}{2}\right) \cdot \cos\left(\frac{\omega}{v_p} \cdot (2 \cdot L_1)\right)$$

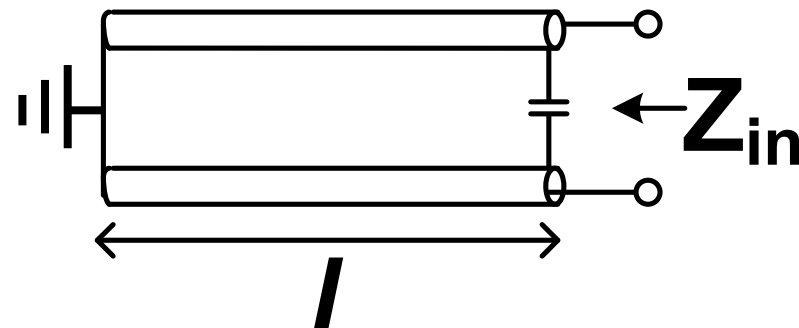
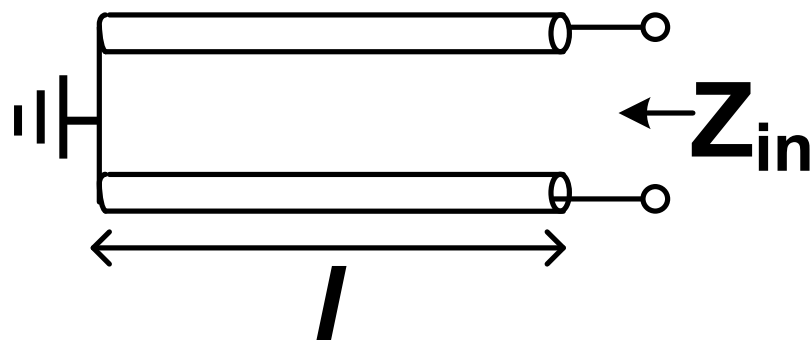
For $L=L_t/2$ at resonance

$$C_L' = \frac{C_L}{2}$$

C_L = loading cap

C_L' = equivalent loading cap





共振周波数は

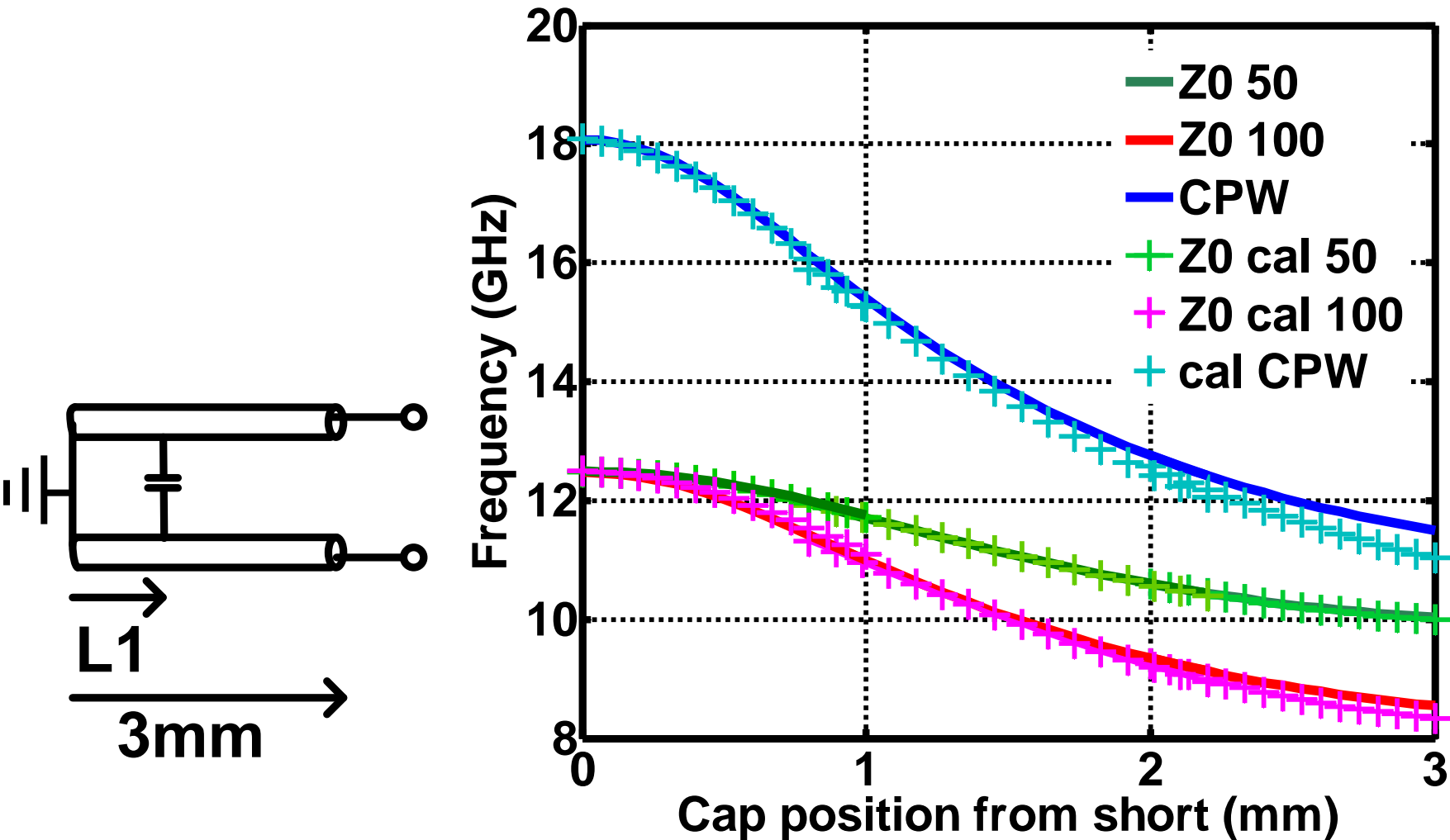
$$f_0 = \frac{v_p}{4 \cdot l} = \frac{1}{4 \cdot l \cdot \sqrt{\mu_0 \cdot \varepsilon_0 \cdot \varepsilon_{\text{reff}}}}$$

共振周波数は

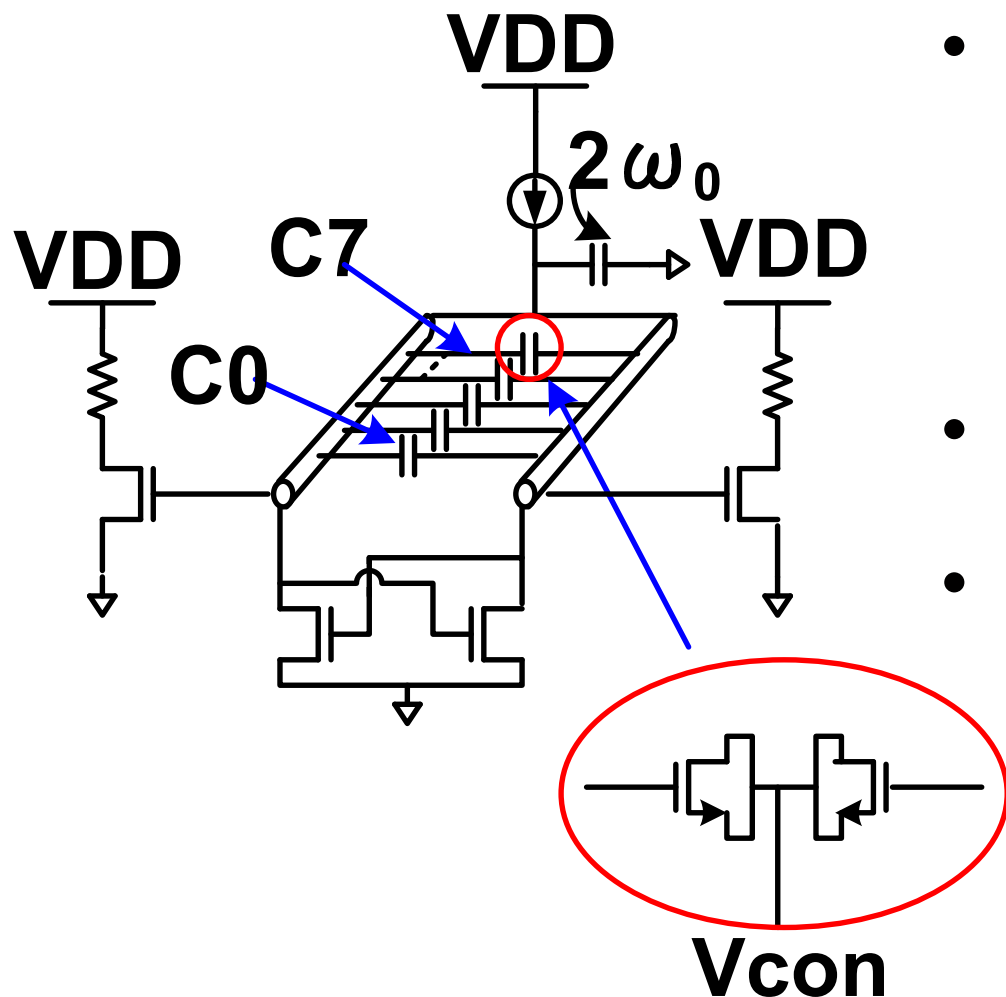
$$f_0 \approx \frac{1}{4 \cdot (l \cdot \sqrt{\mu_0 \cdot \varepsilon_0 \cdot \varepsilon_{\text{reff}}} + C_L \cdot Z_0)}$$

新しい変数は 容量と特性のインピーダンスの関係がある

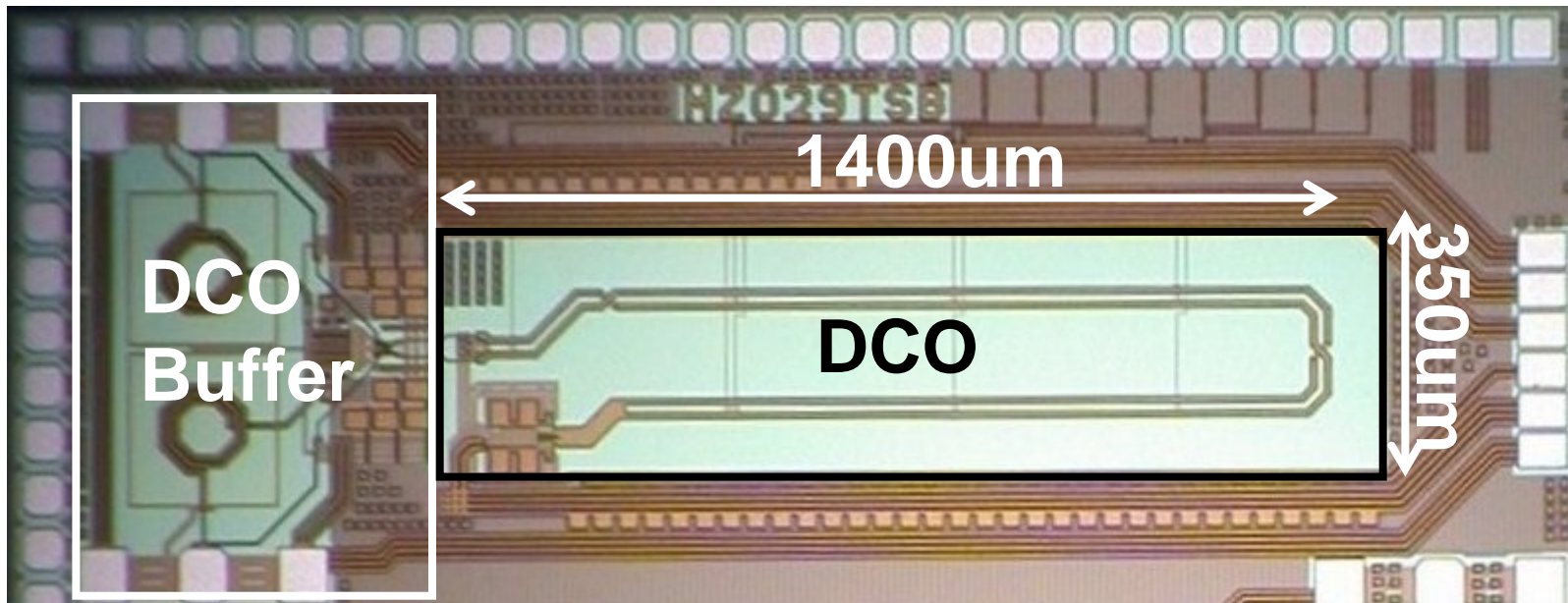
Sim. vs Cal. of equivalent capacitance method



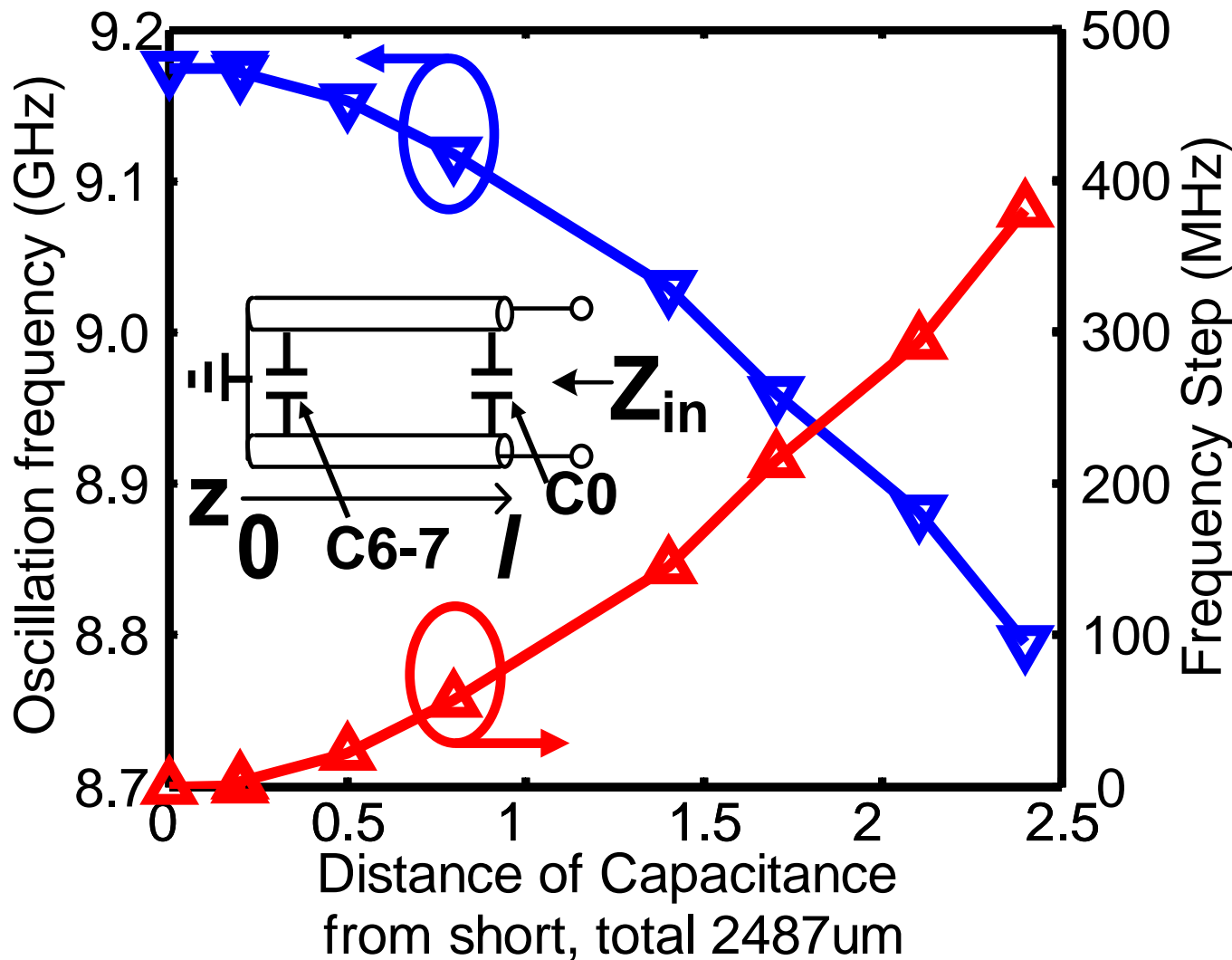
- 背景
- 提案回路
- 設計解析
- **試作した DCO と測定結果**
- 結論



- 8 ステップ
ステップ 1-7 中型 MOS 容量 (C0-C6)
ステップ 8 小型 MOS cap (C7)
- Coplanar Strip Line
9GHz f_0
- 0.18 μm CMOS, 6 メタル



0.49mm²



ステップ C0
376 MHz

ステップ C6
3.45 MHz

最小 C7
<100kHz

100倍 周波数
ステップ違う

| | |
|-----------------------------|-------------------------|
| Process | 0.18um CMOS |
| Resonance Frequency | 9.2 GHz |
| Power supply | 1.8V |
| Bias Current | 5mA |
| Frequency Step outer | 376MHz |
| Frequency Step inner | 3.45MHz |
| Min step | < 100kHz |
| Phase Noise | -105dBc/Hz @1MHz |
| Q at 9GHz (sim) | 6.8 |

- 伝送線路を用いたデジタル制御発振器を試作した
- 伝送線路中の容量タップの位置により、共振周波数に対する感度が異なることを利用した
- 従来の100倍程度の周波数分解能を実現した