

差動型低雑音増幅器における利得インバランス改善の検討

Study of Gain Imbalance Improvement in Differential Low Noise Amplifiers

金丸 正樹
Masaki Kanemaru

伊藤 猛
Takeshi Ito

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

ダイレクトコンバージョン方式は高価な外付け高周波フィルタを必要とせず、RF回路の小型集積化を実現する方式として期待されている。しかし、この方式を用いるには克服すべきいくつかの問題がある。その一つとしてミキサの二次非線形性により発生する低周波成分が問題となる。二次非線形性は差動回路を用いることで除去できると考えられるが、そのためにはミキサだけでなく差動入力信号や差動 Low Noise Amplifier(LNA)、LO 信号においても高精度な対称性が要求される。近年の SiCMOS 微細化技術に伴い、製造ばらつきの回路性能への影響は大きくなってきており、製造過程において対称性を保つことは難しい。したがって、製造後の回路性能を補償する技術が必要となる。本発表では、差動 LNA の製造ばらつきによる利得のインバランスの改善をシミュレーションにより検討する。

2 二次非線形性と LNA のゲインミスマッチ

ダブルバランスドミキサにおいて発生する二次の非線形項は次式で表される [1]。

$$\frac{1}{2}dg_m\alpha_2RA^2\{\Delta R(4+\Delta A^2+2\Delta g_m\Delta A) + \Delta d(4\Delta A+2\Delta A+2\Delta g_m+\frac{\Delta g_m\Delta A^2}{2})\}\cos(\omega_1-\omega_2)t \quad (1)$$

d は LO 信号の duty 比、 g_m は RF 段のトランスコンダクタンス、 α_2 は二次の係数、 R は出力抵抗、 A はミキサ入力の振幅を表し、 $\Delta d, \Delta g_m, \Delta R, \Delta A$ はそれぞれのミスマッチを表す。 ΔA は、図 1 に示すような回路により LNA の出力に応じてバイアス電圧を変化させることで抑制することができ、ミキサにおける二次歪を低減することが可能である。

3 シミュレーション

シミュレーションに用いた回路の性能を表 1 に示す。チャンネル長のミスマッチに対して、バイアス電圧の制御による LNA のゲインミスマッチの補正をシミュレーションで評価した。図 2 に示すように、チャンネル長のミスマッチに比例して利得のインバランスが増加し、 $\Delta L = 10\%$ では $\Delta PG = 1.5\%$ となった。ここで、バイアス電圧を制御することで利得のインバランスを除去することができた。また、図 3 にチャンネル長のミスマッチと電力利得の関係を示す。 PG_1 はチャンネル長が $-\Delta L/2$ だけ変化したときの利得を表し、 PG_2 はチャンネル長が $\Delta L/2$ だけ変化したときの利得を表す。 PG'_1, PG'_2 はバイアスを制御し

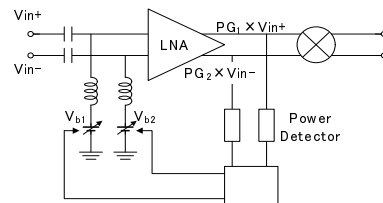


図 1 利得インバランス補償回路
表 1 回路性能

Frequency [GHz]	2.5
Power Gain [dB]	15.6
NF [dB]	2.7
IIP ₃ [dBm]	-20
入力反射係数 [dB]	-39
出力反射係数 [dB]	-26

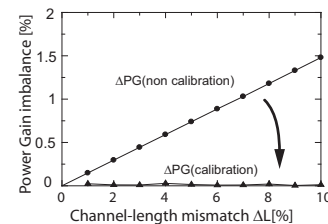


図 2 利得インバランスの改善

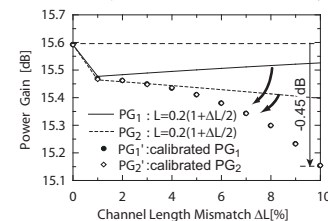


図 3 電力利得の ΔL 依存性

たときのそれぞれの利得を表す。 $\Delta L = 10\%$ に対し補正を行ったときの電力利得は、 $\Delta L = 0\%$ のときと比較して -0.45dB となった。

4 まとめ

本発表では、差動 LNA の性能ばらつきによる利得のインバランスの改善を、シミュレーションにより検討した。チャンネル長のミスマッチに対して、バイアス電圧の制御により、利得を減少させることなくインバランスを除去することが可能であることが示した。

参考文献

- [1] K. Kivekas, A. Parssinen, and K. A. Halonen, "Characterization of IIP2 and DC-offsets in transconductance mixers," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 1028–1038, November 2001.