

並列型 A/D コンバータにおけるエンコーダの高速化の検討

Study of High Speed Encoder Using in Flash A/D Converter

浅田 友輔
Yusuke Asada

宮原 正也
Masaya Miyahara

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 はじめに

1Gbps を超えるワイヤレス通信技術の実現のため、高速 A/D コンバータの開発が重要になっている。現在、高速動作に適したアーキテクチャとして並列型 A/D コンバータが主流になっており、Si CMOS プロセス微細化により、更なる高速化が期待されている。

本発表では、並列型 A/D コンバータの要素回路であるエンコーダの遅延時間に着目し、それを最適化する設計手法を検討した。プロセスの微細化による性能向上の比較と併せて、これを報告する。

2 エンコーダ回路の最適化

図 1 に示すように、並列型 A/D コンバータはコンパレータアレイとエンコーダから構成されている。高速化のためには両者の最適化が必要だが、今回はエンコーダ回路の遅延時間に着目して検討を行う。

エンコーダはサーモメータコードを論理処理する回路とコーディングドットを用いた ROM によって構成される。エンコーダの性能は ROM 部が支配的である。ROM の伝播遅延時間は、ドットに配置されるトランジスタの駆動能力とビット線に寄生する負荷容量によって決定される。MOS の駆動能力や寄生容量がチャンネル幅 W に比例することに注目すると、エンコーダの伝播遅延時間を W の関数として次のように見積もることができる [1]。

$$T_{pd} \approx aW + \frac{b}{W} + c \quad (1)$$

ここで、 a, b, c は、プロセスパラメータやエンコーダのトポロジから求まる定数である。

本発表では、エンコーダのトポロジとして、コンパレータのメタステーブル出力に耐性があり、コーディングドット数を大幅に削減できる、Multistage Duplex Gray Coding 方式 [2] を用いて、モデルの妥当性の検証を行った。ROM において、ドット数の最も多いビット線の遅延が問題となるため、これを評価の対象とした。モデル、および、シミュレーションによるエンコーダの伝播遅延時間の比較結果を図 2 に示す。この結果から分かるように、伝播遅延や最適なトランジスタサイズを約 30% の誤差で求めることができている。

3 プロセスの微細化による性能向上の評価

次に、Si CMOS プロセスの微細化によるエンコーダの性能評価を行った。図 3 は 0.13 μm プロセス、および 90nm プロセスにおけるエンコーダの遅延時間と ROM のトランジスタサイズの関係を表している。比較条件と

して、電源電圧や、ROM 以外の論理回路を構成するトランジスタのアスペクト比は共通とした。この結果から、微細化により伝播遅延時間の約 20% の削減が見込める。表 1 に伝播時間が最適となるトランジスタサイズと、動作周波数および消費電力を記した。同一の動作周波数では、約 30% の消費電力を低減している。

4 まとめ

本発表では並列型 A/D コンバータの要素回路であるエンコーダに着目し、伝播遅延時間を最小化するチャンネル幅の存在を示した。また、エンコーダのプロセス依存性について伝播遅延時間、消費電力の観点から論じ、プロセスの微細化が有利であることを示した。

参考文献

- [1] T. Sakurai, IEEE J Solid-State Circuits, vol. 27, no 7, pp 1014-1019, July 1992.
- [2] A.Matsuzawa, et al., Symp. On VLSI Cir., pp. 113-114, May. 1991.

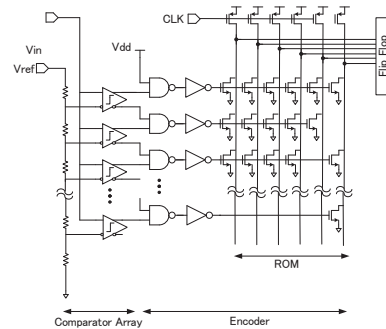


図 1 並列型 A/D コンバータのシステム構成

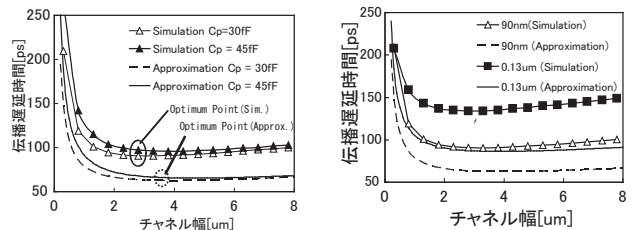


図 2 伝播遅延時間の最適化. 図 3 プロセス微細化の効果

表 1 消費電力の比較

プロセス	0.13 μm	90nm
動作周波数 [GHz]	2GHz	4GHz
チャンネル幅 [μm]	3.0	3.3 3.8
消費電力 [mW]	0.88	0.60 1.2