

# スイッチのON抵抗を考慮した パイプライン型ADCの最適設計法の検討

○宮原 正也、松澤 昭

東京工業大学大学院

理工学研究科電子物理工学専攻

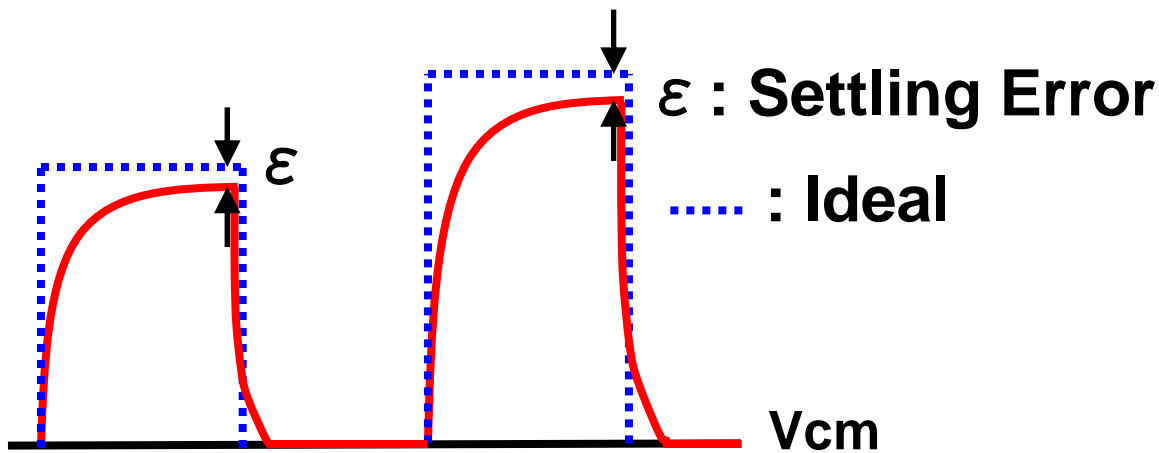
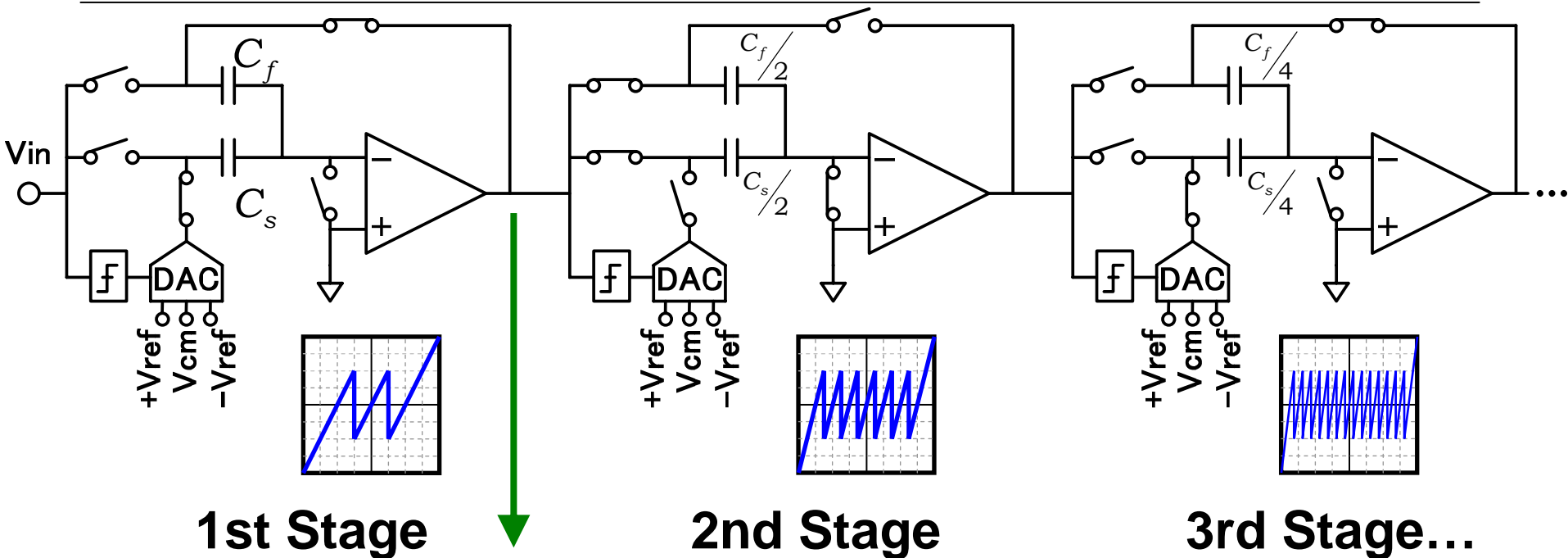
松澤研究室

# 発表内容

---

1. 背景・目的
2. SWのON抵抗がMDACの性能へ与える影響
  - 解析モデル・応答式の導出
  - スイッチON抵抗のセトリングへの影響
  - スイッチON抵抗の最適化
  - ポール・ゼロ解析
3. マルチビットMDACの性能解析
  - 小信号解析 (Slewingを含まない場合)
  - 大信号解析 (Slewingを含む場合)
4. まとめ

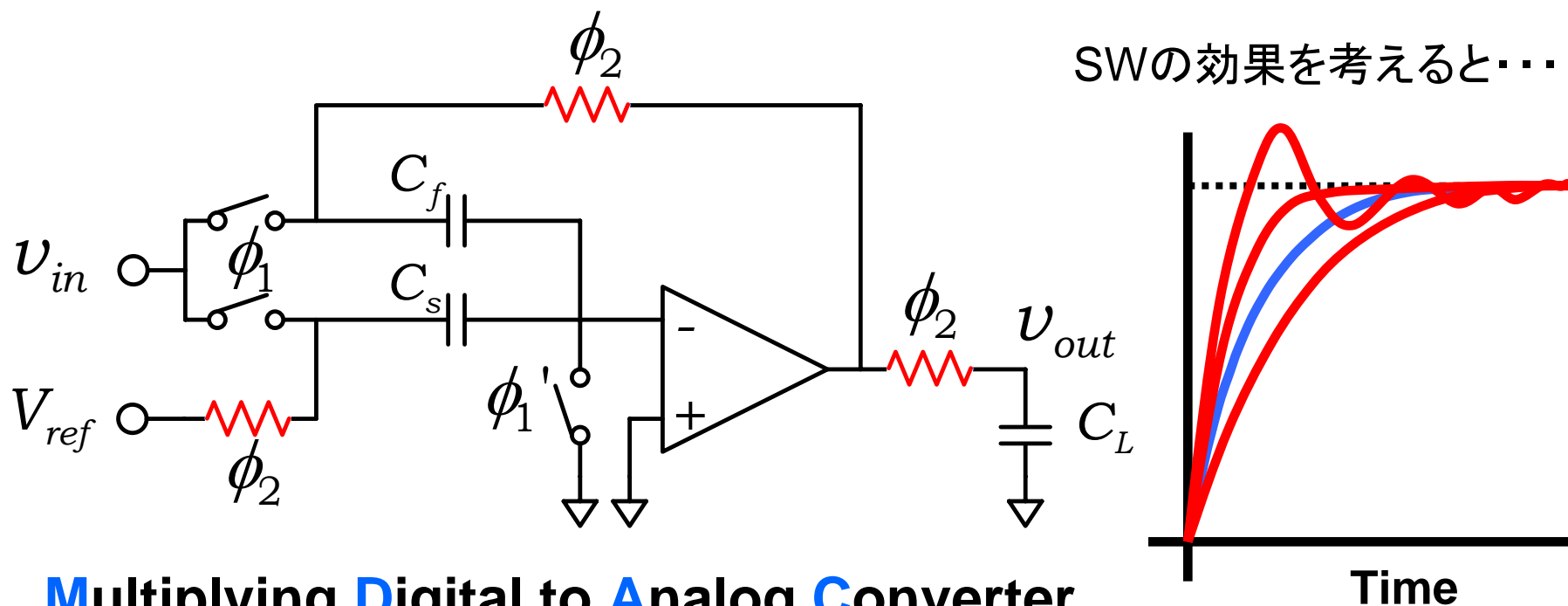
# 1. Pipelined ADC (1.5bit)



**High Accuracy**  
→ High DC Gain

**High Speed**  
→ Wide BW

## 2. 背景・目的



1. SWのON抵抗がMDACの性能に与える影響を明らかにする。
2. セtring時間を最短にするSWのON抵抗条件を導出する。
3. SWの最適化を生かすMDACの構成について考える。

# 発表内容

---

## 1. 背景・目的

## 2. SWのON抵抗がMDACの性能へ与える影響

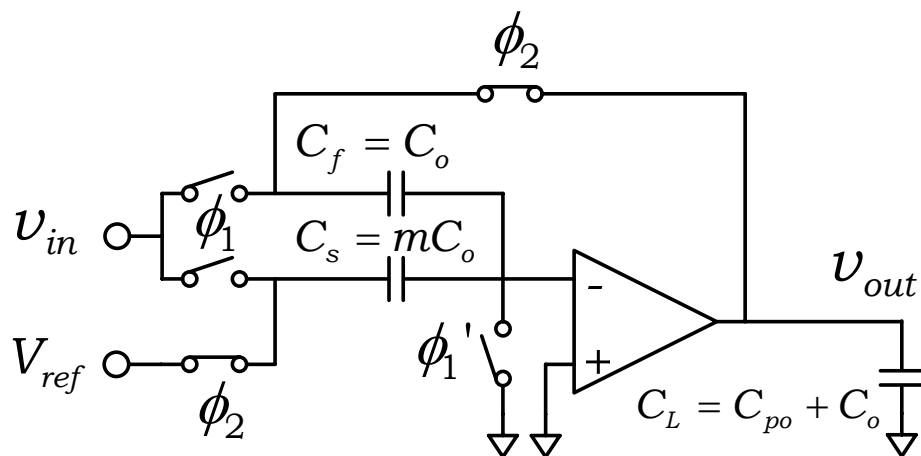
- 解析モデル・応答式の導出
- スイッチON抵抗のセtringへの影響
- スイッチON抵抗の最適化
- ポール・ゼロ解析

## 3. マルチビットMDACの性能解析

- 小信号解析 (Slewingを含まない場合)
- 大信号解析 (Slewingを含む場合)

## 4. まとめ

# 3. 解析モデル

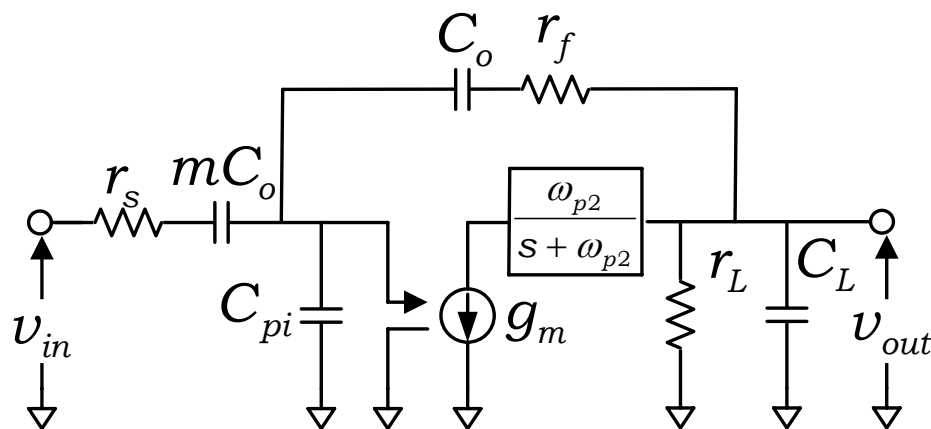


解析を行うMDAC

- 高速化・低消費電力化のため Switched OpAmp技術を使用[1] →次段のサンプリングSW削除
- マルチビットMDACを考慮  $M$  bit/stage MDACの場合

$$G_{MDAC} = 2^M = m + 1$$

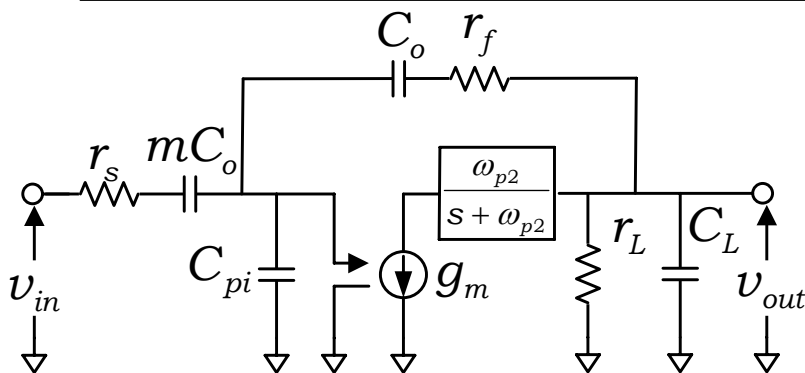
$$C_L = C_{po} + C_o$$



MDACの小信号等価回路

- $r_s$  : リファレンスSW ON抵抗
- $r_s$  : フィードバックSW ON抵抗
- $C_o$  : 単位容量
- $C_{pi}$  : OpAmp入力寄生容量
- $C_{po}$  : OpAmp出力寄生容量
- $g_m$  : OpAmp入力トランジスタトランスコンダクタンス
- $r_L$  : OpAmp出力抵抗
- $\omega_{p2}$  : OpAmp 第2ポール

# 4. MDACの応答式



MDACの等価回路

応答式を簡単化するため以下を仮定

- ・出力抵抗は十分に大きく、 $g_m r_L \gg 1$ 。
- ・ $C_{pi}$ は $C_o$ と比較して十分小さい。
- ・ $\omega_{p2}$ はオペアンプのGBWより十分大きい。

伝達関数

$$v_{out} = -\frac{s + z_1}{(s + p_1)(s + p_2)} v_{in}$$

ポール・ゼロ

$$z_1 = \frac{g_m}{C_o(-1 + g_m r_f)}$$

$$p_1 = \frac{(m+1)C_L + mC_o(1 + g_m r_s)}{2mC_o C_L(r_s + r_f)} - \beta$$

$$p_2 = \frac{(m+1)C_L + mC_o(1 + g_m r_s)}{2mC_o C_L(r_s + r_f)} + \beta$$

MDACのステップ応答式

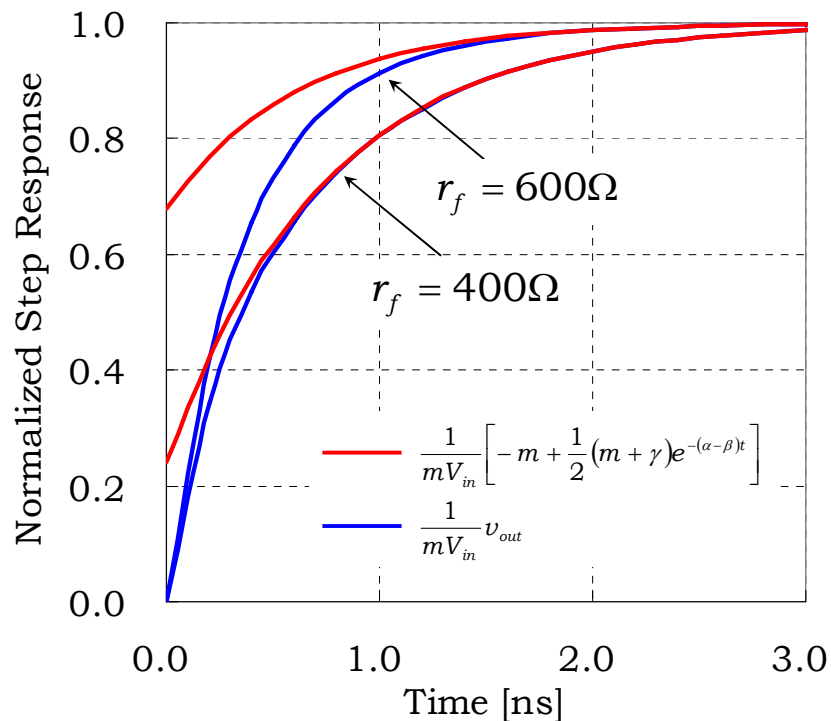
$$v_{out} = -m + (m \cosh \beta t + \gamma \sinh \beta t) e^{-\alpha t}$$

# 5. MDACのステップ応答

$$v_{out} = V_{in} \left[ -m + \frac{1}{2} (m + \gamma) e^{-(\alpha - \beta)t} + \frac{1}{2} (m - \gamma) e^{-(\alpha + \beta)t} \right]$$

遅い成分

速い成分



Step Response of the MDAC.

Model Parameter

$m$	$r_s$	$g_m$	$C_o$	$C_{pi}$	$C_{po}$
3	100 Ω	11.4mS	1pF	114fF	270fF

リングングが起きない場合

$$\alpha > 0, \beta > 0, \alpha > \beta$$

$$\alpha - \beta < \alpha + \beta$$

ステップ応答は第2項で  
ほとんど決まる。

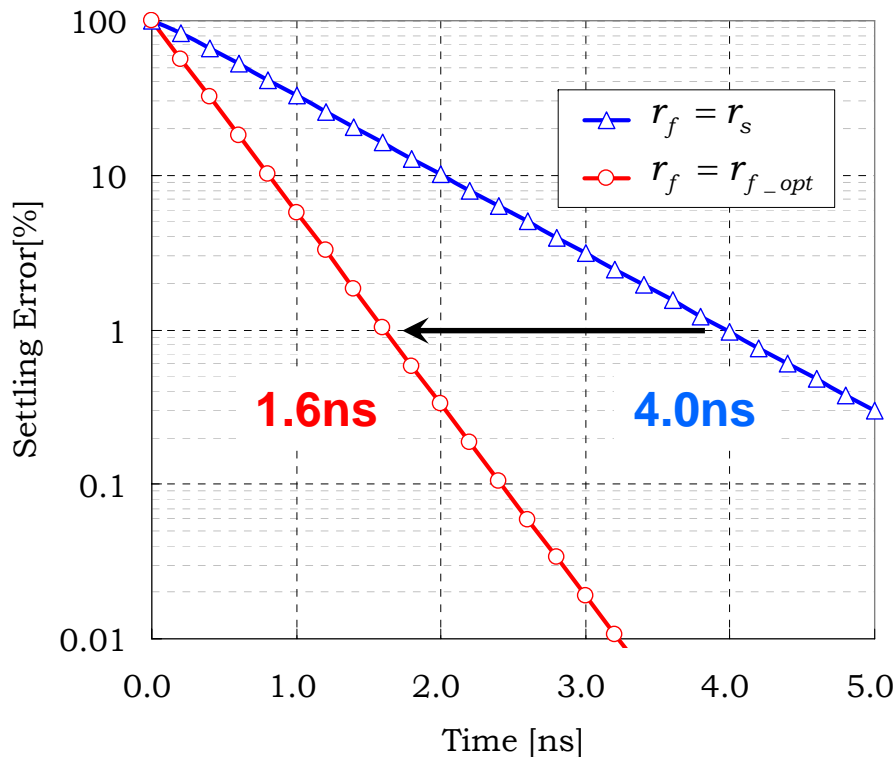


# 6. スイッチON抵抗の最適化

$$v_{out} = V_{in} \left[ -m + \frac{1}{2} (m + \gamma) e^{-(\alpha - \beta)t} + \frac{1}{2} (m - \gamma) e^{-(\alpha + \beta)t} \right]$$

遅い成分

速い成分



MDACのセトリング誤差特性

セトリングを速めるには  
第2項を小さくすれば良い。

$$(m + \gamma) = 0$$

となるON抵抗の条件

$$r_{f\_opt} = mr_s + \frac{(m + 1)}{g_m}$$

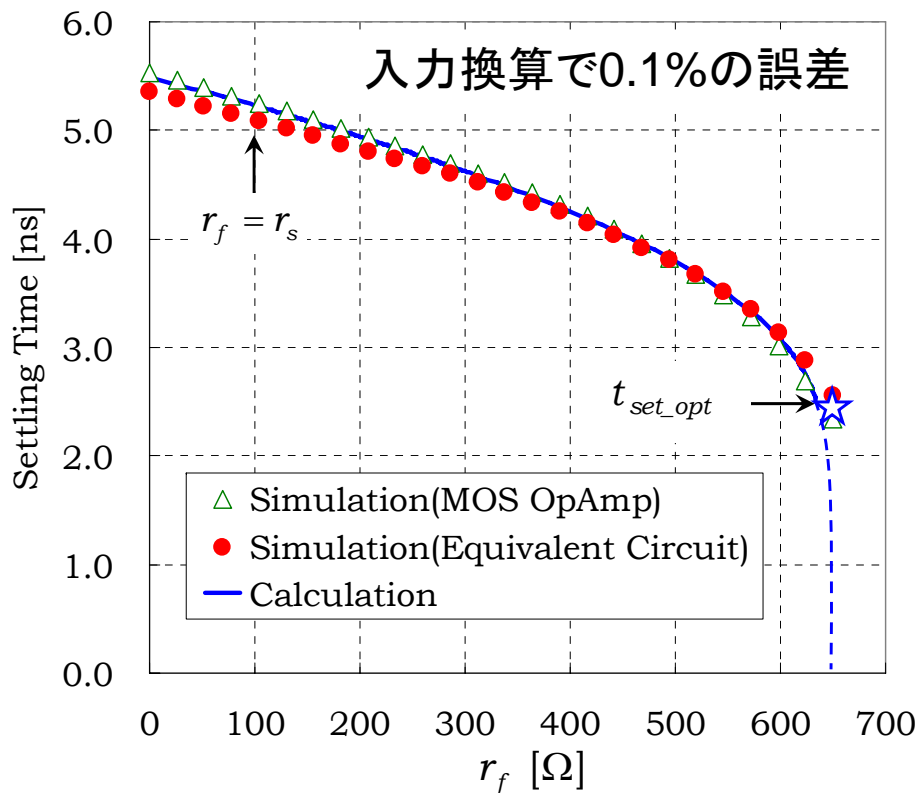
$$v_{out\_opt} = -mV_{in} \left( 1 - e^{-\frac{g_m}{(m+1)C_L}t} \right)$$

# 7. MDACのセトリング時間

$$v_{out} = V_{in} \left[ -m + \frac{1}{2} (m + \gamma) e^{-(\alpha - \beta)t} + \frac{1}{2} (m - \gamma) e^{-(\alpha + \beta)t} \right]$$

遅い成分

速い成分



フィードバック抵抗  $r_f$  vs. セトリング時間

$V_{err}$  : 出力許容誤差

a)  $r_f < r_{f\_opt}$        $e_o : \frac{V_{err}}{V_{in}}$

$$t_{set} \approx \frac{1}{\alpha - \beta} \ln \left[ \frac{1}{2e_o} \frac{(m + \gamma)}{m} \right]$$

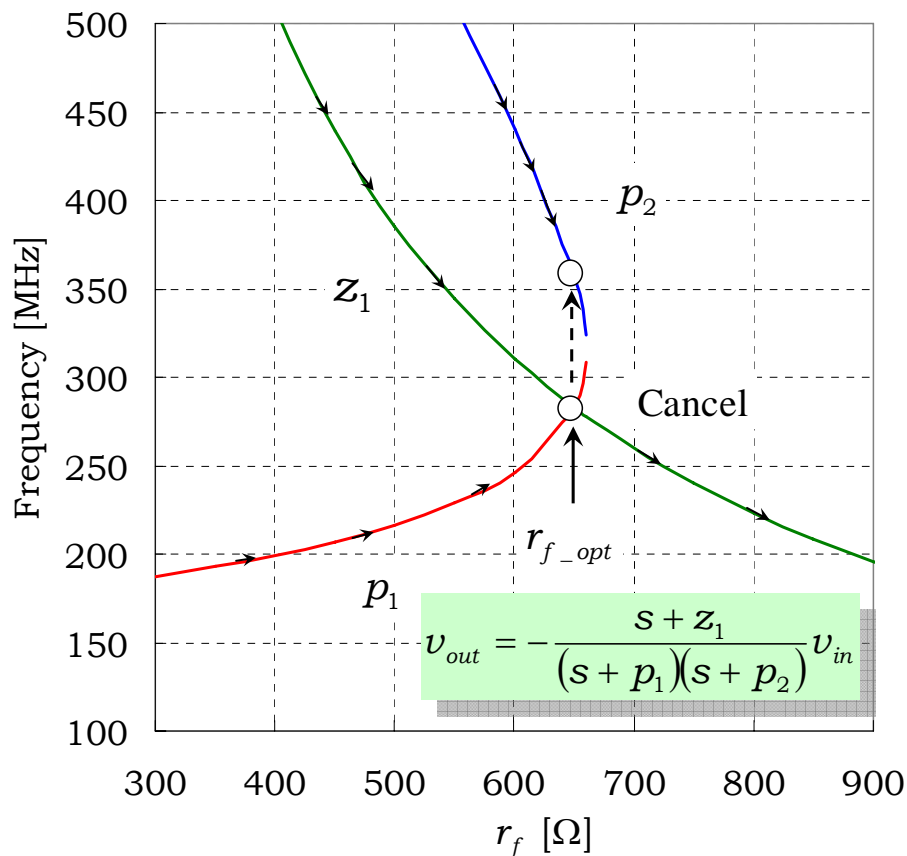
b)  $r_f = r_{f\_opt}$

$$t_{set\_opt} = \frac{(m + 1)C_L}{g_m} \ln \left( \frac{1}{e_o} \right)$$

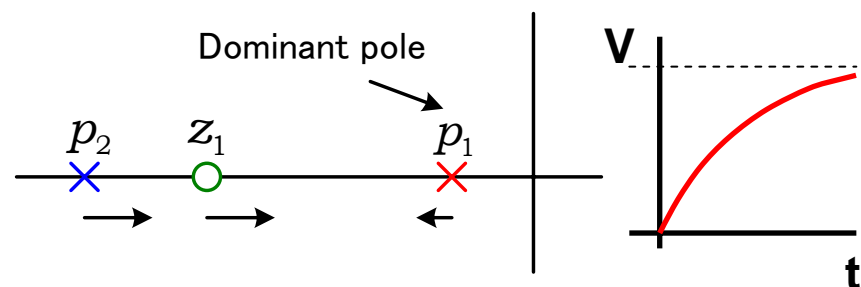
Sim, Calは5%以内で一致

# 8. ポール・ゼロ解析

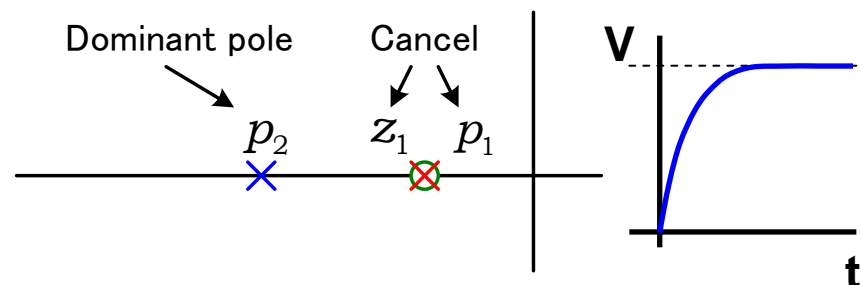
第1ポールとゼロがキャンセルし、  
主要極が第2ポールにシフトする。



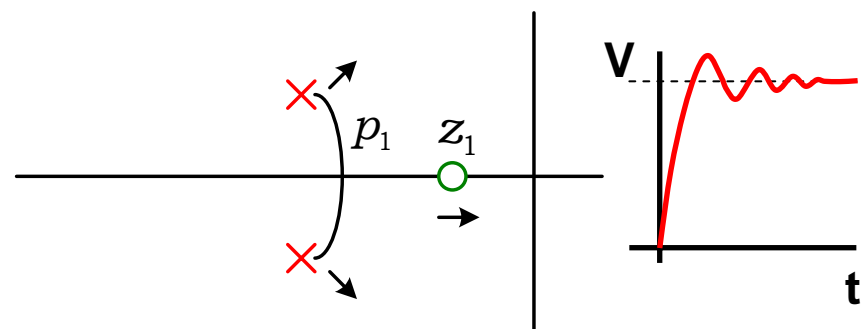
Pole-zero vs. フィードバック抵抗  $r_f$



(a)  $r_f < r_{f\_opt}$



(b)  $r_f = r_{f\_opt}$



(c)  $r_f > r_{f\_opt}$

# 発表内容

---

## 1. 背景・目的

## 2. SWのON抵抗がMDACの性能へ与える影響

- 解析モデル・応答式の導出
- スイッチON抵抗のセトリングへの影響
- スイッチON抵抗の最適化
- ポール・ゼロ解析

## 3. マルチビットMDACの性能解析

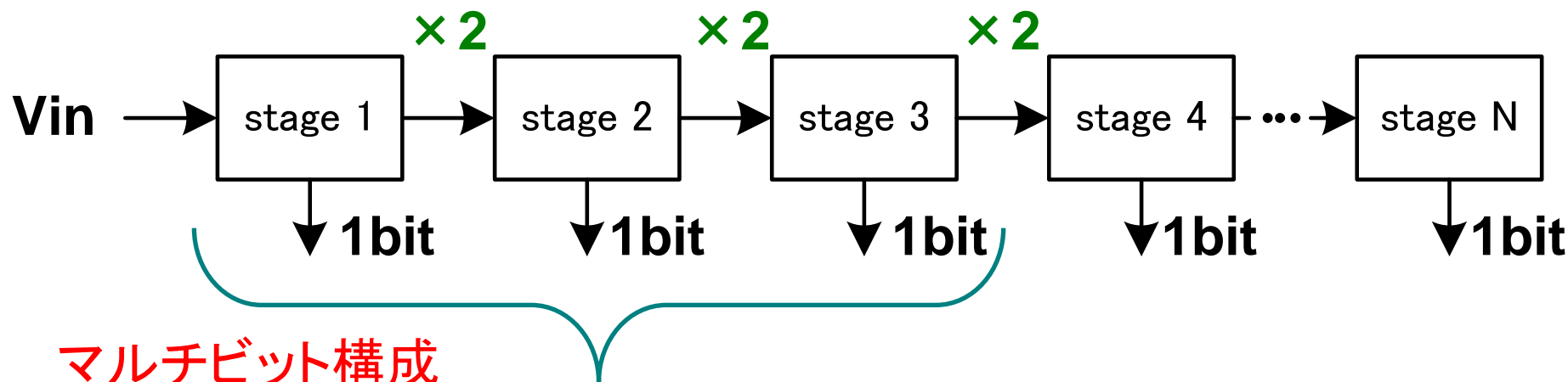
- 小信号解析 (Slewingを含まない場合)
- 大信号解析 (Slewingを含む場合)

## 4. まとめ

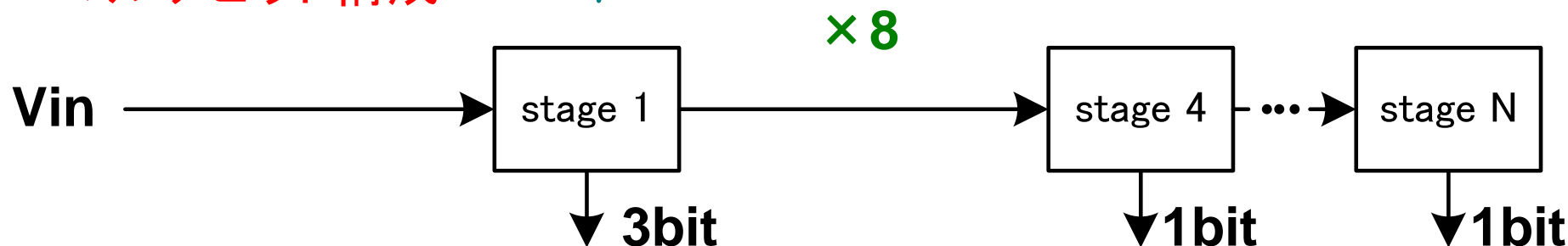
# 9. Pipelined ADC MDACのマルチビット化

- ステージ数削減により低消費電力化、省面積。
- 1ステージあたりのゲインが上がるため、速度が懸念事項。

## シングルビット構成

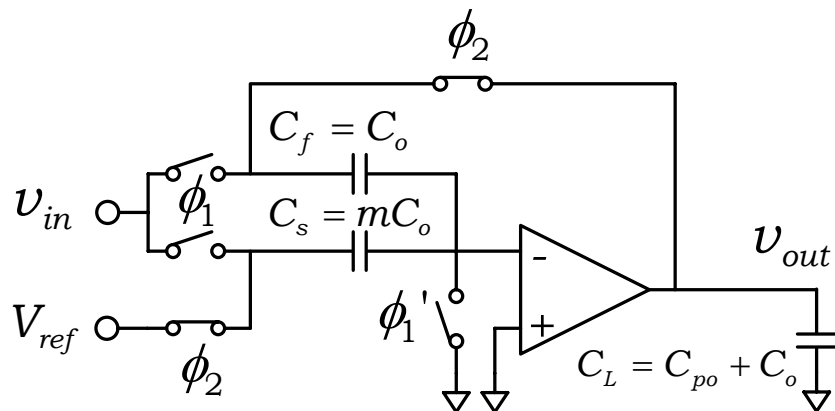


## マルチビット構成



# 10. Multi-bit MDAC

- MDACをマルチビット化したときにSWのON抵抗が与える影響は？
- MDACは何ビット構成が有利なのか？



Model Parameter

$m$	$r_s$	$g_m$	$C_{pi}$	$C_{po}$
$2^M - 1$	$100 \Omega$	$11.4 \text{mS}$	$114 \text{fF}$	$270 \text{fF}$

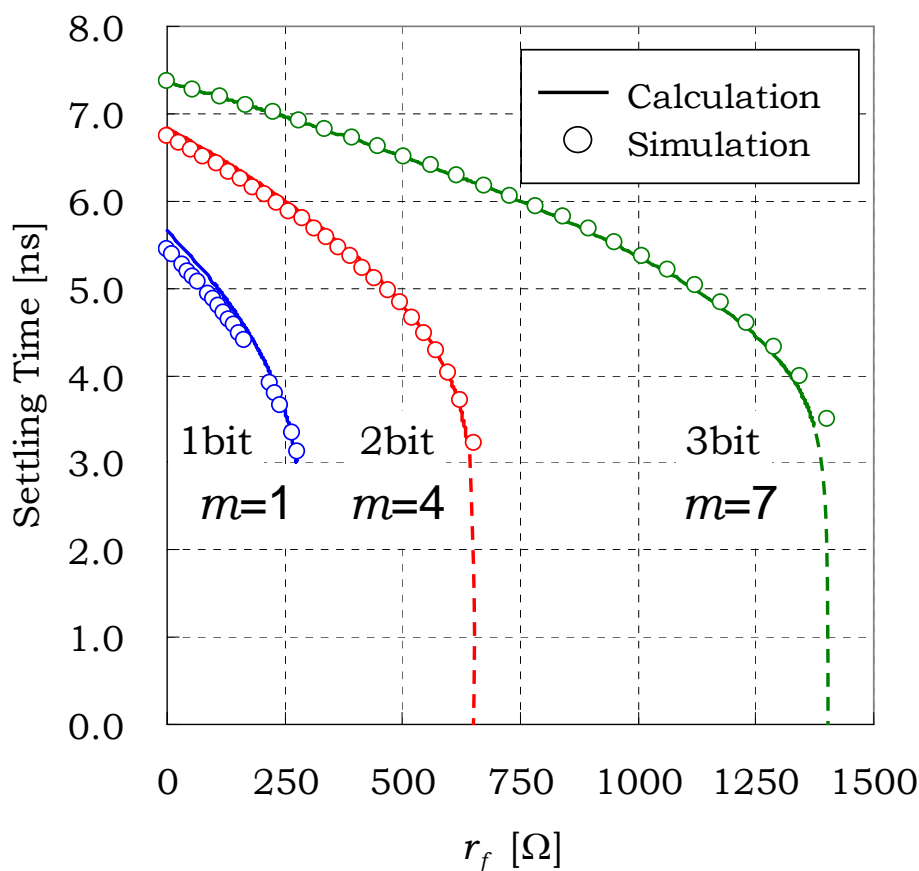
1. サンプリング容量  $(m + 1)C_o$  を一定とする。
2. 次段の容量は

$$\text{次段のサンプリング容量} = \frac{\text{前段のサンプリング容量}}{\text{前段の利得}} = C_o$$

3. 出力許容誤差は入力換算で等しくなるように  $(m + 1)$  倍ずつ大きくなる。

# 11. 小信号解析

- スルーイングが生じない場合を仮定。
- セtring時間は入力換算で12bit、1LSB以内に収まる時間。



$$r_{f\_opt} = mr_s + \frac{(m+1)}{g_m}$$

3bit構成時

$$r_f = r_s \quad \rightarrow \quad r_f = r_{f\_opt} \quad \text{50\%低減}$$

7.2 ns  $\rightarrow$  3.5 ns

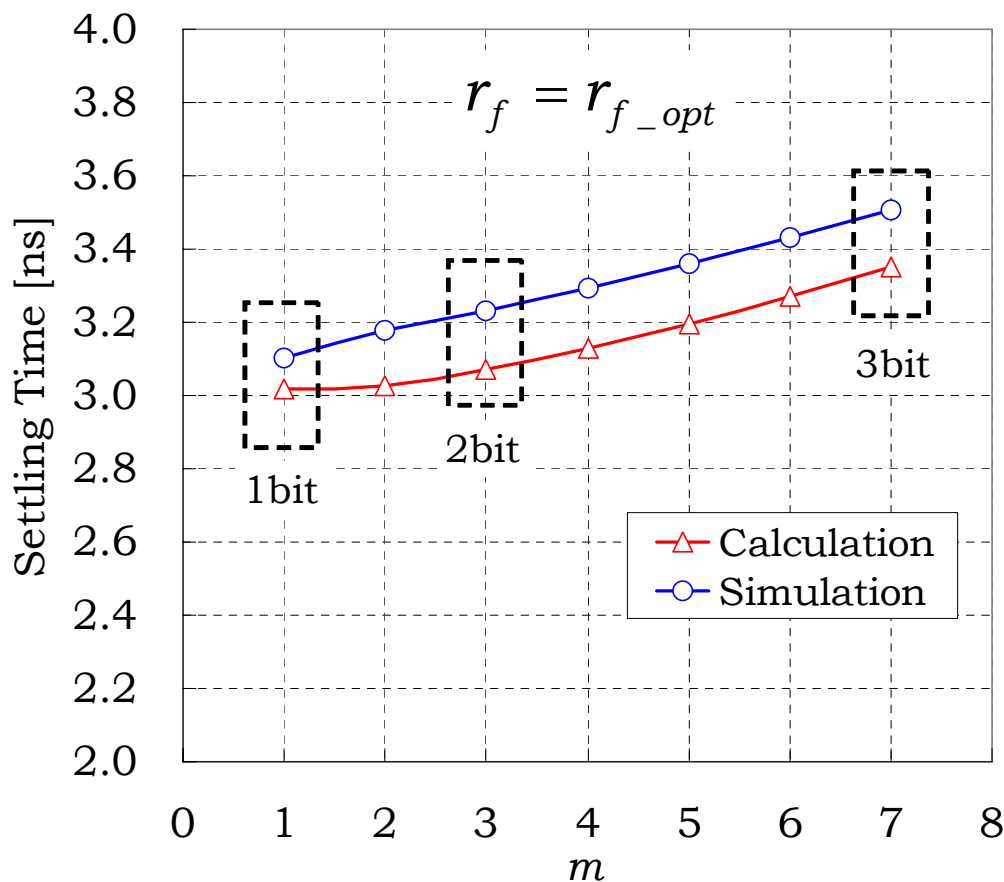
$m$ が大きいほうが $r_f$ に対する感度が小さい。

多ビット構成のほうがSW最適効果を出しやすい。

セtring時間 vs. フィードバック抵抗  $r_f$

# 12. SW最適条件時のセトリング時間

$m=1$ の時と比較して $m=7$ では10%程度セトリング時間が増加。  
オペアンプの出力寄生容量次第で増減値は変化する。



$m$ が増えると...

$$t_{set\_opt} = \frac{(m+1)C_L}{g_m} \ln\left(\frac{1}{e_o}\right)$$

$$C_L = C_{po} + C_o$$

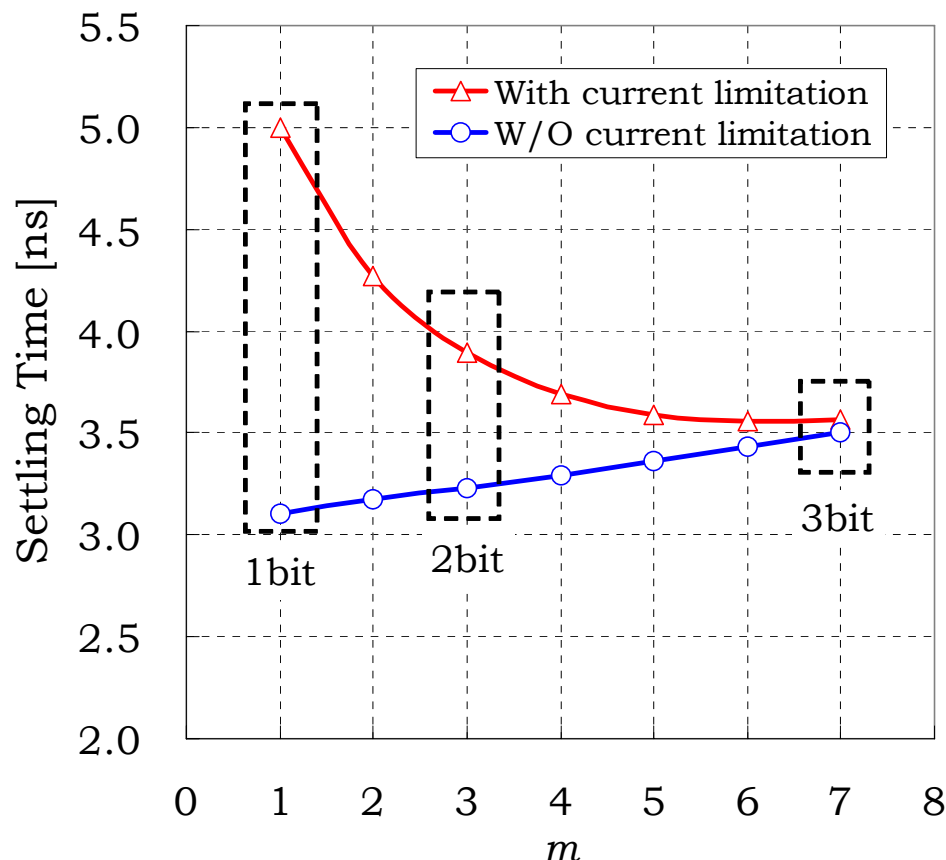
$C_{po}$ が支配的になると $m$ が増えても  
 $C_L$ は下がらなくなる。

最適セトリング時間 vs.  $m$  ( $m=C_s/C_f$ )



# 13. 大信号解析

- スルーイングが生じる場合を想定。
- 電流制限=1mA, 出力信号振幅=1V(single)、 $r_f = r_{f\_opt}$ を仮定。



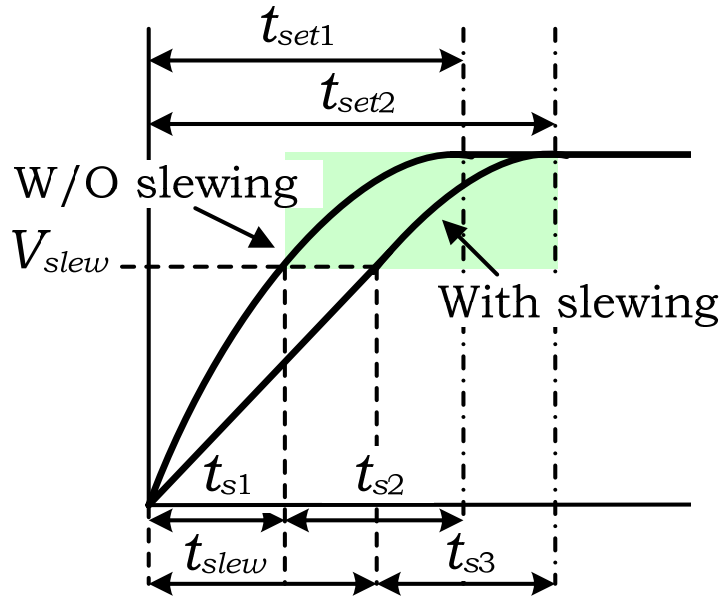
多ビットになるほどスルーイングの影響が小さくなる。

多ビット構成では

- 1) 出力負荷容量が小さい。
  - 2) フィードバックファクターが小さい。
- ため、スルーイングの観点からは有利。

スルーイングを含むセトリング時間 vs.  $m$  ( $m=C_s/C_f$ )  
Simulation 結果

# 14. スルーイングを含むセtring時間の導出



スルーイングが終わってからの応答は、スルーイングがない時の応答と同じ応答をすると仮定してセtring時間の近似値を導く。

$$t_{set1} = \frac{(m+1)C_L}{g_m} \ln\left(\frac{1}{e_o}\right)$$

スルーイングがない場合の傾きとスルーレートが等しくなる時間  $t_{s1}$  は

$$t_{s1} = \frac{(m+1)C_L V_{eff}}{g_m} \ln\left[\frac{(m+1)C_L V_{eff}}{2mC_{eff} V_{in}}\right]$$

$$t_{s2} = t_{set1} - t_{s1} \approx t_{s3}$$

スルーイングが終了するときの出力電圧は、

$$V_{slew} = -mV_{in} \left(1 - e^{-\frac{g_m}{(m+1)C_L} t_{s1}}\right)$$

スルーイングが終了するときの時間は

$$t_{slew} = \frac{C_{eff}}{I_{bias}} V_{slew}$$

スルーイングを含んだ場合のセtring時間は

$$t_{set2} \approx t_{slew} + t_{s3}$$

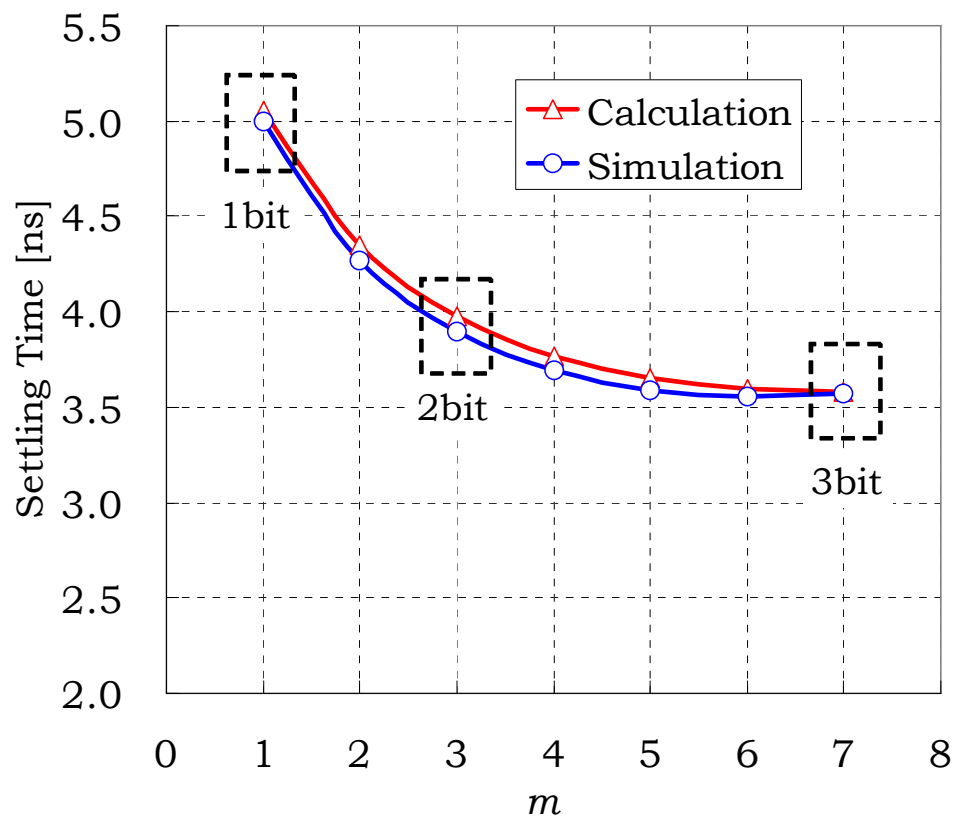
$$g_m \approx \frac{2I_{bias}}{V_{eff}} \quad \text{: トランスコンダクタンス}$$

$$SR = \frac{I_{bias}}{C_{eff}} \quad \text{: スルーレート}$$

$$C_{eff} \approx C_L + \frac{C_s C_f}{C_s + C_f} \quad \text{: 実効負荷容量}$$

# 15. スルーイングを含むセtring式の評価

5%以内でシミュレーション結果と一致。



スルーイングを含むセtring時間 vs.  $m$  ( $m=C_s/C_f$ )  
Simulationと計算結果

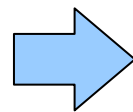
# 16. まとめ

1. SWのON抵抗がMDACの性能に与える影響を明らかにした。  
SWのON抵抗の変化に対するポール・ゼロの動きからセtringの形状、セtring時間の変化、セtring時間最適化のメカニズムを示した。
2. セtring時間を最短にするSWのON抵抗条件を導出した。

$$r_{f\_opt} = mr_s + \frac{(m+1)}{g_m}$$

$$r_f = r_s$$

7.2 ns



$$r_f = r_{f\_opt}$$

3.5 ns

**50%低減**  
**(3bit構成)**

3. SWの最適化を生かすMDACの構成について考察した。  
SWの最適化の効果の出しやすさ、スルーイングを含めた時のセtring時間を考えるとマルチビット化した方が速度、消費電力の面で有利な場合がある。

## 今後の課題

SWのON抵抗入力依存性を考慮した上で  
実設計に取り込む方法について考える。

# 謝辞

---

---

本研究は(株)半導体理工学研究センター  
(STARC)の支援を受けて実施されたものである。

ここに感謝の意を表する。