

## スイッチの ON 抵抗を考慮したパイプライン型 ADC の最適設計法の検討

A Study on Effects of Switch Resistances on Pipelined ADCs and the Optimization of the Settling Time

東京工業大学大学院 理工学研究科

宮原 正也, 倉科 隆, 松澤 昭

Physical Electronics Department, Tokyo Institute of Technology

Masaya Miyahara, Takashi Kurashina, Akira Matsuzawa

masaya@ssc.pe.titech.ac.jp

**はじめに：**パイプライン型 ADC の設計を行う場合、最も多くの消費電力を占める Multiplying Digital to Analog Converter (MDAC)の性能解析が重要になる。MDAC はオペアンプ、スイッチ (SW) 及び容量で構成され、これまでの多くの設計法は SW の ON 抵抗の影響は無視できる程度に小さくし、MDAC のクローズドループの応答式から必要な消費電力を決定するのが主流であった。しかし、微細なプロセスを用いる場合 SW に十分なドライブ電圧を与えられず、ON 抵抗の影響が無視できなくなる。このため、ON 抵抗が MDAC の応答に与える影響を詳細に解析する必要がある。

**実験：**本研究では、SW の ON 抵抗を含んだ MDAC の等価回路より応答式を求め、SW が MDAC の応答に与える影響について明らかにした。また、その応答式よりセトリング時間を最小にする ON 抵抗の最適条件を導いた。そしてその条件式が示す MDAC の最適な構成について、変換アーキテクチャ及びマルチビット構成の観点から考察を行った。

**結果：**MDACの構成を 1~3bitで構成したときの、フィードバックSWの抵抗 $r_f$ とセトリング時間の関係をFig.1 に示す。MDACはトータルサンプリング容量 = 4pF、オペアンプの $g_m$ は 11.4mS、レファレンスSWの抵抗 $r_s$ は 100  $\Omega$ 、12bit精度でのセトリング時間を仮定している。それぞれ理論式とシミュレーション結果は5%以内でよい一致を見せている。3bit構成の場合、単純に $r_f=r_s$ と設計した時には 7.2 ns程度かかっていたものが、 $r_f$ を最適点に選ぶことで 3.5 nsとなっており、最大でセトリング時間を 50%程度削減することが出来ることが確認された。

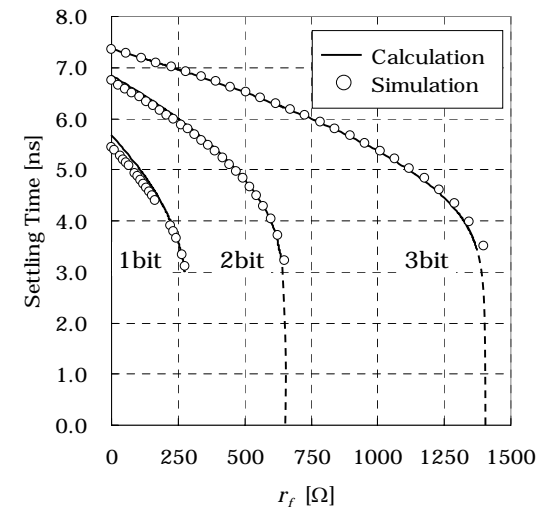


Fig.1 Settling time for 1-3bit MDAC vs.  $r_f$ .