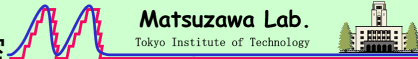


# パイプライン型ADCの高性能化とスケラブル設計技術の開発

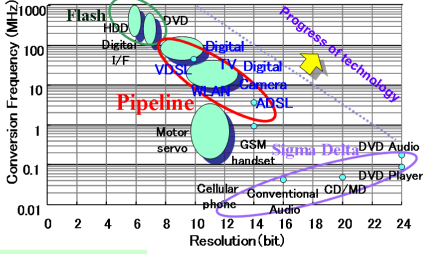
宮原 正也、倉科 隆、松澤 昭  
東京工業大学大学院 理工学研究科 松澤研究室



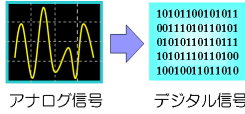
## 背景

- 第4世代通信システムは100Mbps以上が目標  
→ 高速・低電力動作可能なADCが必要
- システムLSI化の実現  
→ 微細デバイスを用いてADCを実現する必要性
- 8-14bit、数十～数百MHzではパイプライン型

## ADCの性能と用途



ADC: Analog to Digital Converter  
アナログ信号をデジタル信号に変換する機器



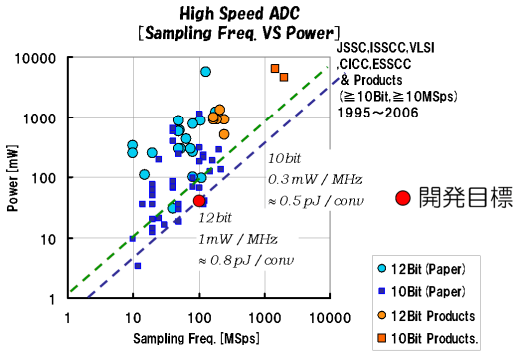
様々な製品に使用  
デジタルカメラ デジタルテレビ

ワイヤレスLAN

## 研究目的

- ・ 変換周波数は200MHz程度で足踏み
- ・ 消費電力は0.3mW/MHz (10bit), 1.0mW/MHz (12bit)

12bit, 100MHz, 0.3mW/MHz 0.18um (現行の1/3のFoMを目指す)

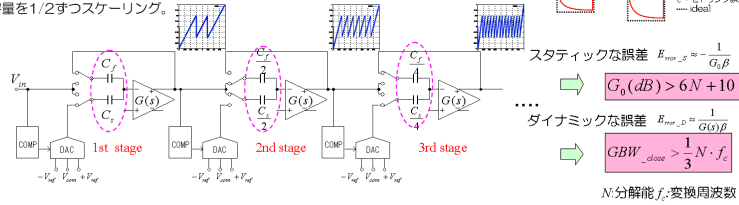


1 2  
3 4

## 性能予測モデルの構築

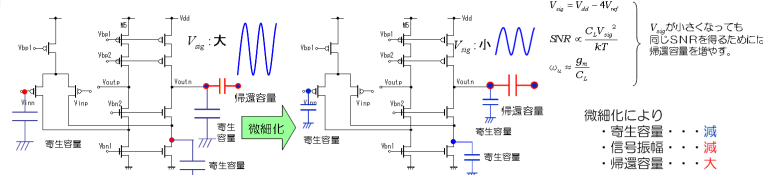
パイプライン型ADCの構成と動作(1.5bit冗長構成)

低消費電力化のため2段目以降の電流を1/2ずつ減じる。容量を1/2ずつスケリング。



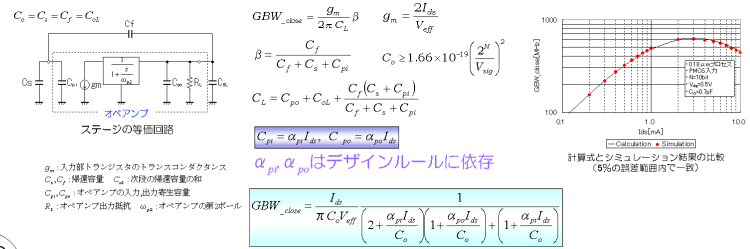
微細化とパイプライン型ADC性能の関係の明確化

微細化により寄生容量は減るが帰還容量は大きくなる。微細化とADC性能の関係を明確にする

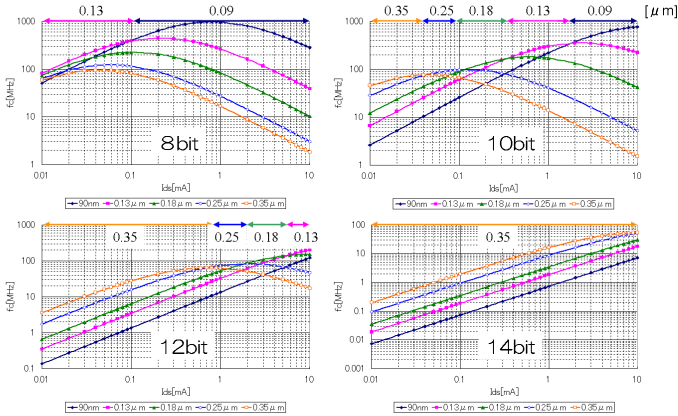


パイプライン型ADC性能のデザインルール依存性

ステージ回路のモデル化によりパイプライン型ADCの特性を導出

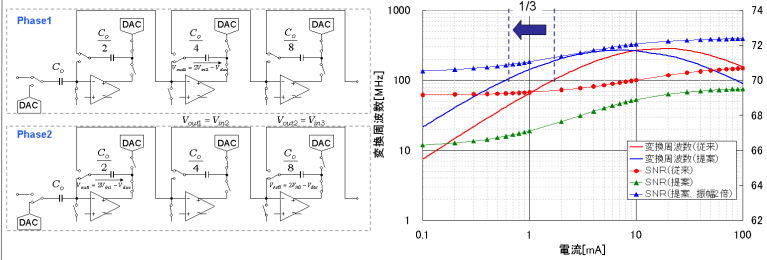


低分解能では微細化、高分解能では緩いプロセスが有利。

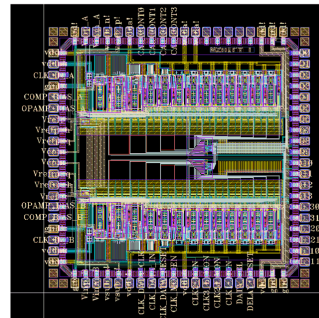


変換方法と性能見積もり

C<sub>f</sub>の電荷を再利用することで次段のサンプリング容量をなくすることができる。さらに信号振幅を最適化し、容量を従来の1/2とした。消費電力は従来の1/3。SNRも十分である。



12bit, 50~100MHz動作見込みのチップ試作



- ・ 300×1800um<sup>2</sup>(アナログコア)
- ・ キャリブレーション機能の付加
- ・ 低電圧動作オペアンプ回路
- ・ SWのON抵抗を考慮した最適設計

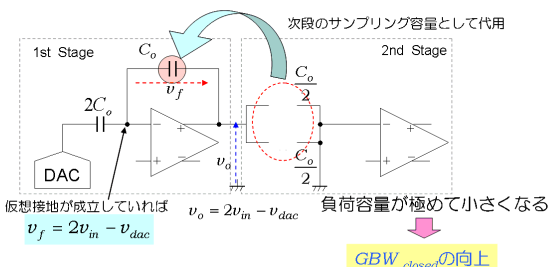
## 電荷再利用ADCの検討

基本概念

$$GBW_{closed} = \frac{g_m \beta}{2\pi C_L}$$

より、負荷容量を減らすか、βを上げることができれば消費電流あたりの応答速度を上げることができる

次段のサンプリング容量で出力信号を標本化しなくとも前段の帰還容量には出力信号に対応した電荷が保存されているので、この電荷を次段に転送すれば良い。  
→ 負荷容量を大幅に低減できる



## まとめ

1. パイプライン型ADCのデザインルール依存性予測モデルを構築し、スケラブル設計の方針を示した。
2. 電荷再利用型ADCの開発を行い、シミュレーション値で1/3のFoMを達成する見通しを立てた。