

マルチビット型パイプライン型 ADC の検討

遠藤 洋輝 宮原 正也 松澤 昭

東京工業大学大学院 理工学研究科 電子物理工学専攻

〒152-8550 東京都目黒区大岡山 2-12-1,S3-27

E-mail: hiroki@ssc.pe.titech.ac.jp

あらまし マルチビット型パイプライン型 ADC について必要なオペアンプ利得、容量値、直線性誤差、変換周波数と消費電流の関係について検討した。容量ミスマッチ解析から算出した容量値は変換ビット数を上げるほど小さな値でも十分小さい DNL にできるとともに INL は劣化しないことが分かった。ノイズ解析から算出した容量値はビット構成に依存しない一定値となった。更にノイズ解析から算出した容量値を用いて変換周波数と消費電流の関係を見積もったところ、寄生容量が支配的でない領域ではマルチビット構成が若干高速、低消費電流であることが分かった。したがってこのような低電力領域ではマルチビット構成が DNL を確保し易いため、シングルビットに較べ有利である。

キーワード A/D 変換器、パイプライン動作、マルチビット構成、低消費電力、高速動作

A study on the multi-bit-pipelined A/D converter

Hiroki ENDOU, Masaya MIYAHARA, and Akira MATSUZAWA

Department of Physical Electronics, Tokyo Institute of Technology

S3-27, 2-12-1, O-okayama, Meguroku, Tokyo, 152-8550, Japan.

E-mail: hiroki@ssc.pe.titech.ac.jp

Abstract

We have studied on the multi-bit pipeline A/D converter from the view pints of needed OP amp gain, needed capacitance, linearity, and the relation between operating current and conversion frequency. Better DNL will be expected, even if using small capacitance compared with a conventional 1.5 bit pipeline ADC. INL and needed capacitance value calculated by thermal noise analysis will be independent of the resolution for the unit conversion stage. Simulated maximum conversion frequency of the multi-bit pipelined ADC is slightly higher than that of the 1.5 bit pipelined ADC in low power region where the parasitic capacitances are sufficiently smaller than the signal capacitances.

Keyword Analog to digital converter, pipeline operation, multi-bit conversion, low power technology, high speed technology.

1. はじめに

近年、デジタルシステムだけでなく、アナログシステムを含めた全システムをひとつのチップに搭載したアナ・デジ混載システムオンチップ (SoC) の開発が盛んとなり実信号をデジタル信号に変換する AD 変換器 (ADC) の高速化・高精度化・低消費電力化が望まれる。

パイプライン型 ADC は 8~14 ビットの分解能と 10MHz を超える変換速度では主流となっており、デジタルカメラやワイアレス LAN など、その用途は多岐にわたる。パイプライン型 ADC は単位変換回路 (Unit conversion stage) が縦続に接続されて構成されており、

単位変換回路は通常 1 ビット分の変換を行う。マルチビット構成は単位変換回路で数ビット分の変換を行う方式であり、単位変換回路数の減少、後段の単位変換回路の誤差の緩和などの効果が期待されるが、高い増幅度が必要なことから帰還係数の低下による速度劣化が懸念される。しかしながらマルチビットの変換に関して十分な検討がなされてこなかった。

そこで本研究では初段の単位変換回路のみをマルチビット構成と仮定し、オペアンプ利得、容量ミスマッチ誤差と DNL, INL, ノイズ、変換周波数と初段オペアンプの消費電流の関係などについて検討を行った。

2. パイプライン型 ADC の構成

パイプライン型 ADC の単位変換回路はオペアンプ、コンパレータ、容量、スイッチにより構成される[1]。

2.1 シングルビット構成

シングルビット構成では容量 C_s 、 C_f が同一値に設定されている。最初のクロックフェーズ(サンプリングフェーズ)でスイッチ SW_{1s} 、 SW_{1f} は内側に倒されており、 SW_2 は接地されている。この状態で比較器が入力信号 V_{in} としきい値電圧を比較する。次のクロックフェーズで SW_2 を開放し、 SW_{1s} 、 SW_{1f} を外側に倒し、DAC端子には比較出力に応じて $\pm V_{ref}$ もしくは接地電位が印加される。この動作により入力信号 V_{in} はDAC/2の電圧だけ引かれると同時に2倍の利得を持って増幅され、次段の単位変換回路に入力される(差分増幅フェーズ)。このとき次段の単位変換回路はサンプリングフェーズになっており、以下このような動作がパイプライン的に繰り返されて上位ビットから順次変換値が得られる。

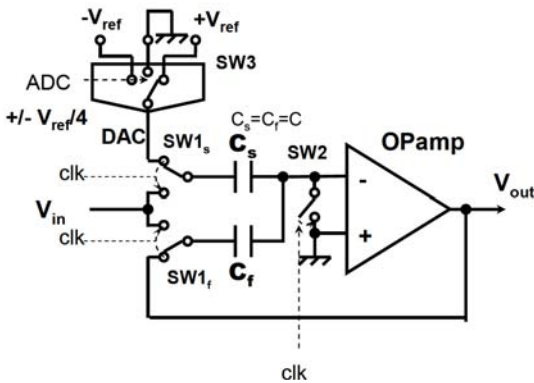


図1 シングルビット (1.5bit)の単位変換回路

2.2 マルチビット構成

マルチビット構成ではフィードバック容量 C_f と同一値に設定されたサンプリング容量 C_s を複数個用意

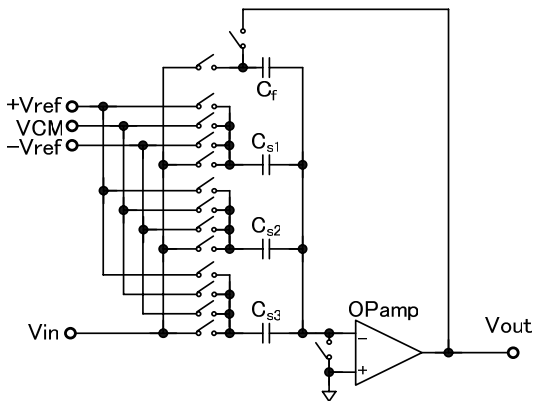


図2 マルチビット(2bit)の単位変換回路

して、数ビット分の変換特性を実現する。単位変換回路のゲインは M ビット構成時で 2^M あるため、フィードバックファクタが劣化し変換周波数の低下が懸念されるが、一方後段の誤差が緩和され、大幅な容量スケールリングが可能となるため負荷容量を小さくできるというメリットを有する[2]。

3. オペアンプの必要利得

オペアンプのゲインエラーは単位変換回路の出力にスタティックな誤差を与える。その誤差許容値を $1/4\text{LSB}$ としたときの、ADC全体の分解能を N ビット、初段の変換ビットを M ビット、フィードバックファクタを β 、オペアンプのゲインを G として、以下の式が成立する。

$$\frac{1}{\beta G} V_{ref} = \frac{1}{2^{N-M+1}} V_{ref} \quad (1)$$

これより、必要利得 G は以下で表される。

$$G(\text{dB}) = 6(N - M + 1) - 20 \log \beta \quad (2)$$

初段の変換ビット M に対する必要利得を表1に示す。

表1 オペアンプの必要利得

	1bit	2bit	3bit	4bit	5bit
必要利得 (dB)	$6N+10$	$6N+9$	$6N+8$	$6N+7$	$6N+6$

これよりマルチビット構成では β が小さくなるが、その分後段の精度が緩和される。この効果がキャンセルされて結果的に必要な利得はシングルビット構成と同等である。

4. 容量値の算出

容量 C_s 、 C_f は変換精度や速度、消費電力、占有面積などに大きな影響を与える。一般に容量 C_s 、 C_f が大きいほどノイズが抑圧され精度が高くなるが、速度が低下し、消費電力、占有面積が大きくなる。よって容量値の決定は重要な課題である[3]。

4.1 容量ミスマッチ解析

容量ミスマッチが変換精度に与える影響についてDNL、INLの観点から解析を行った。容量ミスマッチが発生すると図3のように変換特性が変化し、ADCの線形性に影響を与える。図3では1.5bitの例を示したが、考え方は容易にマルチビットに拡張できる。

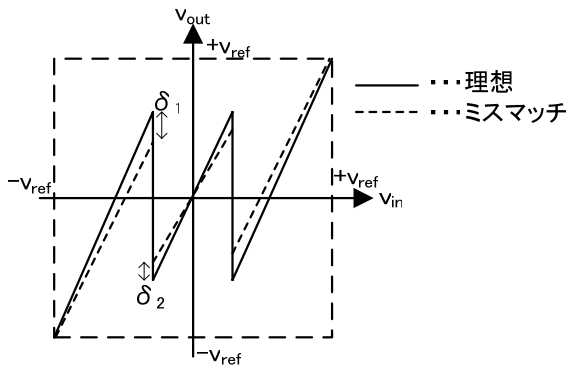


図3 容量ミスマッチの影響 (1.5bit の場合)

a) DNL 解析

マルチビット構成での差分増幅時の出力電圧は、以下の式で表される。

$$v_{out} = \left(\frac{\sum_{i=1}^{2^M-1} C_{S_i}}{C_f} + 1 \right) v_{in} - \frac{\sum_{i=1}^K C_{S_i}}{C_f} v_{ref} \quad (3)$$

ここで C_{S_i} 、 C_f は等しくこれを C とする。 K は差分増幅時に参照電圧につながれている C_s の個数である。この式を C_{S_i} 、 C_f で微分することにより出力電圧の容量ミスマッチに対する感度が算出される。適当な近似を行えば、

$$\Delta v_{out} = \frac{\Delta C}{C} \{ (2^M - 1) v_{in} - K v_{ref} \} \quad (4)$$

この式より Δv_{out} がゼロとなる v_{in} の値を算出し、DAC電圧が切り替わる点での誤差を計算すると、その誤差はどの切り替え点でも等しくなり、

$$\Delta v_{out} = \frac{\Delta C}{C} v_{ref} \quad (5)$$

となる。誤差の許容範囲が $1/4\text{LSB}$ 以下とすれば

$$\frac{\Delta C}{C} \leq \frac{2^M}{2^{N+1}} \quad (6)$$

が得られる。つまりマルチビット構成ほど容量ミス

マッチ誤差が緩和され、DNL 誤差が小さくなる。図4に2ビット構成のときの入出力伝達特性を示す。

すなわち図3と図4における δ_1 と δ_2 の和がマルチビットほど小さくなる。従ってマルチビット構成にしたほうが同一容量ではDNLが小さくできる。

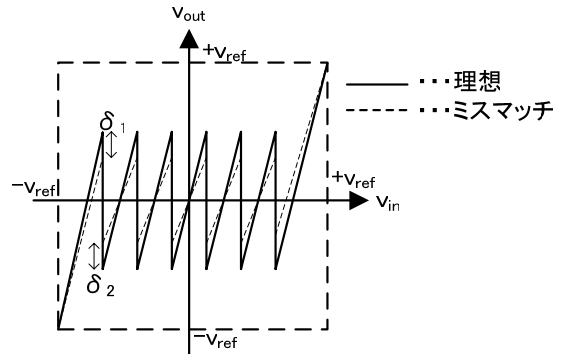


図4 2ビット構成時の容量ミスマッチの影響

b) INL 解析

INL は DNL の誤差の累積であるので簡単には求められない。そこで容量ミスマッチが INL に与える影響について、4.2 で求める容量値を用いて 100 回のモンテカルロシミュレーションにより検討した。このとき容量ミスマッチの 3σ 値を MIM 容量の実測値から以下のように定義した。

$$\frac{\Delta C}{C} = \frac{6 \times 10^{-4}}{\sqrt{C}} \quad (7)$$

図5に12ビット構成、片側参照電圧 0.4V を仮定した場合の INL 誤差と累積度数分布のグラフを示す。

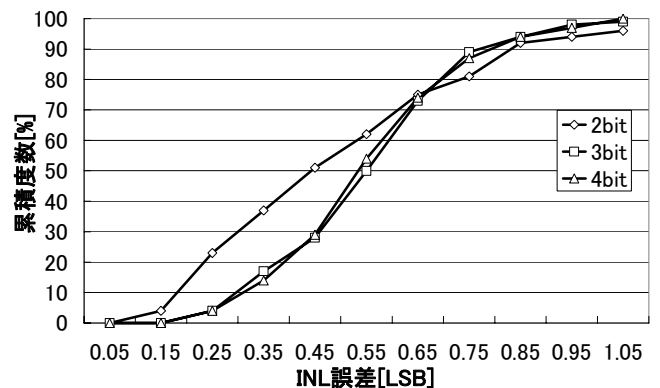


図5 INL 誤差の累積度数分布

2ビット構成のみ間延びした分布となったが3、4ビット構成はほぼ同じ分布となった。また2ビット構成では 0.5LSB 以内の誤差に収まる確率は 50%程度であるが、3、4ビット構成では 30%程度である。しか

し、どのビット構成も 90% の確率で 0.9LSB 以内の誤差に収まることが分かる。従って、INL に関し変換ビット数はあまり大きな影響を与えないようである。

4.2 ノイズ解析

容量値は系のノイズを決定するため、ノイズ解析による容量値の算出が必要である。単位変換回路のノイズは主にオペアンプから発生するノイズとスイッチのオン抵抗から発生するノイズに分けることができる [4]。

a) オペアンプのノイズ

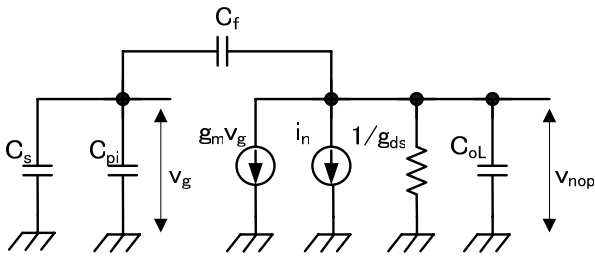


図 6 ノイズ等価回路モデル

図 6 は差分増幅時のノイズ等価回路である。出力端に現れるノイズ電圧は下式で表される。ここで i_n はノイズ電流源、 g_m はオペアンプの入力トランジスタのトランスコンダクタンス、 C_{pi} 、 C_{oL} は入力端および出力端の寄生容量である。

$$v_{nop} = \frac{i_n}{g_m \beta + s C_L} \quad (8)$$

ここで、 β はフィードバックファクタ、 C_L は出力端に付く総負荷容量である。

よって電力スペクトル密度は、

$$v_{nop}^2 / \text{Hz} = \frac{i_n^2}{(g_m \beta)^2 + (\omega C_L)^2} \quad (9)$$

ここでオペアンプとしてテレスコピック型カスコードを仮定すると、

$$i_n = \frac{16}{3} \gamma \cdot k T g_m \quad (10)$$

と表される。 γ は過剰ノイズ係数である。すなわちオペアンプ回路の発するノイズは

$$\begin{aligned} v_{nop}^2 &= \int_0^\infty \frac{i_n^2}{(g_m \beta)^2 + (\omega C_L)^2} df \\ &= \frac{4\gamma \cdot kT}{3\beta C_L} \end{aligned} \quad (11)$$

となる。

b) スイッチのオン抵抗によるノイズ

全てのスイッチはオン抵抗によるノイズを発生させるが、ここではサンプル時に容量に保持されるノイズ量のみを考える。

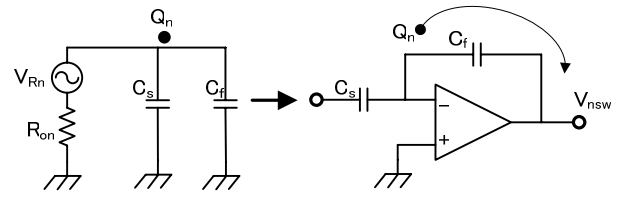


図 7 スイッチのオン抵抗の影響

サンプル時にはノイズが電荷 Q_n として容量に蓄えられる。

$$\begin{aligned} \overline{Q_n^2} &= (C_s + C_f)^2 \overline{V_{Rn}^2} \\ &= kT (C_s + C_f) \end{aligned} \quad (12)$$

このノイズ電荷が差分増幅時に出力に転送されるので、出力端のノイズは

$$\begin{aligned} v_{nsw}^2 &= \frac{\overline{Q_n^2}}{C_f^2} \\ &= \frac{kT}{C} 2^M \end{aligned} \quad (13)$$

となる。

単位変換回路の出力ノイズはこのノイズと a) で示したオペアンプのノイズが合算されたものである。そこで全単位変換回路分のノイズを入力に換算する。これは結局 kT/C ノイズの α 倍で表されて、

$$v_{nin_tot}^2 = \alpha \frac{kT}{C} \quad (14)$$

α の値はビット構成に応じて表 2 のようになる。入力換算ノイズが量子化ノイズ電力の半分以下 (SNR に関して 3dB 劣化) となるように、容量値を決めると、

$$C \geq 3\alpha \cdot kT \frac{2^{2N}}{V_{ref}^2} \quad (15)$$

$$GBW_{closed} = \frac{g_m}{2\pi C_L} \beta \quad (16)$$

表2 マルチビット構成でのノイズ係数

M	1	2	3	4	5
α	2.89	1.50	0.77	0.39	0.20

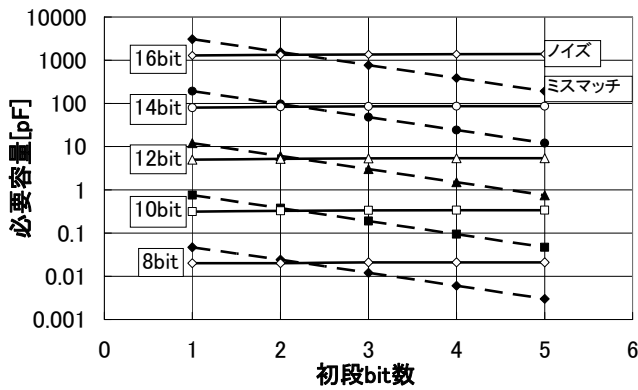


図8 ノイズ,容量ミスマッチより求まる容量値

図8は片側参照電圧を0.8Vとし、ノイズ、ミスマッチにより決まる初段サンプル時の容量（総負荷容量）値を示している。総負荷容量値は $2^M \times C$ で表される。ノイズにより決まる総負荷容量はビット構成に依らずほぼ等しい。

5. 性能見積もり

これまでに解析した結果に基づき、我々が以前提案した、トランジスタの寄生容量のデザインルール依存性を考慮した性能モデル[5]を用いて消費電流と変換周波数との関係を見積もった。片側参照電圧を0.8Vと設定した。

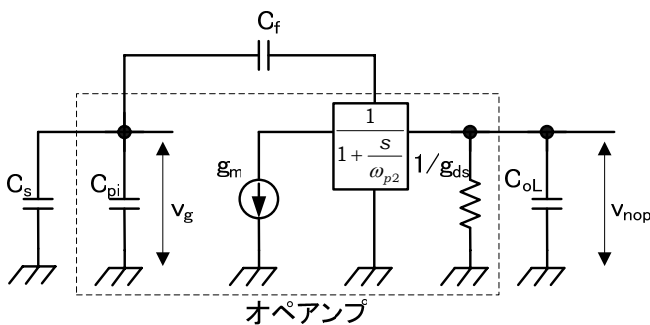


図9 stageの増幅時等価回路

クロズドループにおけるオペアンプのGBWは下式で表される。

帰還係数 β と負荷容量 C_L は消費電流に依存し、図10および図11のようなグラフとなる。

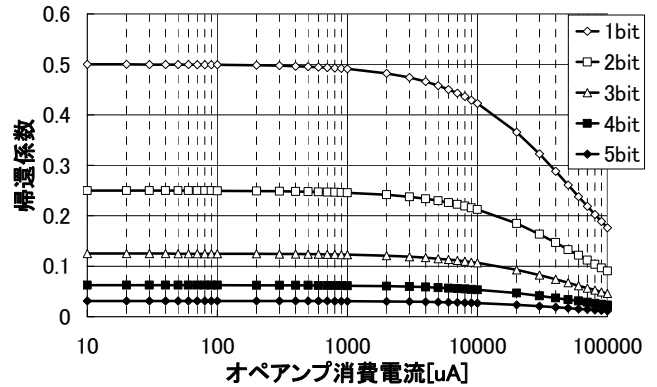


図10 帰還係数の電流依存

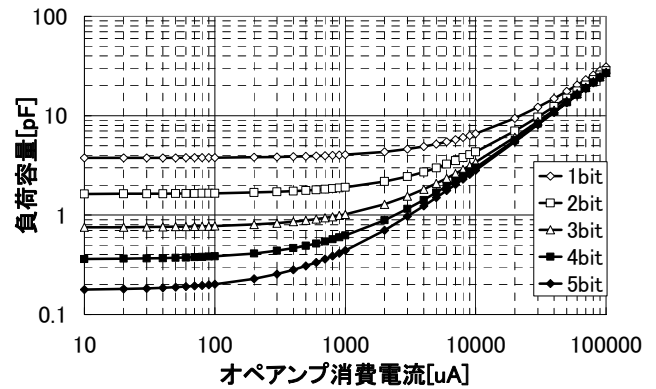


図11 負荷容量の電流依存

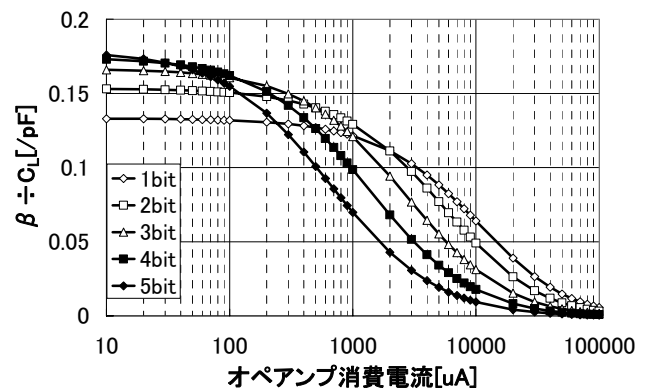


図12 帰還係数と負荷容量の比の電流依存

変換周波数は下式で表される。

$$f_c = \frac{3GBW_{closed}}{N - M + 1} \quad (17)$$

マルチビット構成では後段の誤差が緩和されるため、セッティング時間がより短くとれる。したがって同じ GBW ならばマルチビット構成が高速である。

図 10,11,12 は帰還係数 β 、負荷容量 C_L 、これらの比 (β/C_L) とオペアンプの消費電流の関係を示している。低電流領域では寄生容量が十分に小さいため帰還係数、負荷容量ともに一定の値を保つ。しかし消費電流が増すと帰還係数が減少し負荷容量が増加する。とくに負荷容量は消費電流に比例して増加するため、もともとの負荷容量が小さいマルチビット構成はその影響を顕著に受ける。つまり消費電流が大きくなるほどマルチビット構成の特徴である小さな負荷容量という利点が生かされなくなる。

ノイズ解析より求めた容量値を用いて 12 ビットおよび 14 ビットの ADC の OP アンプの初段の消費電流と変換周波数を推定したところ、図 13 および図 14 のような結果が得られた。12 ビット ADC では比較的高い消費電流の領域では、変換周波数の最大値が飽和してしまうためマルチビット構成はシングルビット構成に劣るが、消費電流の小さい領域ではマルチビット構成のほうが高性能化が見込める。また 14 ビットの場合はもともと用いる容量値が大きいいため、変換周波数の飽和は 100mA 程度まで起こらずマルチビット構成が有利となる。またマルチビット構成では単位変換回路の数がシングルビット構成より少なくなるため、さらに低消費電力効果が見込める。

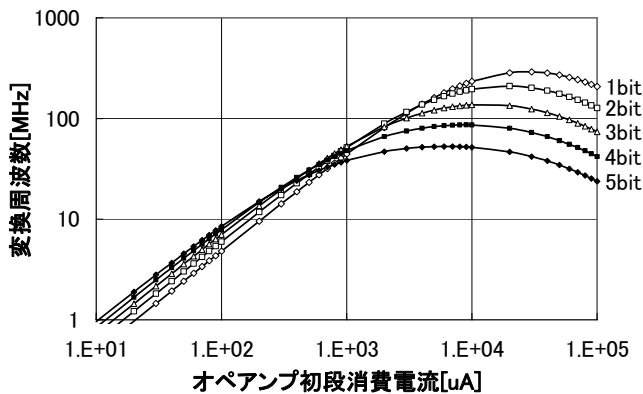


図 13 分解能 12bit での変換周波数

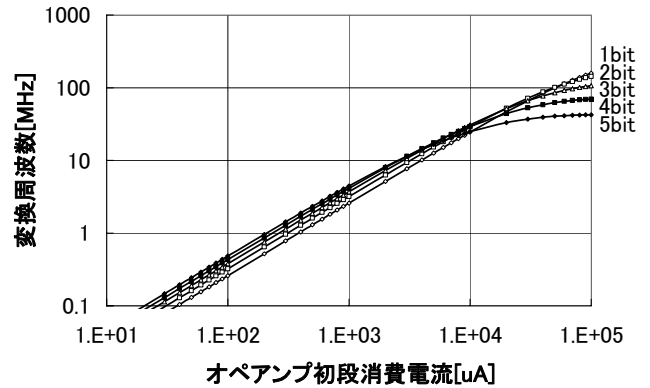


図 14 分解能 14bit での変換周波数

6.まとめ

パイプライン型 ADC を初段のみマルチビット構成とした場合の性能推定を行った。その結果、オペアンプの必要利得はマルチビット構成でも変わらなかった。容量ミスマッチから推測される DNL 特性は改善される方向に向かい、INL 特性の最大値平均はビット構成に依らずほぼ等しかった。またノイズ解析から求められる入力のトータル容量はマルチビット構成時でもほぼ変わらず、サンプリング時の負荷が増すことはない。最後に変換周波数と消費電流の関係を調べたところ低電流な領域ではマルチビット構成のほうが高い変換周波数が得られることが確認された。

文 献

- [1] A. M. Abo and P. R. Gray, "A 1.5V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," IEEE Journal of Solid-State Circuits, Vol. 34, No. 5, pp. 599-606, May, 1999.
- [2] Wenhua Yang, Dan Kelly, Iuri Mehr, Mark T. Sayuk, Larry Singer, "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC With 85-dB SFDR at Nyquist Input", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.36, NO.12, DECEMBER 2001
- [3] 宮原正也、松澤 昭,"A Study on a pipeline ADC -Basic requirements for capacitance and OP amp-", 電子情報通信学会集積回路研究専門委員会, Vol.104, No.185, pp.7-12, Jul.2004.
- [4] Shoji KAWAHITO, Kazutaka HONDA, Masanori FURUTA, Nobuhiro KAWAI, Daisuke MIYAZAKI, "Low-Power Design of High-Speed A/D Converters", IEICE TRANS.ELECTRON, VOL.E88-C, NO.4 APRIL.2005.
- [5] 宮原 正也, 倉科 隆, 松澤 昭, "素子の微細化がアナログ CMOS 回路に及ぼす影響についての研究 -CMOS 演算増幅器及びパイプライン型 ADC 性能のデザインルール依存性-", 電子情報通信学会 集積回路研究専門委員会, 豊橋, ICD2005-59 vol. 105, no. 185, pp. 25-30, Jul. 2005.