

マルチビット型パイプライン型 ADCの検討

東京工業大学 大学院 理工学研究科
電子物理工学専攻 松澤研究室
遠藤 洋輝、宮原 正也、松澤 昭

1. 背景

- ・通信機器や画像処理にともなうデータ転送量の増加、高詳細化 ADCの高性能要求
- ・8～14bitの分解能と数MHz～数100MHzの速度ではパイプライン型ADCが主力
- ・高画質化に伴い12bit以上のADCが必要だが、速度・消費電力とも不十分
同程度の速度で消費電力が1、2桁違う。

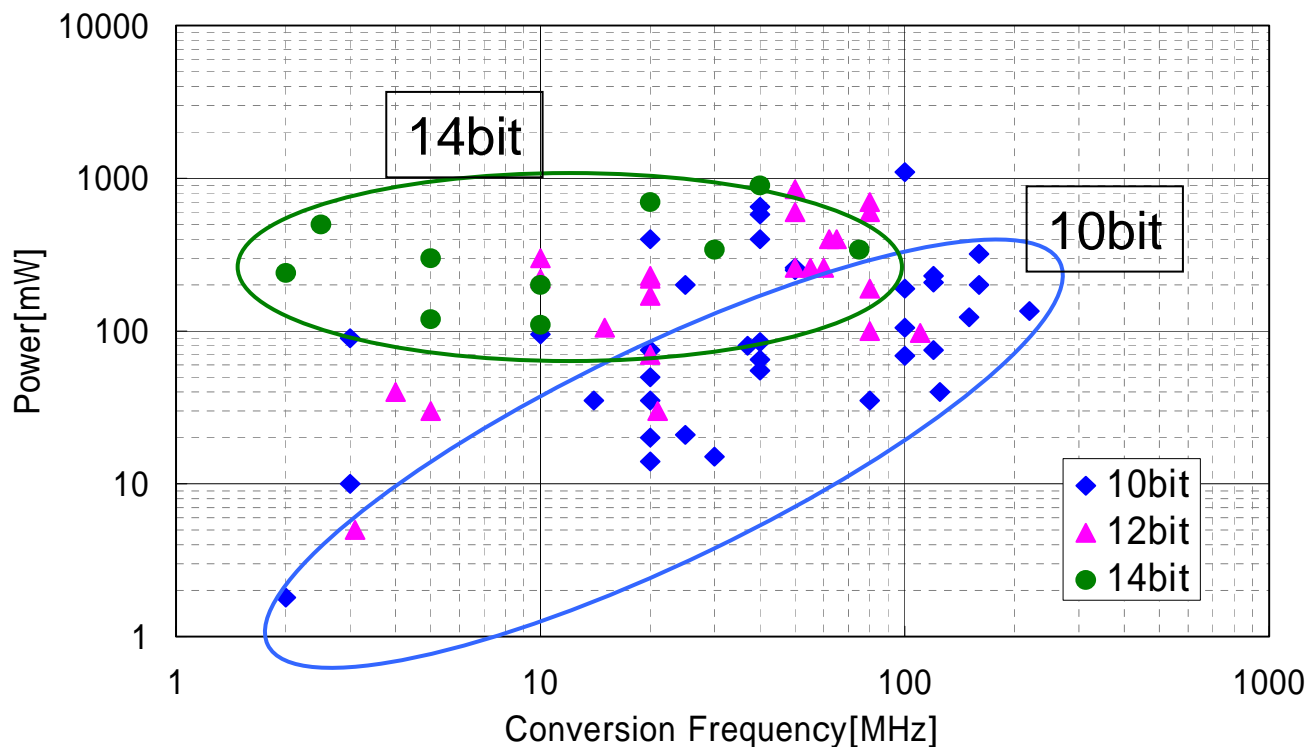


Fig.1 パイプライン型ADCの変換周波数と消費電力

発表内容

1. マルチビット構成概要
2. 検討事項
 - オペアンプ必要利得
 - 容量ミスマッチ解析
 - ノイズ解析
 - 容量値算出
3. マルチビット構成の性能見積もり
 - 消費電流と変換周波数の関係

発表内容

1.マルチビット構成概要

2.検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

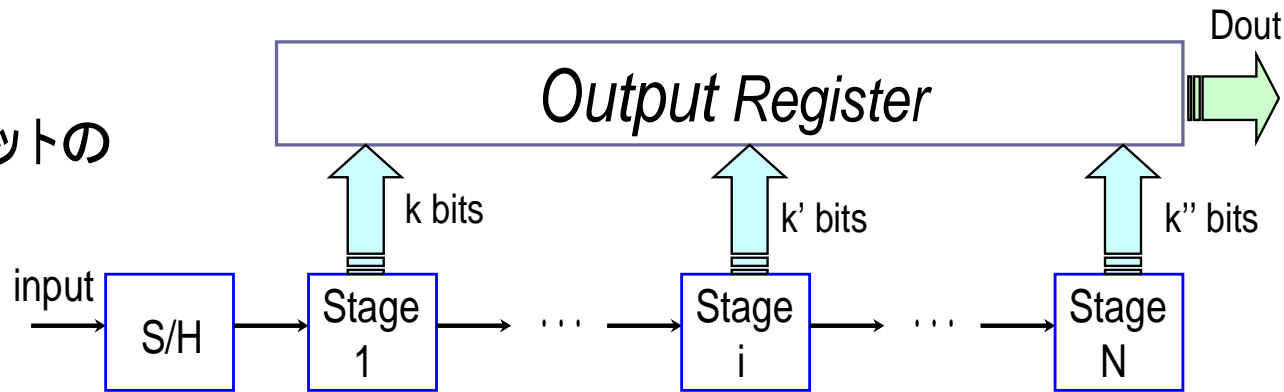
3.マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係

1. パイプライン型ADCの構成

全体構成

- ・Stageが縦続に接続
- ・それぞれのstageが k_i ビットのデジタル出力をもつ



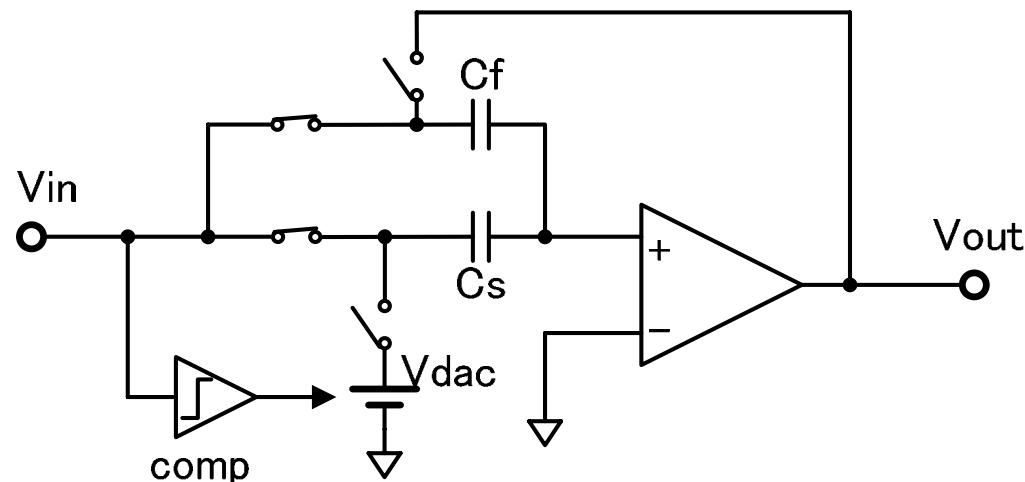
パイプライン型ADCの全体図

stage構成

- ・オペアンプ、容量、コンパレータ、サブDAC、サブADCにより構成されるスイッチトキャパシタ回路

$$V_{out} = \left(\frac{C_s}{C_f} + 1 \right) V_{in} - \frac{C_s}{C_f} V_{DAC}$$

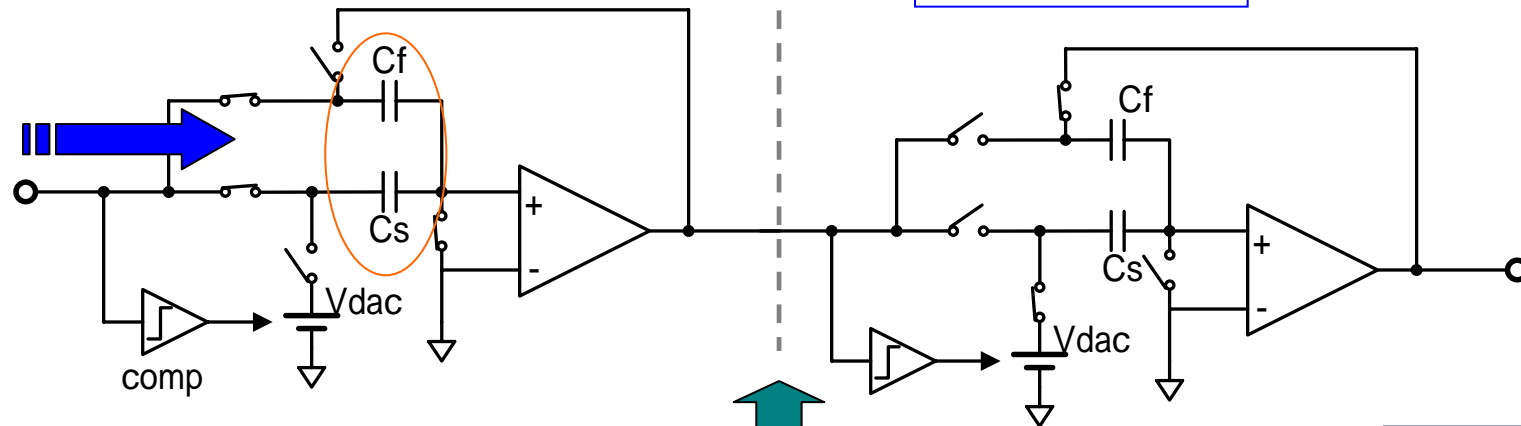
ステージゲイン



パイプライン型ADCのstage構成

パイプライン動作

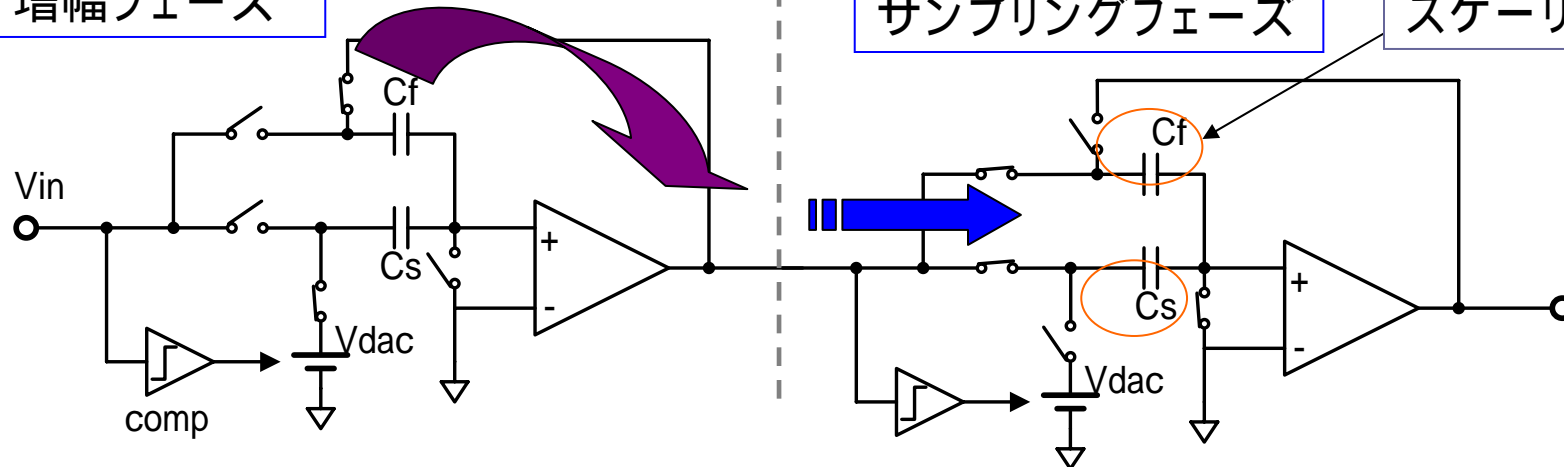
サンプリングフェーズ



増幅フェーズ



増幅フェーズ



サンプリングフェーズ

次段では容量値をスケールリングする。

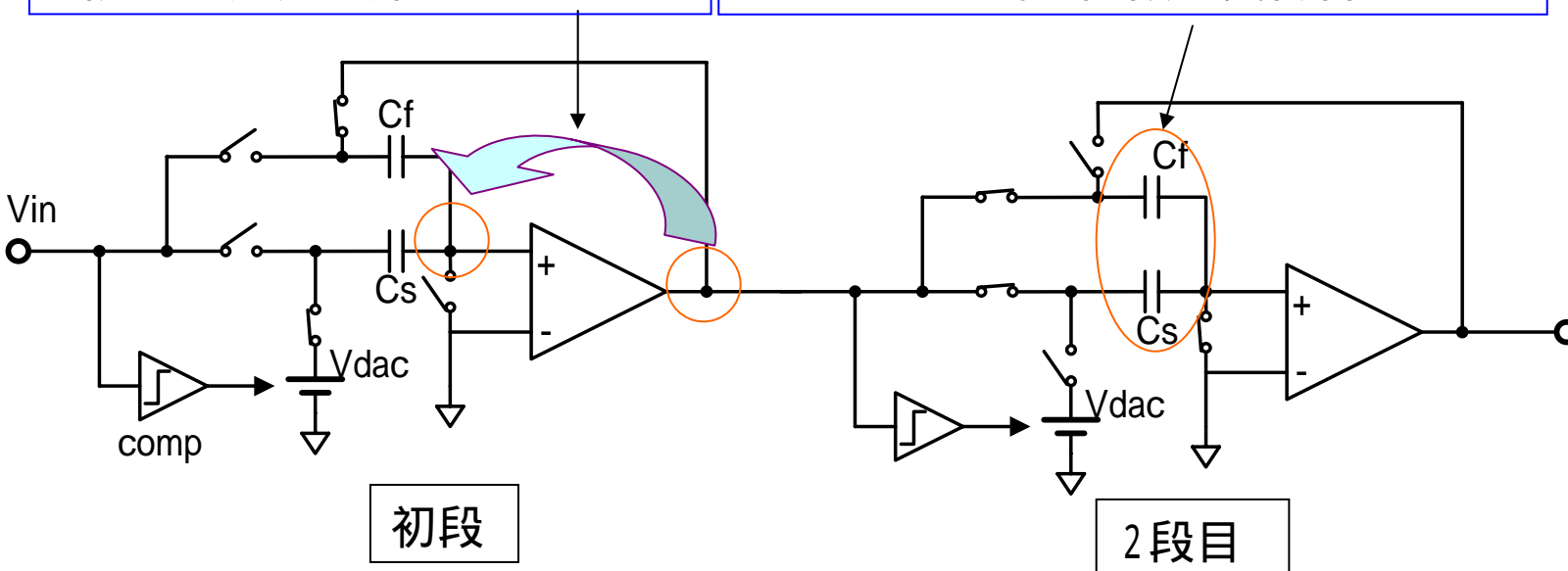
帰還係数 と負荷容量 C_L

- ・帰還係数 はフィードバック系でオペアンプ出力から入力に帰還される量
- ・負荷容量はサンプリング時の C_s と C_f 。
(C_{pi} と C_{po} はオペアンプ入出力の寄生容量)

$$\beta = \frac{C_f}{C_s + C_f + C_{pi}} \quad C_L = C_{po} + \alpha(C_f + C_s) + \frac{C_s(C_f + C_s)}{C_f + C_s + C_{pi}} \quad \Rightarrow \quad GBW_{closed} = \frac{g_m \beta}{2\pi C_L}$$

出力から入力に帰還される電圧

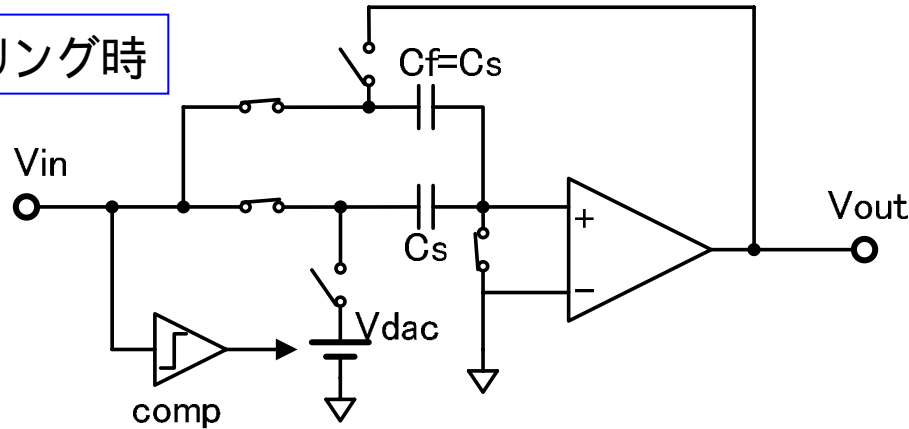
サンプリング時に前段の負荷容量となる



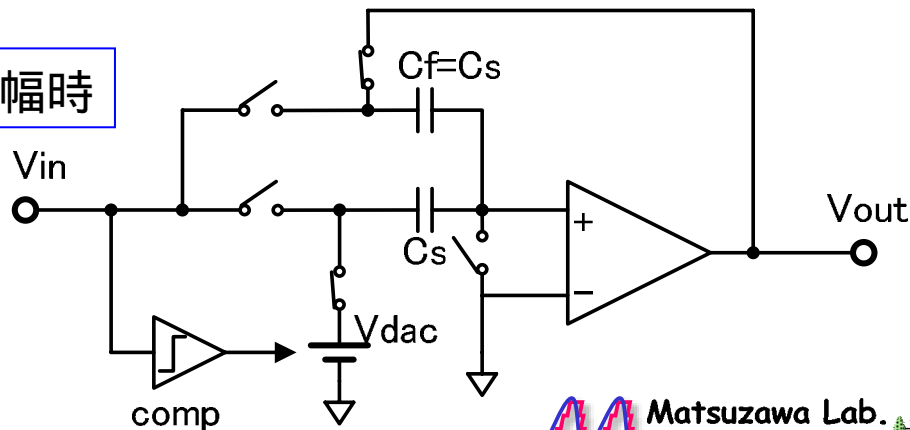
シングルビット構成

- ・1段で1bit分のデジタル出力を持つ。
- ・ステージのゲインは2倍。
- ・デジタルに出力された分をアナログ領域で減算している。

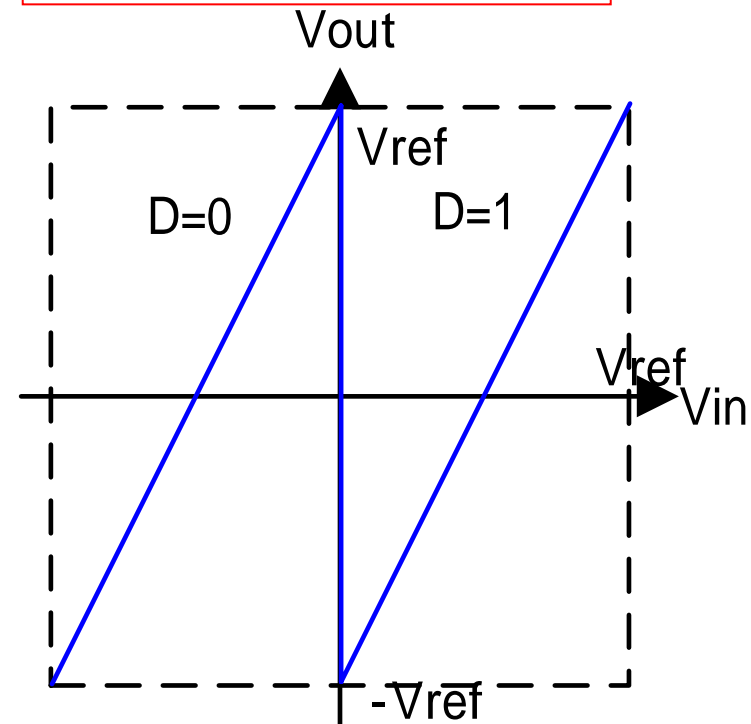
サンプリング時



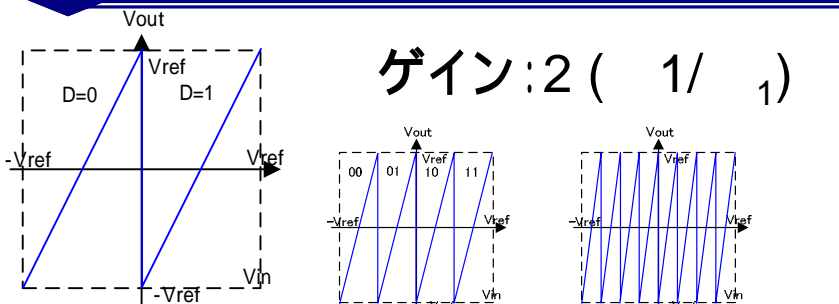
増幅時



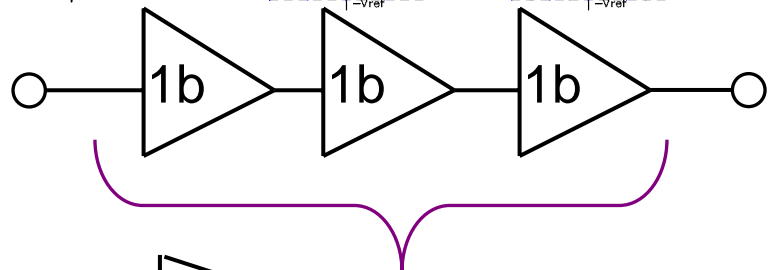
入出力トランスファークラフ



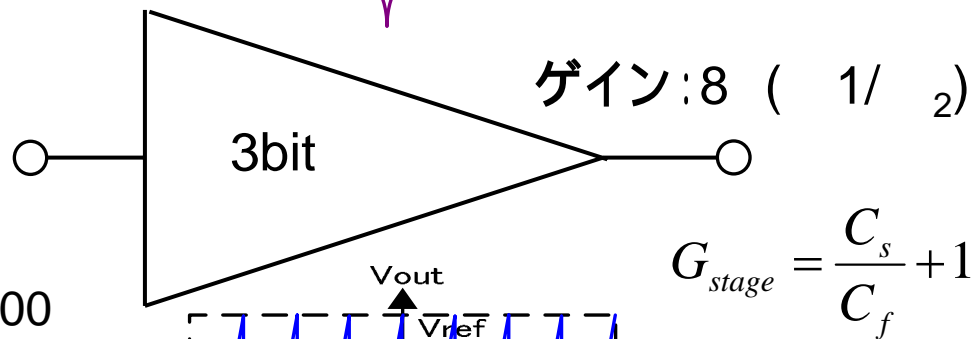
マルチビット構成1



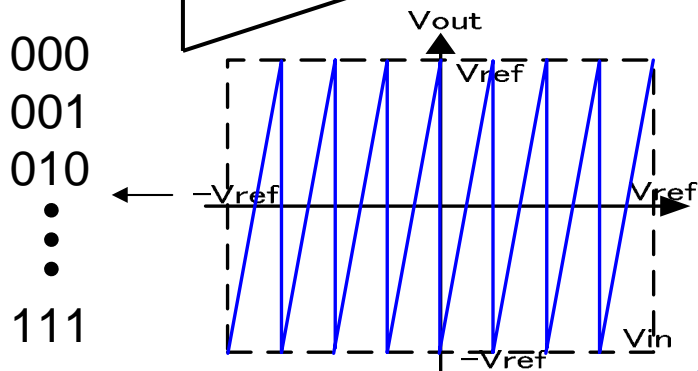
・シングルビット構成は1段で1bit分の変換を行うが、マルチビット構成は1段で3bit分の変換を行う。



・1stageで数ビットを出力するため、ステージのゲインを大きくする。
(3bit構成ならば8倍にして後段に送る)



$$G_{stage} = \frac{C_s}{C_f} + 1$$

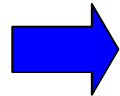


- ・stage数の減少
- ・数段分の誤差が許容される

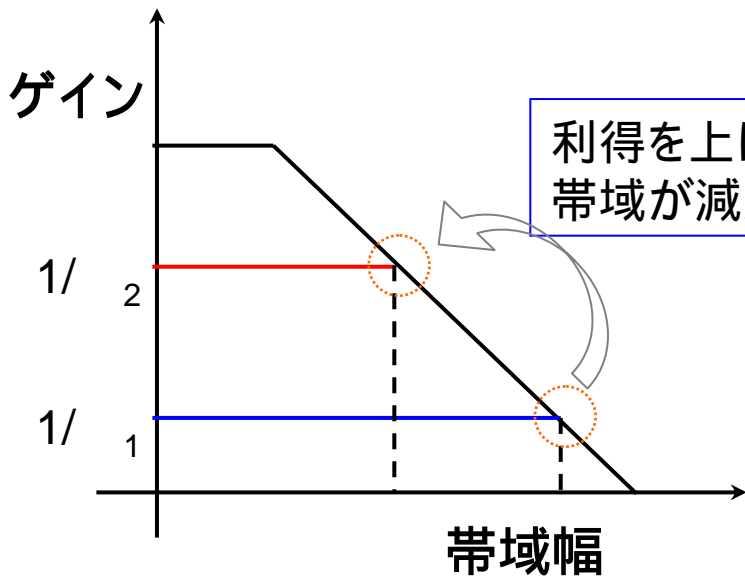
マルチビット構成 2

- ・帰還係数が減少
- ・負荷容量が減少

- 変換速度低下
- 変換速度向上



どちらの影響が大きいのか？



1次の系のオペアンプの応答

$$GBW_{closed} = \frac{g_m \beta}{2\pi C_L}$$

→ 減少
→ 減少

$$\beta = \frac{C_f}{C_s + C_f + C_{pi}} \cdots \text{ステージゲインの逆数}$$

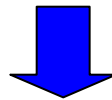
$$f_c \leq \frac{3GBW_{closed}}{N - M + 1} \cdots \text{変換周波数はGBWで制限される。}$$

懸念事項

stage利得の増加 帯域低下？ 速度低下？

オペアンプ 必要なゲインが不明

容量 ミスマッチの影響？ 最適な容量値？



- ・ノイズ解析
- ・ミスマッチ解析

・ゲインエラーの影響

・負荷容量と の関係

検証

発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係

オペアンプ必要利得

- マルチビット構成でオペアンプの要求利得が増えることはない。
初段で数ビット分変換するため、後段では誤差が緩和される。

$$V_{out} = \frac{\frac{1}{C_f} [(C_s + C_f)V_{in} - C_s V_{DAC}]}{1 - \frac{C_s + C_f + C_{pi}}{C_f} \frac{V_{io}}{V_{out}}}$$

1/ 1/G

ゲインエラー

$$G(dB) = 6(N - M + 1) - 20 \log \beta$$

$$\beta = \frac{1}{2^M + \frac{C_{pi}}{C_f}} \dots \text{を代入}$$

$$G(dB) = 6(N - M + 1) + 20 \log \left(2^M + \frac{C_{pi}}{C_f} \right)$$

キャンセル

1/4LSBを算定基準とすると

$$G_{error} \approx -\frac{1}{G\beta} \leq \frac{1}{2^{N-M+1}}$$

	1bit	2bit	3bit	4bit	5bit
必要利得 (dB)	6N+10	6N+9	6N+8	6N+7	6N+6

14bit構成で初段が4bit出力 91dB

容量ミスマッチ (DNL)

容量ミスマッチが出力に与える影響

$$\Delta V_{out} = \frac{\partial V_{out}}{\partial C_s} \Delta C_s + \frac{\partial V_{out}}{\partial C_f} \Delta C_f$$

$$= \left(\frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (V_{in} - V_{DAC})$$

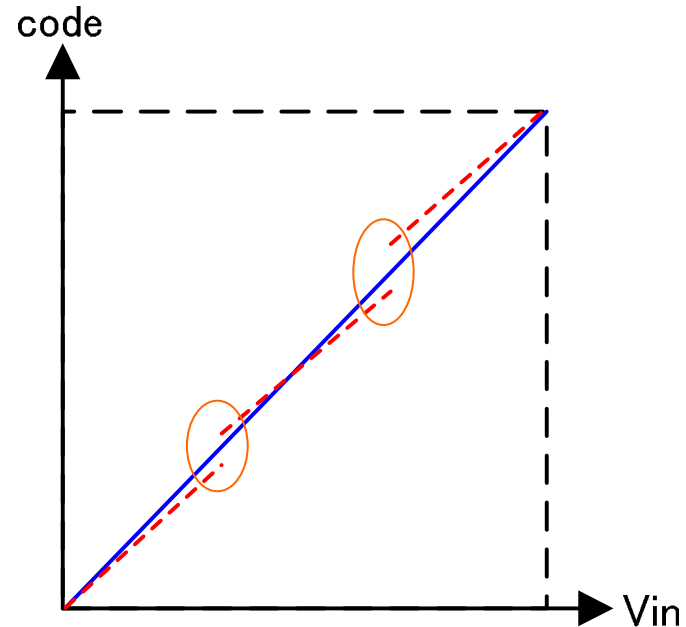
$$\delta_1 = \frac{3}{4} \frac{\Delta C}{C} V_{ref}, \delta_2 = \frac{1}{4} \frac{\Delta C}{C} V_{ref}$$

$$\therefore \delta = \delta_1 + \delta_2 = \frac{\Delta C}{C} V_{ref}$$

マルチビット拡張

$$\delta = \frac{1}{2^M - 1} (2^M - 1) \frac{\Delta C}{C} V_{ref} \leq \frac{V_{ref}}{2^{N-M+1}}$$

$$\frac{\Delta C}{C} = \frac{k}{\sqrt{C}}$$



マルチビット構成時、容量が満たす条件

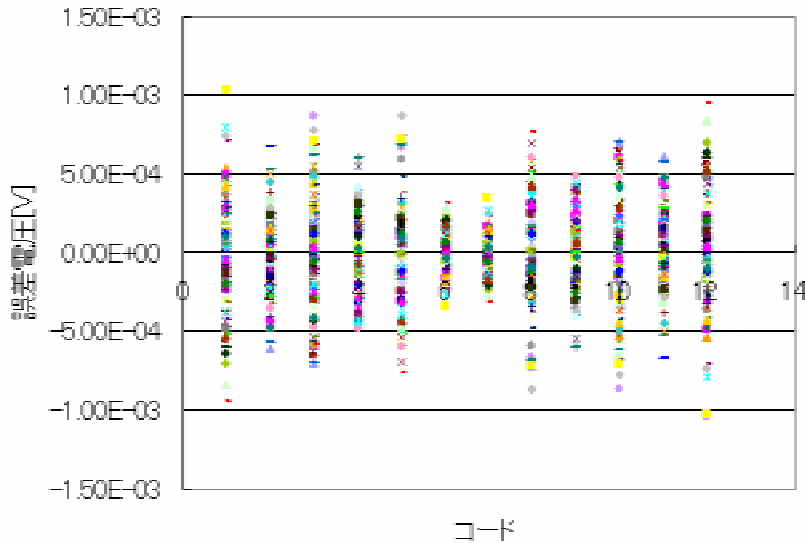
$$C \geq k^2 \times 2^{2(N-M+1)}$$

DNL特性が改善される

INL検討

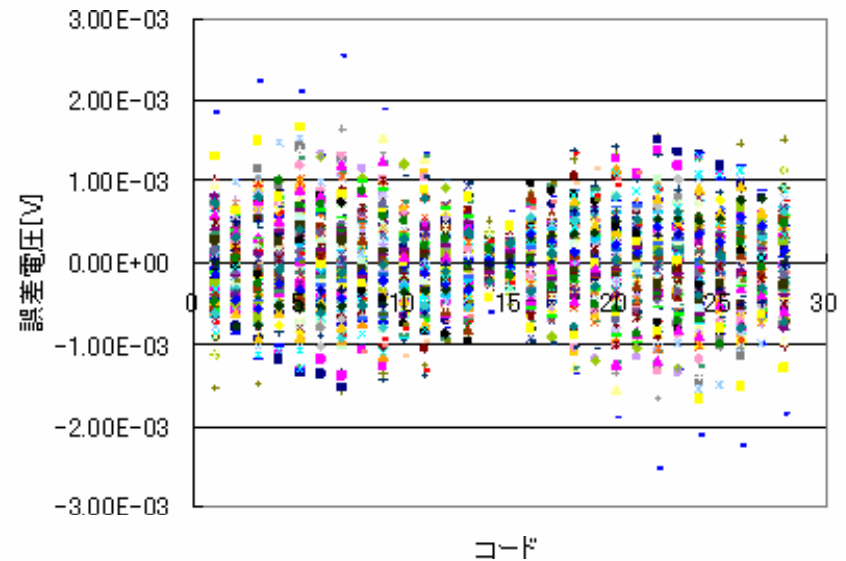
容量ミスマッチがINLに及ぼす影響について、モンテカルロシミュレーションを用いて検討した。

出力誤差(最大値平均) = |105uV|



2bit構成

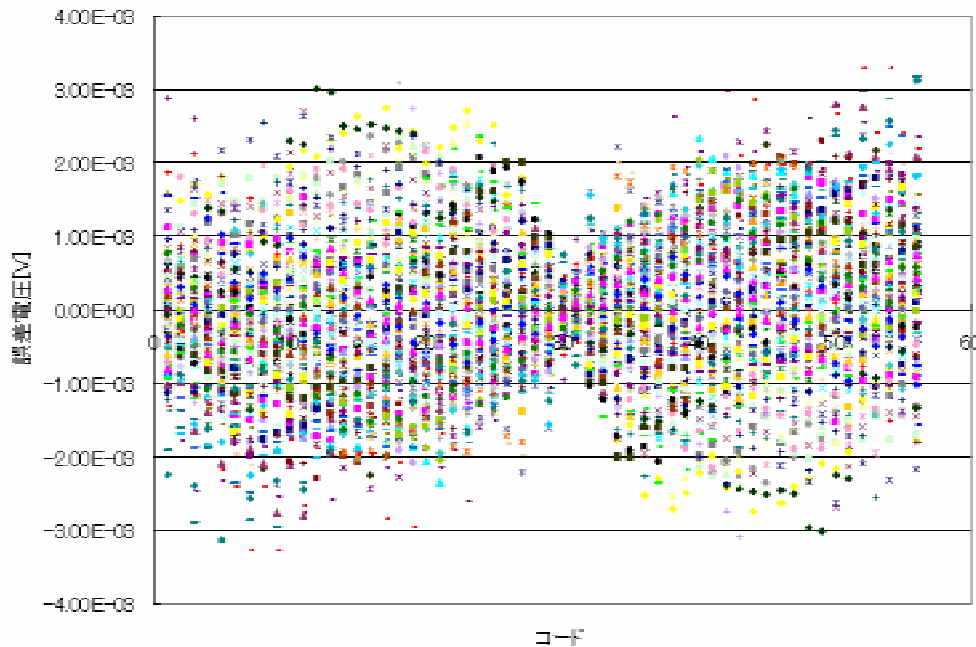
出力誤差(最大値平均) = |116uV|



3bit構成

INL検討

出力誤差(最大値平均) = $|117\mu\text{V}|$

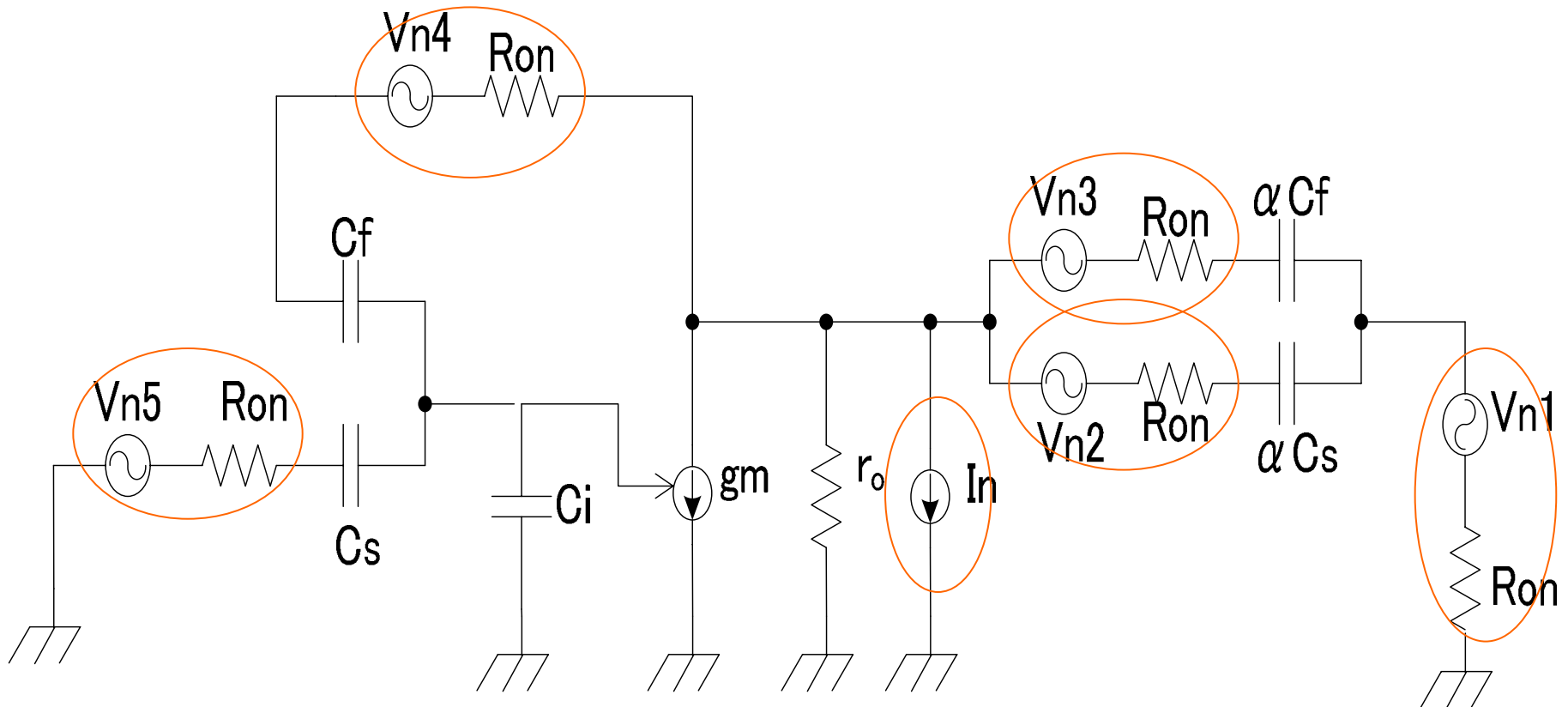


4bit構成

・マルチビット構成ではINLは劣化しない。

ノイズ源特定

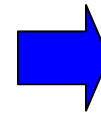
・主なノイズ源はオペアンプとスイッチのオン抵抗であり、等価回路図は下図のようになる。



ノイズ解析

・全体の入力換算ノイズ

$$\overline{V_{in_tot}^2} = \left(\overline{V_{out_opamp}^2} + \overline{V_{out_SW}^2} \right) \frac{1}{2^{2M}} = \alpha \frac{k_B T}{C}$$

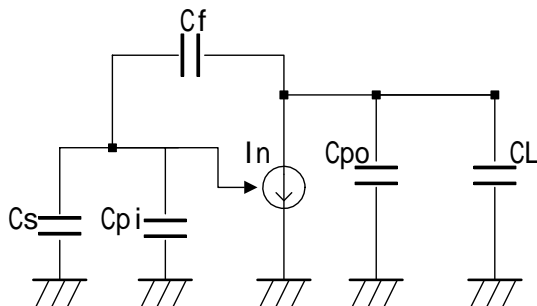


ノイズは1bitごとに約1/2となる。

	1bit	2bit	3bit	4bit	5bit
	2.89	1.50	0.77	0.39	0.20

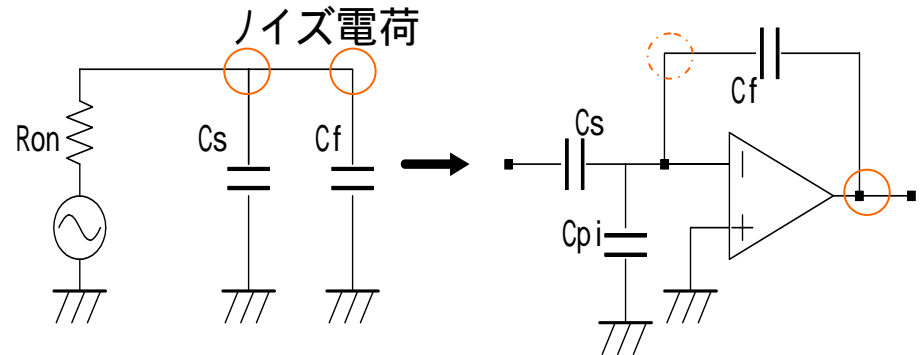
・オペアンプノイズ(テレスコピック型)

$$\overline{V_{out_opamp}^2} = \frac{2\gamma \cdot n \cdot kT}{3\beta C_L}$$



・スイッチのオン抵抗ノイズ

$$\overline{V_{out_SW}^2} = \frac{k_B T}{C} 2^M$$



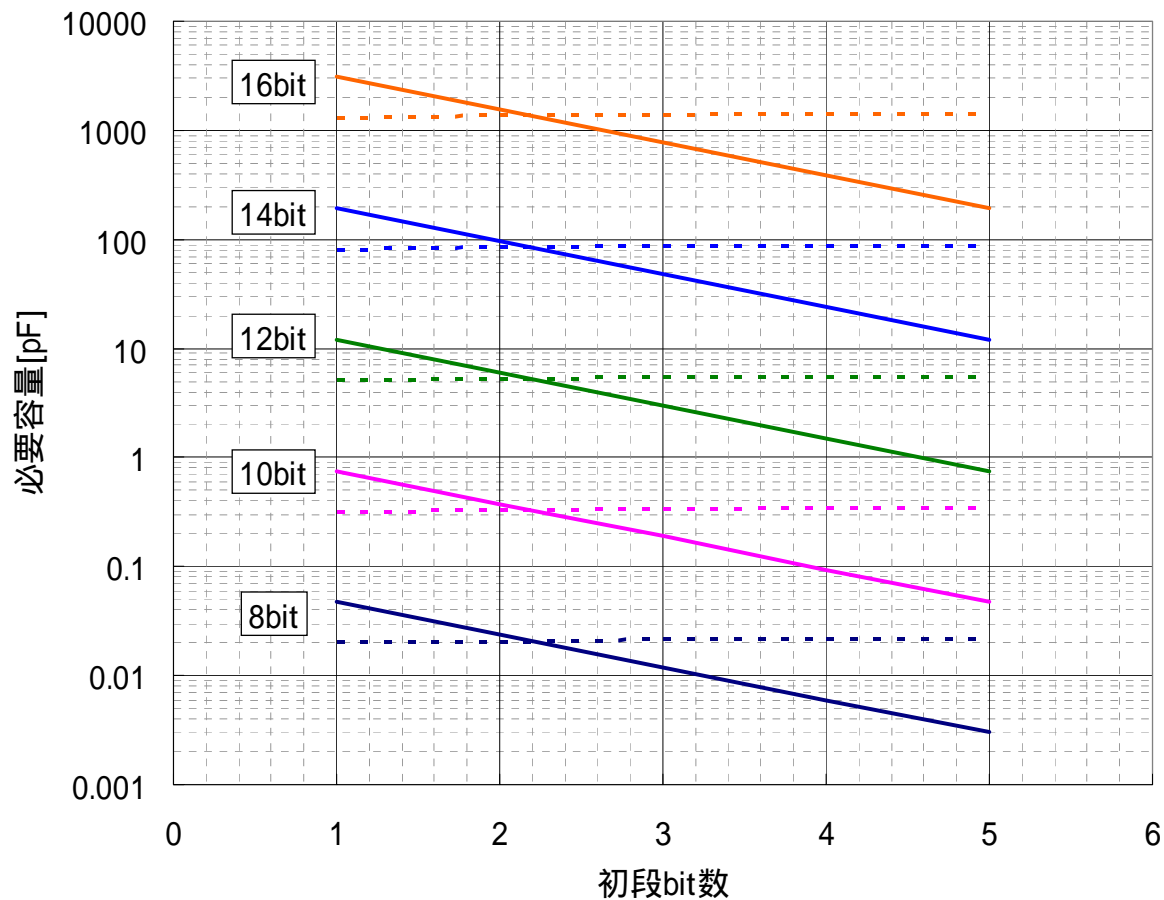
容量値算出

ノイズ解析により決まる容量値はマルチビットでもほぼ同じ。
(トータル容量、 $V_{ref}=0.8V$)

容量ミスマッチから決まる容量値は1bitごとに1/2になる。



容量ミスマッチは誤差補正可能なので不可欠なノイズでの容量値を用いる。

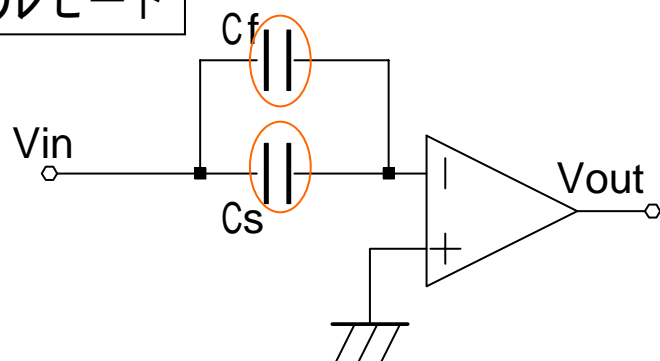


サンプル容量・負荷容量

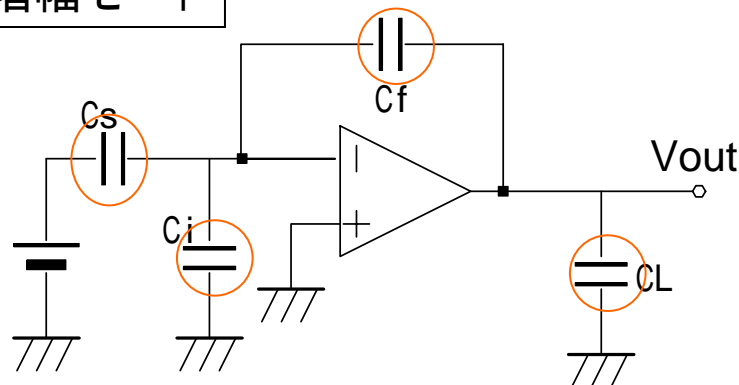
・サンプルする容量はマルチビットでも変わらない。

・容量スケージングのためstageの負荷につく容量は小さくなる。

サンプルモード



増幅モード



		8bit	10bit	12bit	14bit	16bit
トータル 容量 [pF]	1bit	0.02	0.313	5.01	80.18	1283
	2bit	0.02	0.326	5.22	83.54	1337
	3bit	0.02	0.334	5.34	85.42	1367
	4bit	0.02	0.338	5.40	86.41	1383
	5bit	0.02	0.340	5.43	86.92	1391

		8bit	10bit	12bit	14bit	16bit
負荷 容量	1bit	0.028	0.52	4.05	60.4	962
	2bit	0.028	0.49	3.86	57.7	919
	3bit	0.027	0.39	2.19	31.0	491
	4bit	0.027	0.33	1.26	16.1	254
	5bit	0.027	0.30	0.77	8.3	129

発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係

速度検討(12bit)

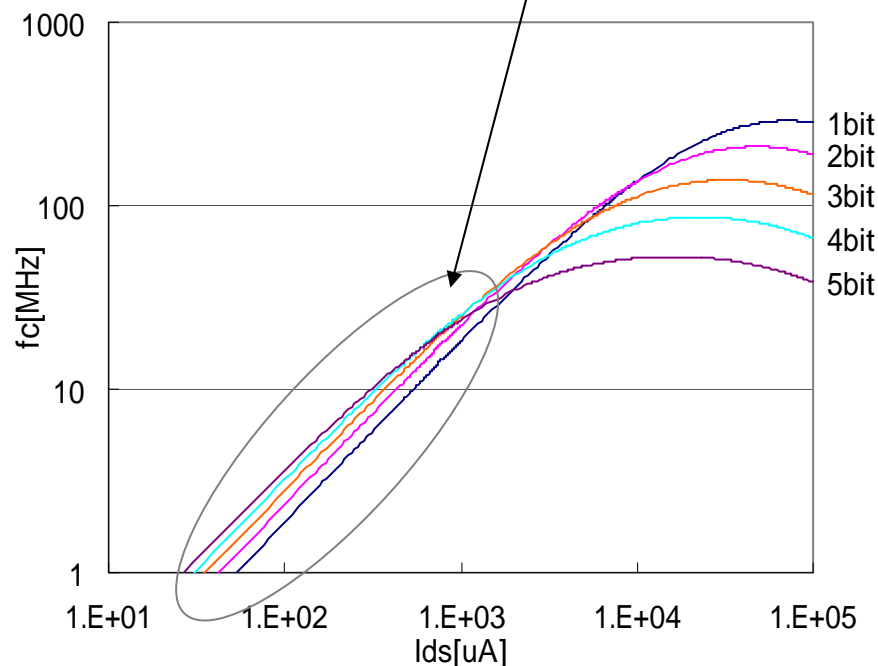
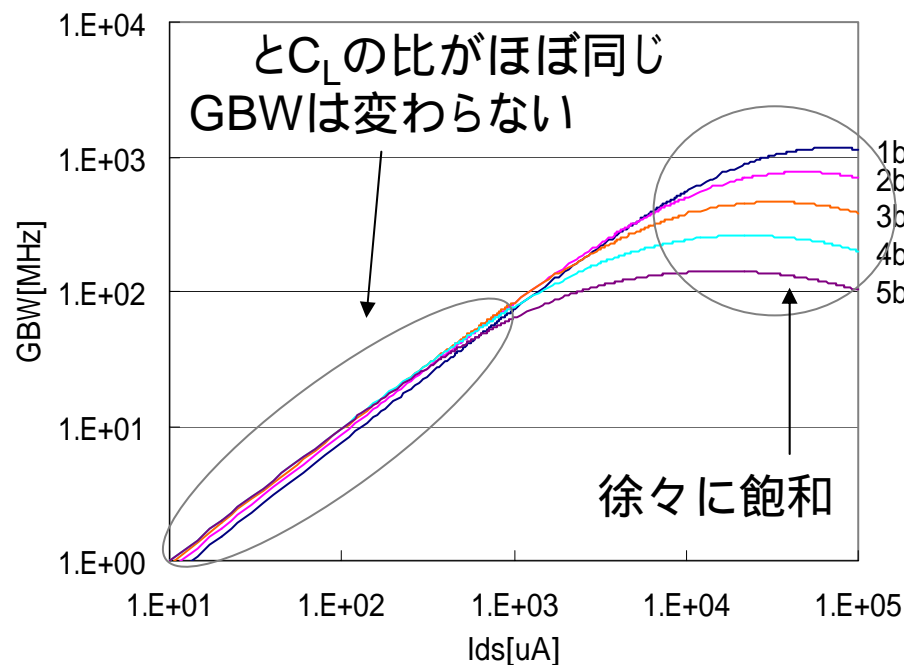
算出した容量値をもとにマルチビット型での速度を検討。
マルチビットでも1bitより速い領域がある。

$$GBW_{closed} = \frac{g_m \beta}{2\pi C_L}$$

$$f_c \leq \frac{3GBW_{closed}}{N - M + 1}$$

12ビット構成

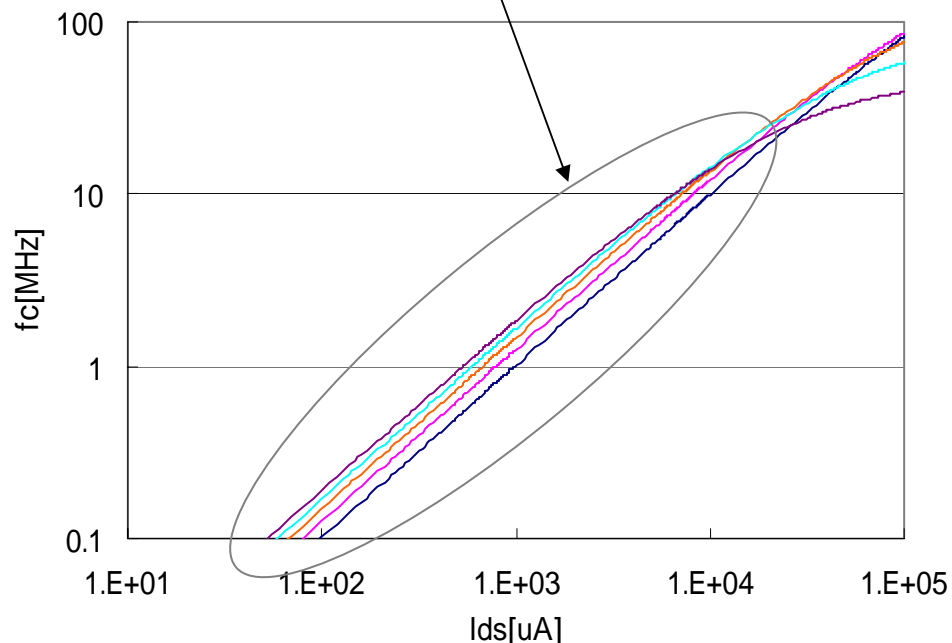
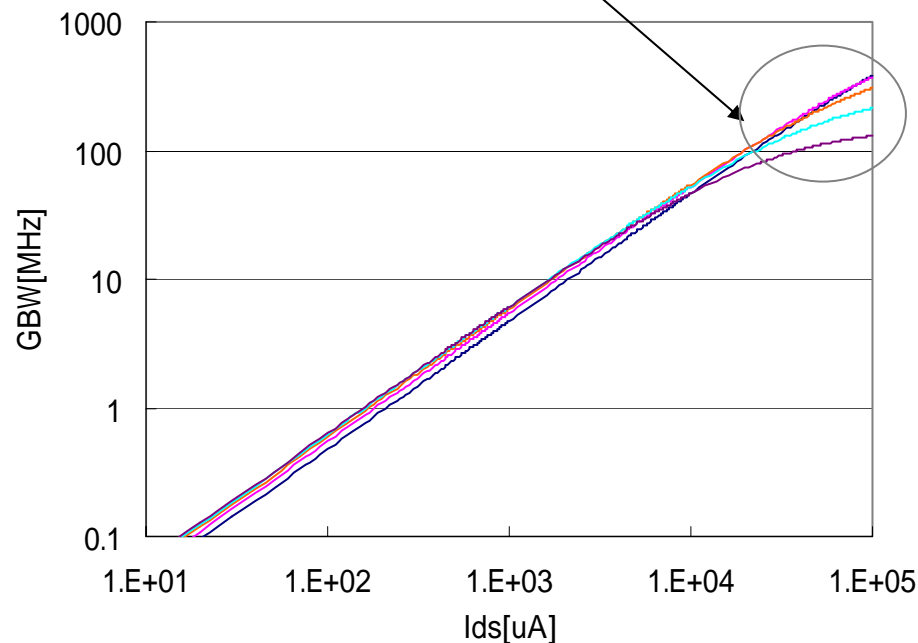
マルチビットが高速な領域



速度検討(14bit)

- ・より高分解能な領域ではマルチビットの速度優位が顕著になる。
- ・サンプリングする容量が大きいいため100mAの電流でも飽和しない。

14ビット構成



まとめ

オペアンプ

- ・オペアンプの利得はシングルビット構成と同程度でよい。

容量

- ・ミスマッチ誤差が緩和され、DNL特性が改善される。
- ・初段でサンプリングされる容量はシングルビット構成と同程度。
- ・DNLは緩和される。INLは変わらない。

消費電流と速度

- ・低消費電流な領域ではマルチビット構成のほうが高速。
- ・高速化には不向き。
- ・14bit以上の分解能では、マルチビット構成が有利。

END