

マルチビット型パイプライン型 ADC の検討

Study of multi bit pipelined A/D converter

東京工業大学 理工学研究科, ○遠藤 洋輝, 宮原 正也, 松澤 昭

Graduate School of Science and Engineering, Tokyo Tech ○Hiroki Endou, Masaya Miyahara, Akira Matsuzawa

hiroki@ssc.pe.titech.ac.jp

はじめに：パイプライン型 ADC はデジタルカメラやワイアレス LAN など様々な用途に用いられており、更なる高速、高精度、低消費電力化が望まれている。パイプライン型 ADC の構成として 1 つの単位変換回路で数ビット分の変換を行うマルチビット構成は論文等も少なく、その特性があまり明らかにされていない。

本研究ではパイプライン型 ADC をマルチビット構成とした場合、ADC の性能がどのように変化するか検討した。

検討内容：まず要求されるオペアンプゲインを算出し、次にノイズ解析から求まる容量値を算出した。この容量値を用いてオペアンプ消費電流—GBW 特性を算出し、サンプリング周波数を見積もった。

結果：オペアンプの必要利得はシングルビット構成とほぼ変わらず、初段サンプル時の負荷容量もシングルビット構成と同じであった。消費電流—GBW 特性は低消費電流では変わらないが、マルチビット構成になるほど早い段階で飽和していった。マルチビット構成では初段の変換精度が緩和されるため、GBW が同じならば変換周波数は高くなる。つまり低消費電流な領域ではシングルビット構成よりも高速になることが分かった。

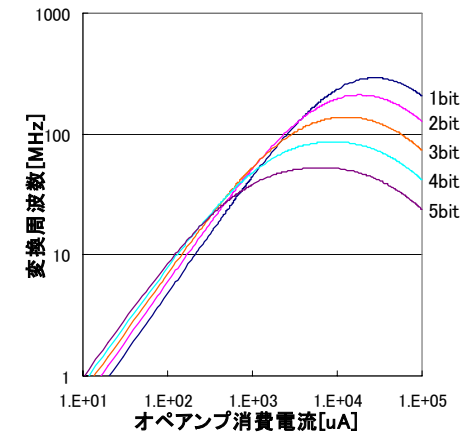


図 1. 14bit 構成時の変換特性