



# 90nmCMOSを用いた 超高速並列型6bitADCの開発

**池田裕介 松澤昭**

**東京工業大学 理工学研究科 松澤研究室**

# 発表内容

- 研究背景と研究目標
- 並列型ADCの研究課題
- 回路構成とシミュレーション検討
- まとめ



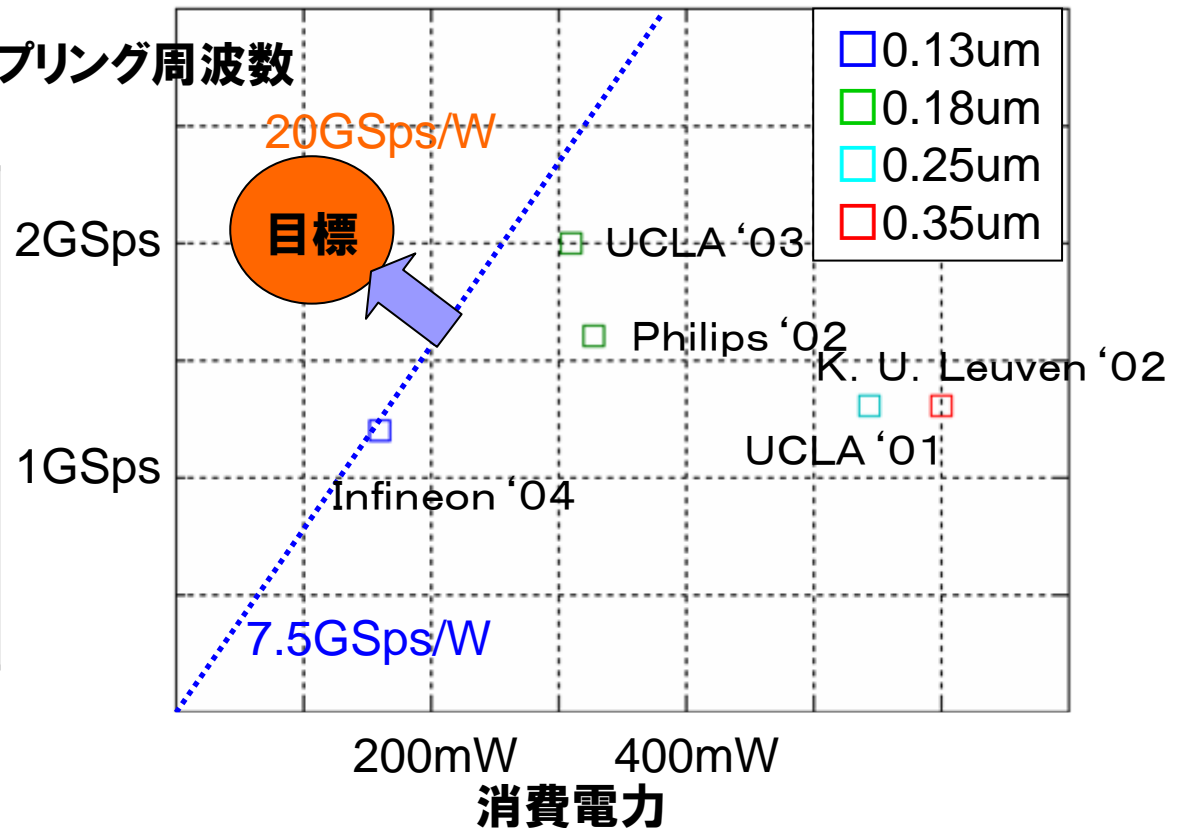
# 研究目標

- 並列型ADCの高速化にはトランジスタの微細化が必須
  - 90nmCMOSプロセスを用いた超高速並列型ADCの開発

## 目標値

|          |          |
|----------|----------|
| 消費電力     | 100mW    |
| 変換周波数    | 2GSPS    |
| INL, DNL | 0.5LSB以下 |
| 信号帯域     | 500MHz   |

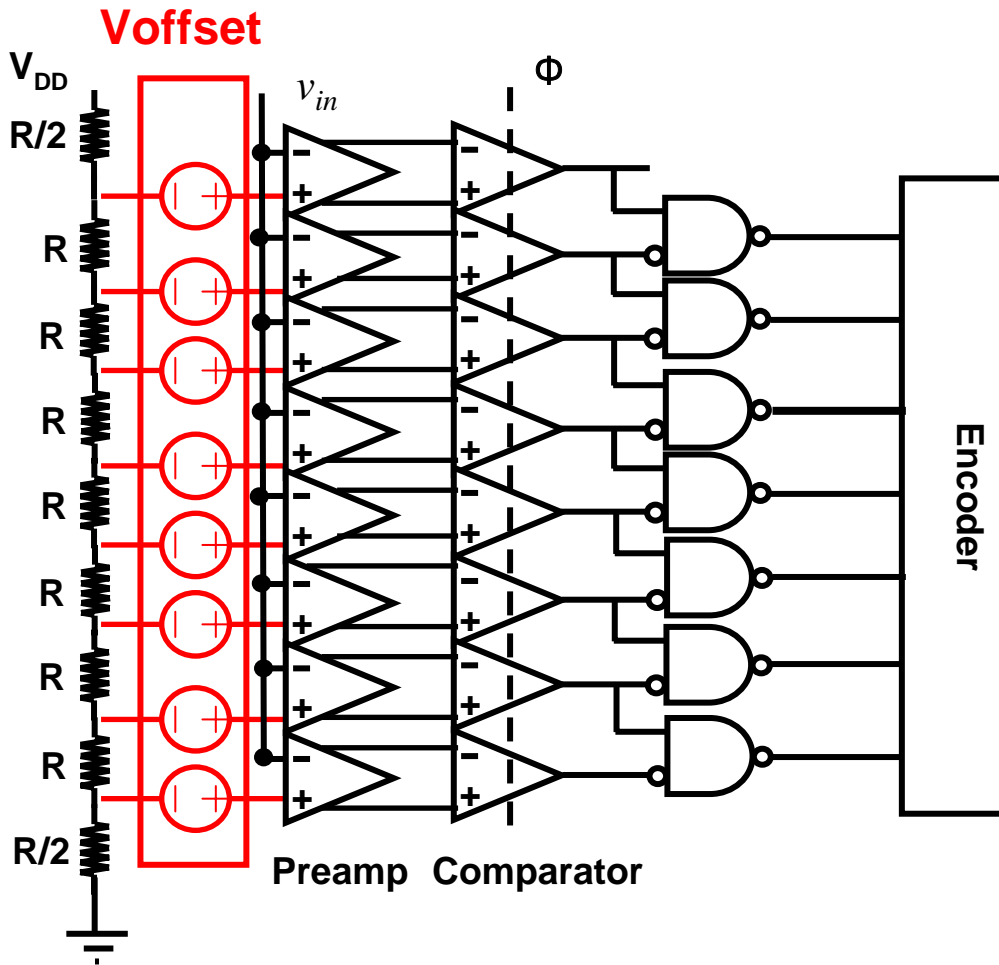
サンプリング周波数



過去の6bitCMOSADCと目標値の比較

- 研究背景と研究目標
- **研究課題**
- 回路構成とシミュレーション検討
- 結果

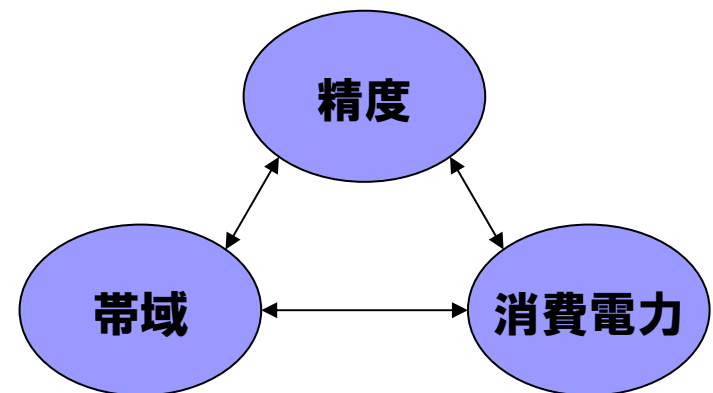
# 並列型ADCの研究課題



## ■ 研究課題

- 比較器のオフセットによる精度の悪化
- オフセットを小さくするには面積の増加が伴い帯域低下、消費電力増加
- ダイナミックレンジの低下による精度の悪化
- 前段増幅器の広帯域化による消費電力の増加

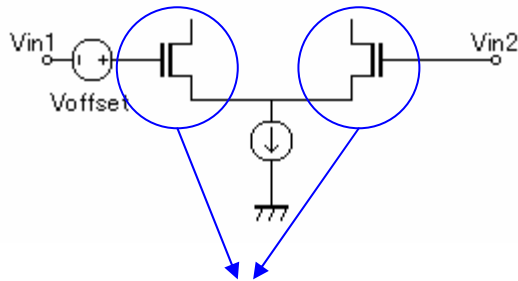
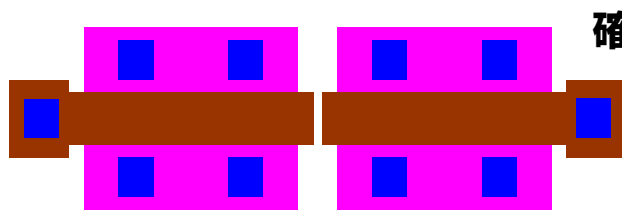
精度、帯域、消費電力のトレードオフ



# 並列型ADCの研究課題

## ■ 比較器オフセット

- トランジスタミスマッチによるしきい値のばらつきに起因

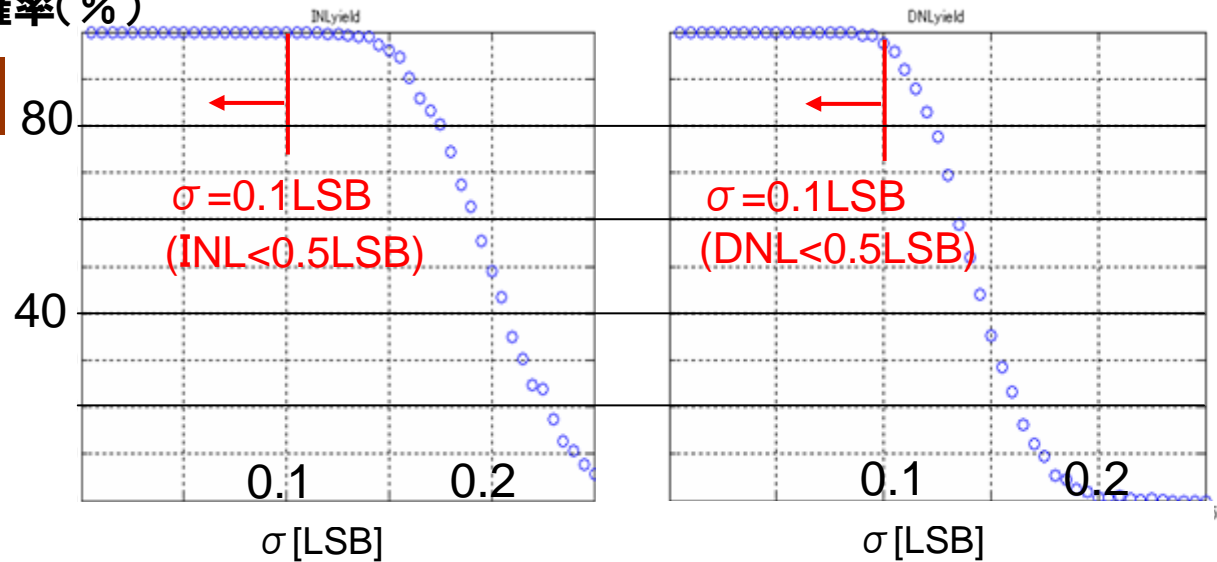


しきい値ばらつき

$$\sigma(V_{TH}) = \frac{A_{VTH}}{\sqrt{LW}}$$

INL、DNLが0.5LSB以下となる確率

確率(%)



MATLABによる1000回のモンテカルロ解析  
比較器オフセットvs目標INL, DNL達成確率

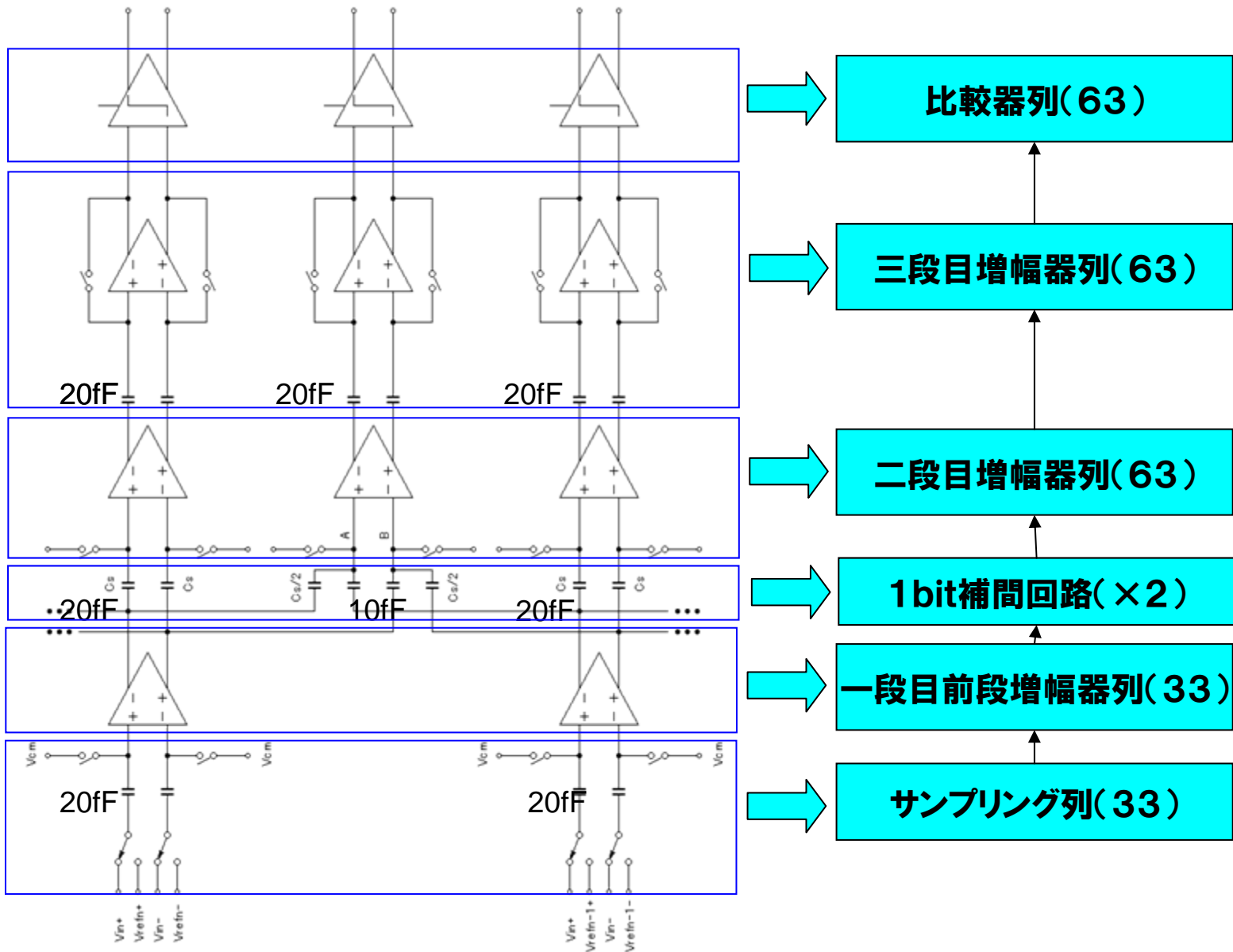
INL、DNL ≤ 0.5LSB

⇒比較器オフセット電圧の標準偏差 ≤ 0.1LSB

- 研究背景と研究目標
- FlashADCの研究課題
- 回路構成とシミュレーション検討
- 結果

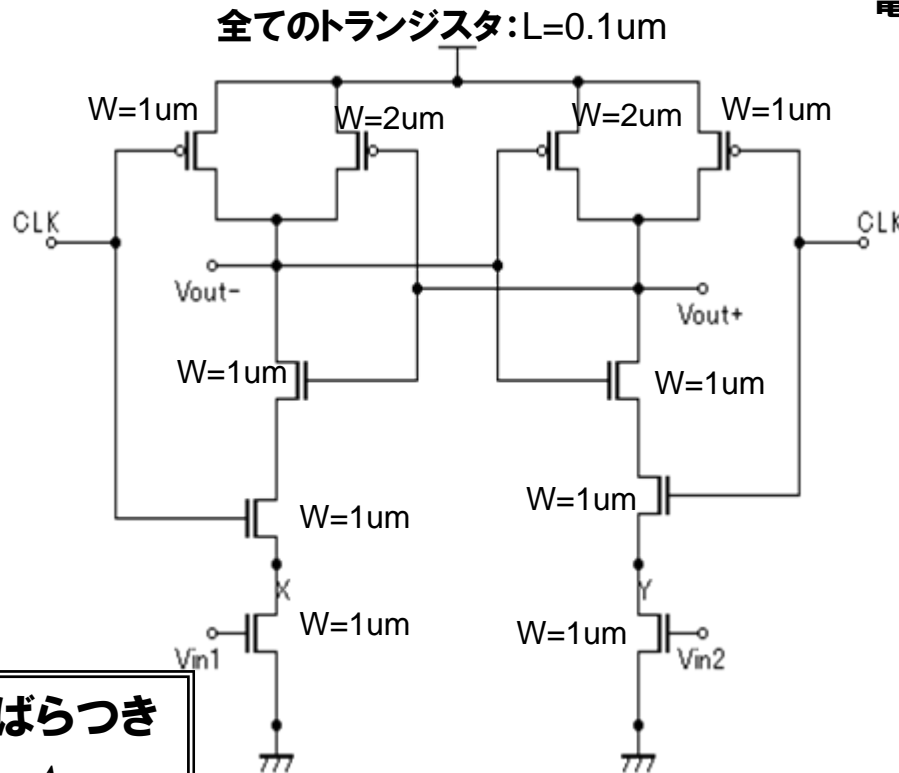


# 全体回路

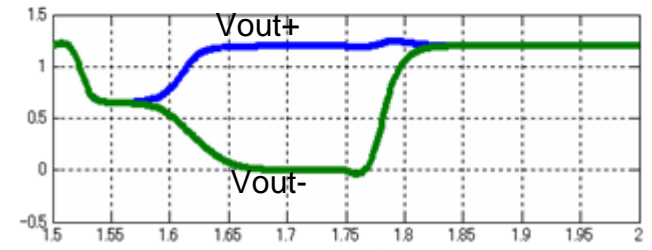
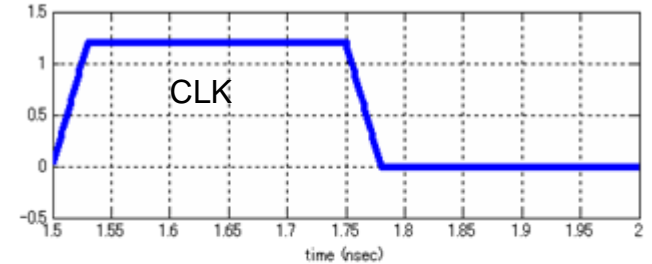


# 比較器

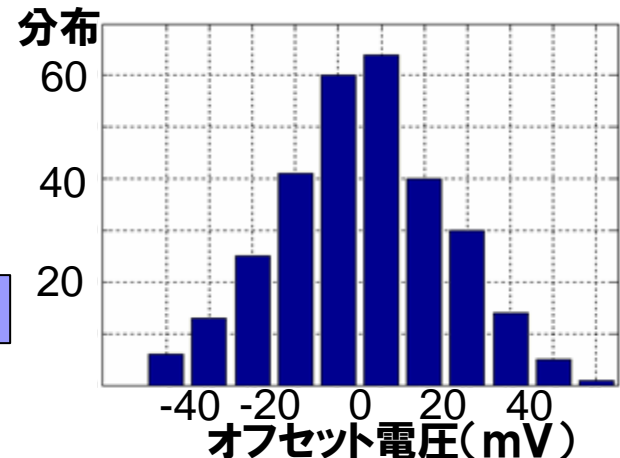
- 低消費電力化のためにダイナミックコンパレータを採用



電圧(V) Spectre Transient解析



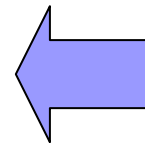
300回のモンテカルロ解析結果



しきい値ばらつき

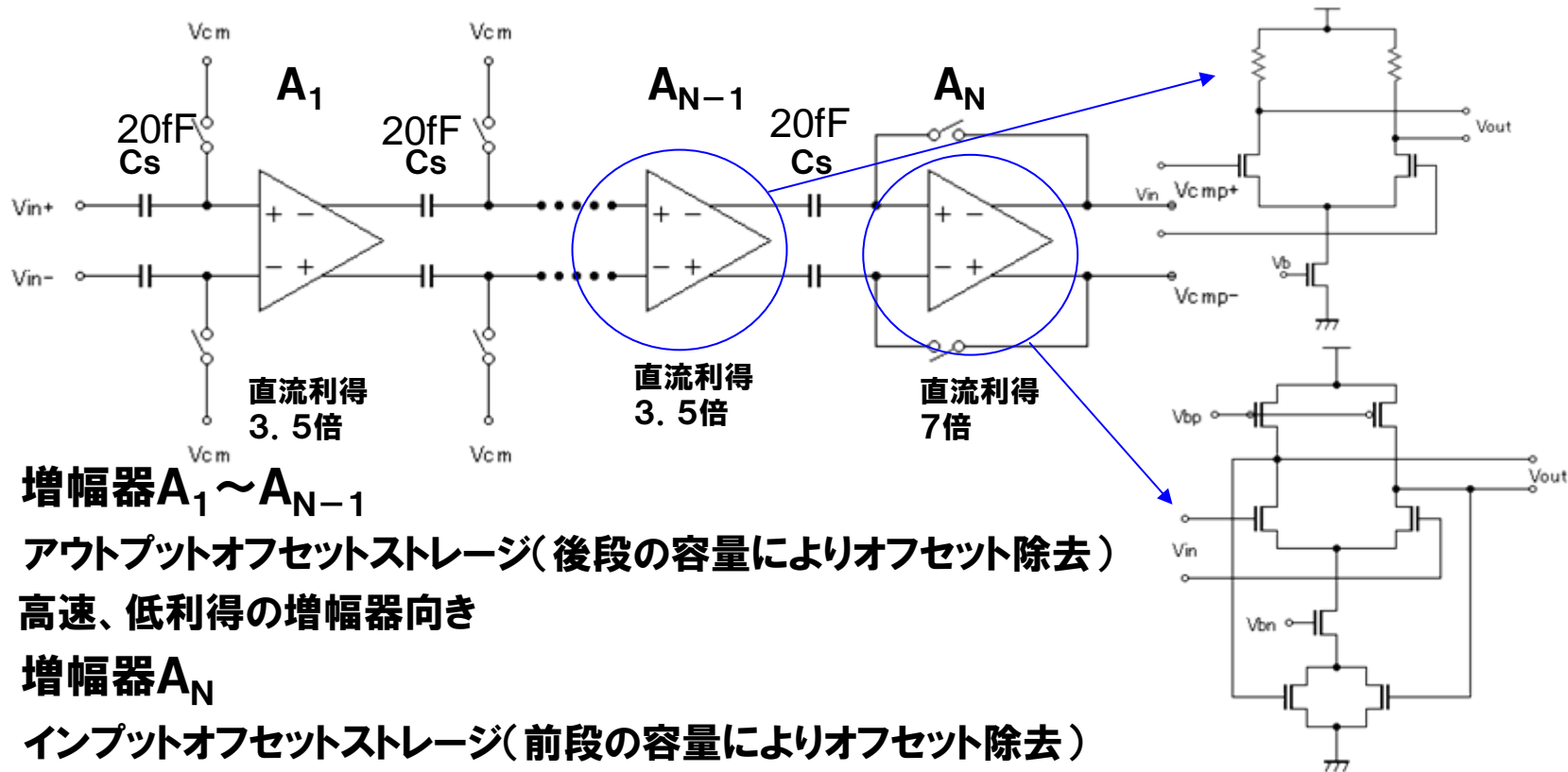
$$\sigma(V_{TH}) = \frac{A_{VTH}}{\sqrt{LW}}$$

$\sigma(V_{offset}) = 19.7mV (A_{VTH} = 4mV)$   
 $\Rightarrow$  **1LSB以上の標準偏差**



# 前段増幅器

- 比較器の前段に増幅器を接続し、入力換算オフセットを低減



- 増幅器  $A_1 \sim A_{N-1}$

アウトプットオフセットストレージ(後段の容量によりオフセット除去)  
高速、低利得の増幅器向き

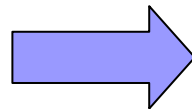
- 増幅器  $A_N$

インプットオフセットストレージ(前段の容量によりオフセット除去)  
低速、高利得の増幅器向き

N段目増幅器オフセット

比較器オフセット

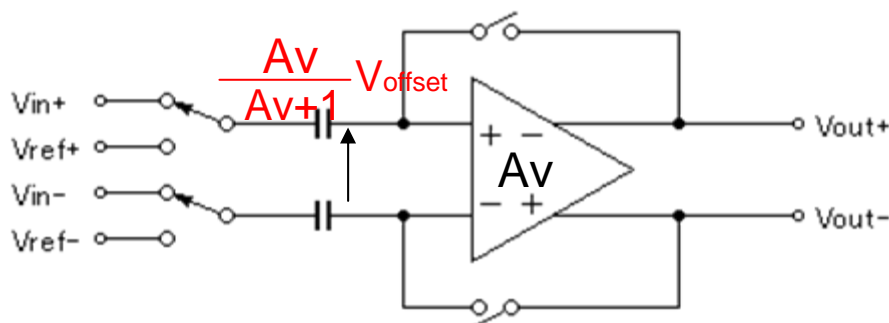
入力換算オフセット電圧



$$V_{os_{in}} \approx \frac{1}{A_1 A_2 \cdots A_{N-1}} \cdot \left( \frac{V_{os_N}}{1 + A_N} + \frac{V_{os}}{A_N} \right) \cdot \left( 1 + \frac{C_p}{C_s} \right)^N$$

# オフセットキャンセル方法の比較

## インプットオフセットストレージ

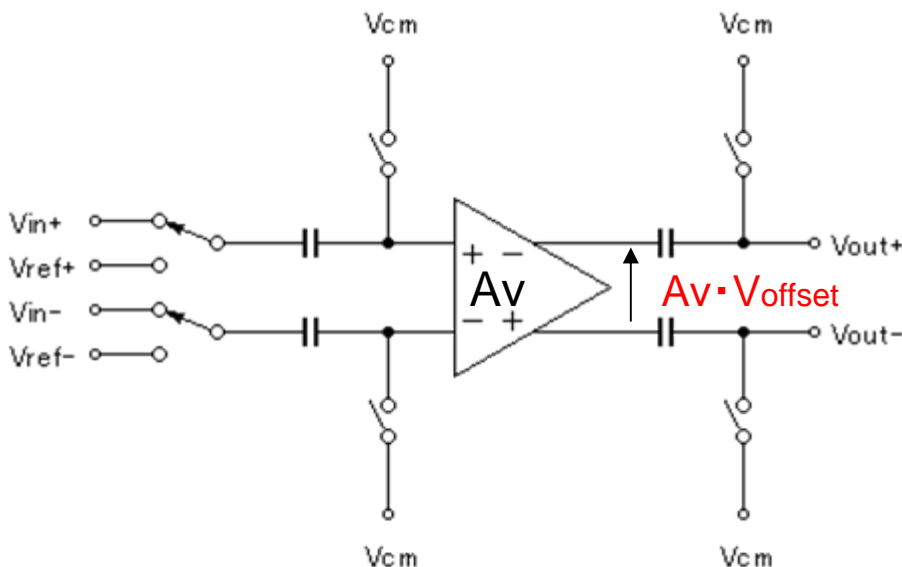


リセット期間中に入力側の容量により  
オフセット電圧を充電

$$\sigma(\Delta V_{offset})_{in} \Rightarrow \frac{V_{offset}}{1 + A_v}$$

⇒高利得が有利

## アウトプットオフセットストレージ



リセット期間中に出力側の容量により  
オフセット電圧を充電

$$\sigma(\Delta V_{offset})_{in} \Rightarrow 0$$

利得が大きいと出力電圧がオフセットに  
より飽和 ⇒低利得が有利

# 前段増幅器の高速動作(高利得vs多段)

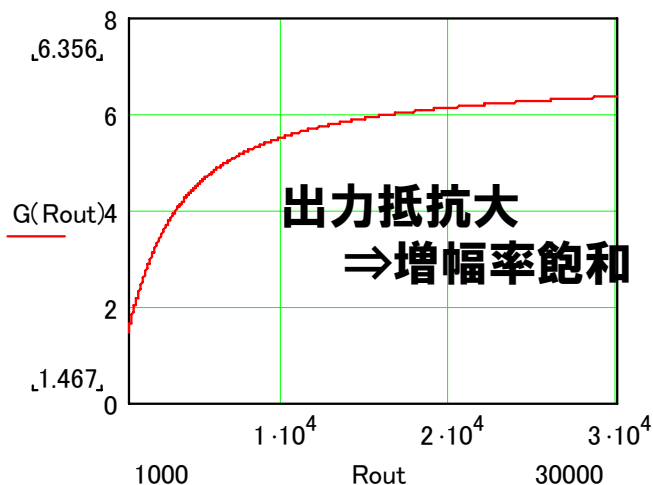
オフセットキャンセルには信号パスに容量が必要 → 高速化難

## ■ 信号増幅率

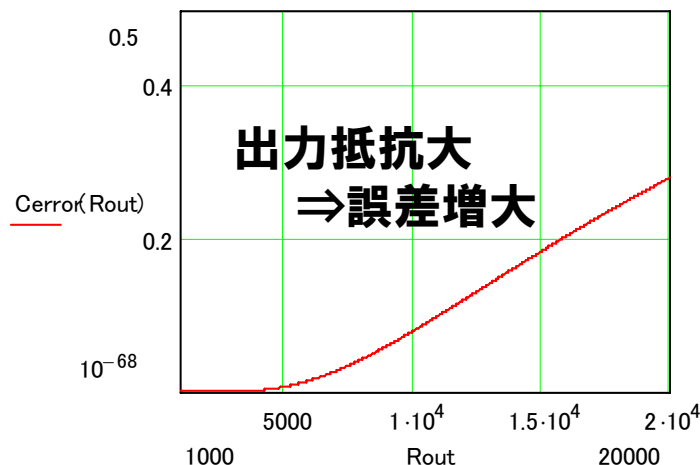
- 出力抵抗大⇒サンプリング周期に対して時定数が大きくなり信号増幅率飽和

## ■ オフセットキャンセル誤差

- 出力抵抗大⇒出力電圧がリセット期間にセトリングせずオフセットキャンセル誤差増大



時定数を考慮した信号増幅率



オフセットキャンセルの誤差係数

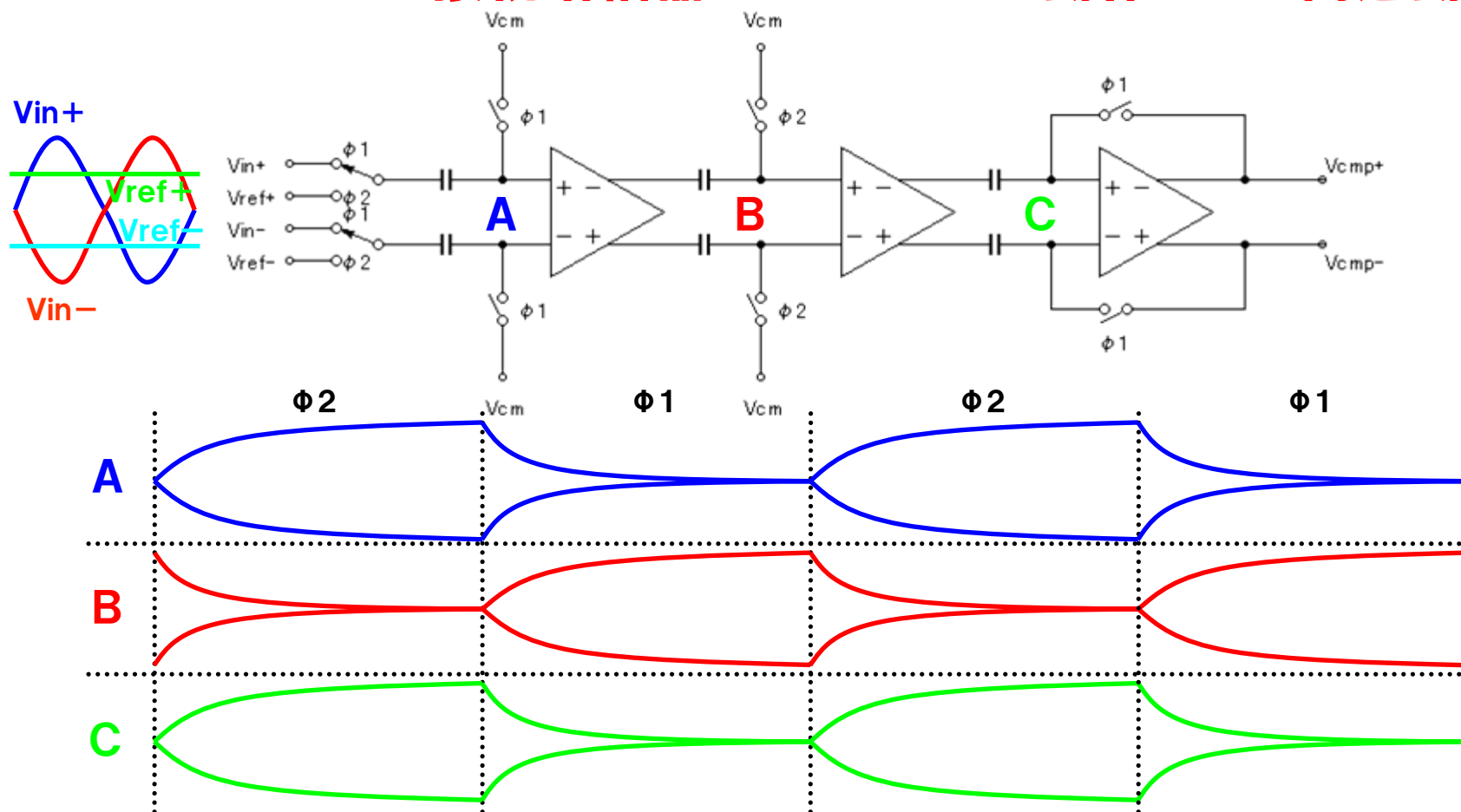
⇒高速化のために1段当たりの利得の小さい3段カスケード増幅器を採用

# 前段増幅器の高速化

## ■ パイプライン化

□ 前段増幅器の利得とスピードはトレードオフ

⇒カスケード接続増幅器のパイプライン動作による高速動作

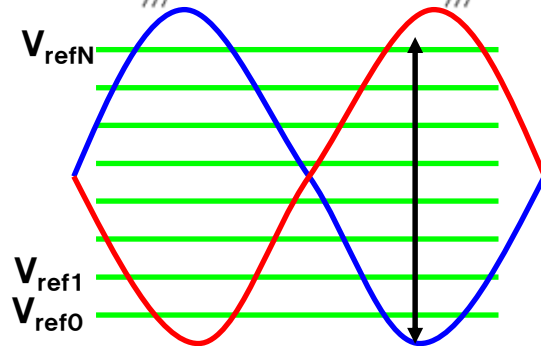
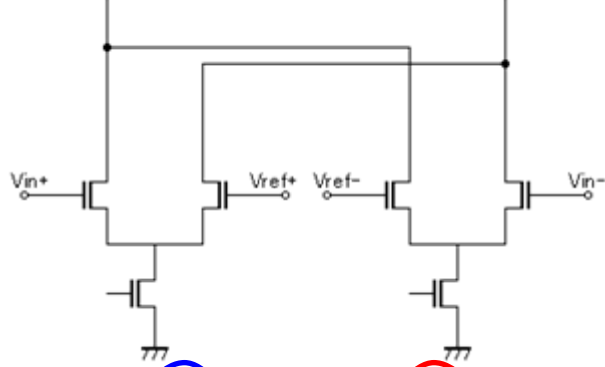


# サンプリング

## ■ オフセットキャンセルに用いる入力容量によるサンプリング

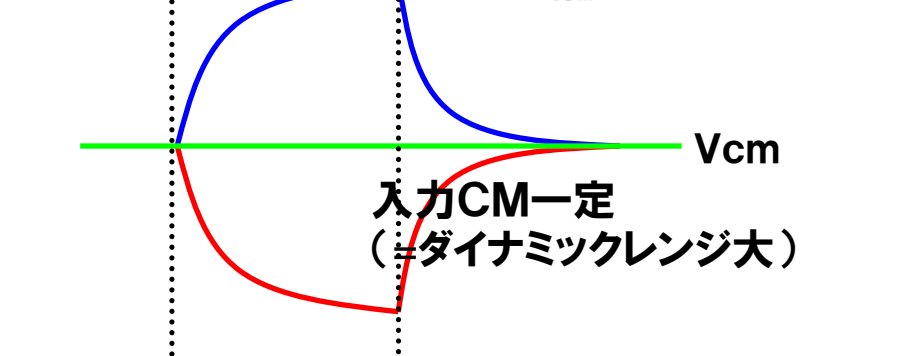
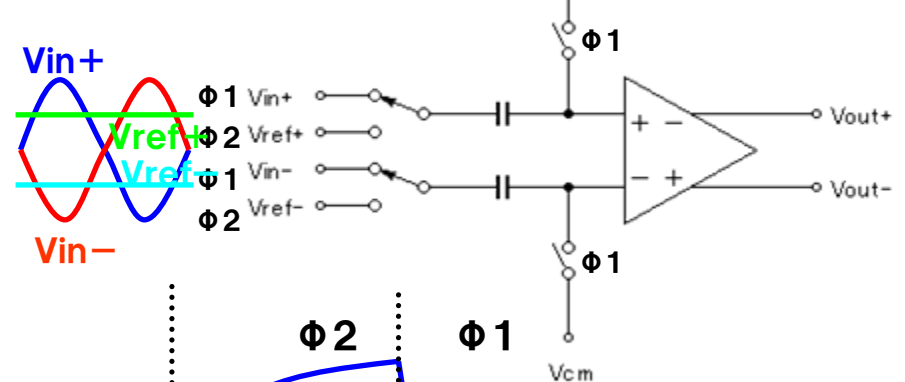
### 通常のサンプリング

前段増幅器列の前に一つのS&H回路



多数の入力CMレンジ  
に対応する必要性  
(=ダイナミックレンジ小)

### 各前段増幅器でサンプリング



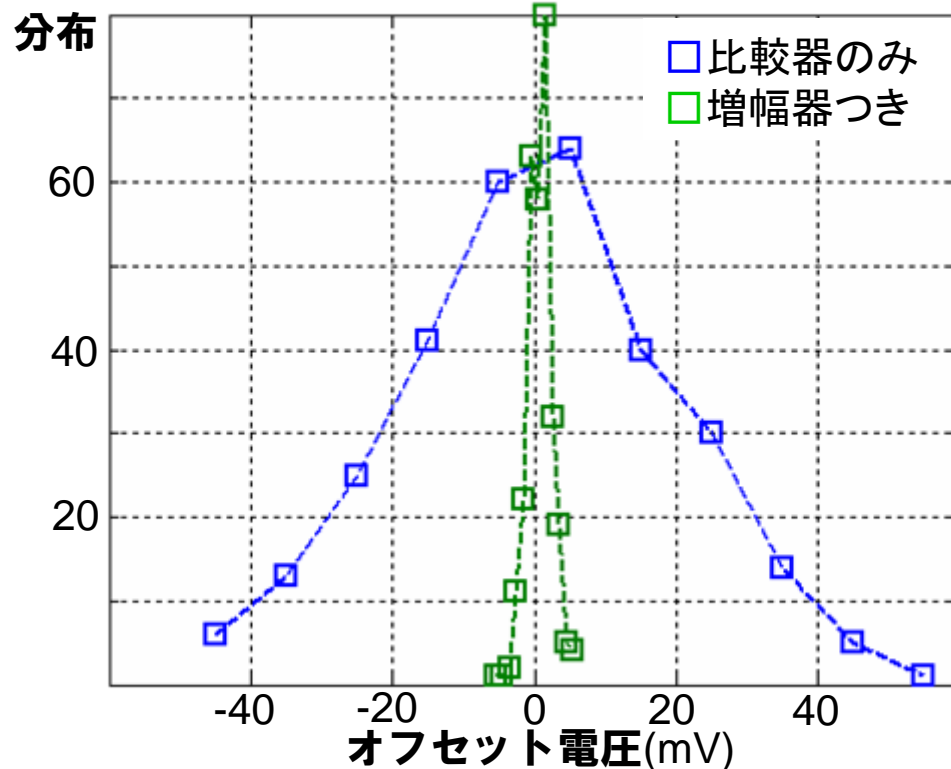
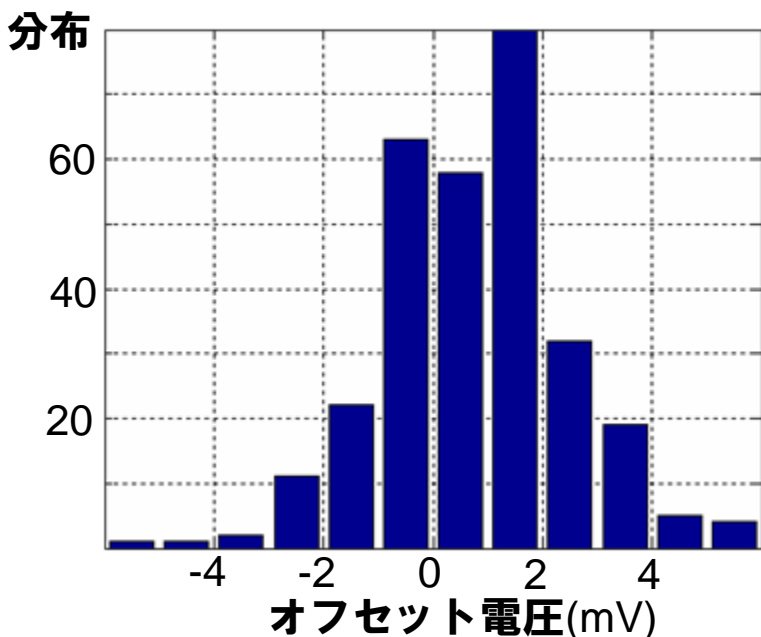
入力CM一定  
(=ダイナミックレンジ大)

差動で1.2Vppの入力電圧範囲をとることが可能

⇒ダイナミックレンジの拡大

# 前段増幅器

- ダイナミックコンパレータに前段増幅器を接続しモンテカルロ解析



比較器オフセット標準偏差  
19.7mV



比較器+増幅器オフセット標準偏差  
1.70mV

入力換算オフセット電圧を0.1LSB以下に削減

⇒高精度化の実現







# 周波数特性評価方法

## Coherent Sampling:

入力信号周期の奇数倍の期間サンプリングして並び替え、仮想的に低い周波数(基本波)へと変換する方法

$$N_{cycle} \times T_{sig} = N_{sample} \times T_{sampling}$$

$N_{sample}$ : サンプル数

$T_{sig}$ : 信号周期

$N_{cycle}$ : 解析時間に対して信号周期の比

$T_{sampling}$ : サンプル周期

$$f_{in} = \frac{f_s}{PN}$$

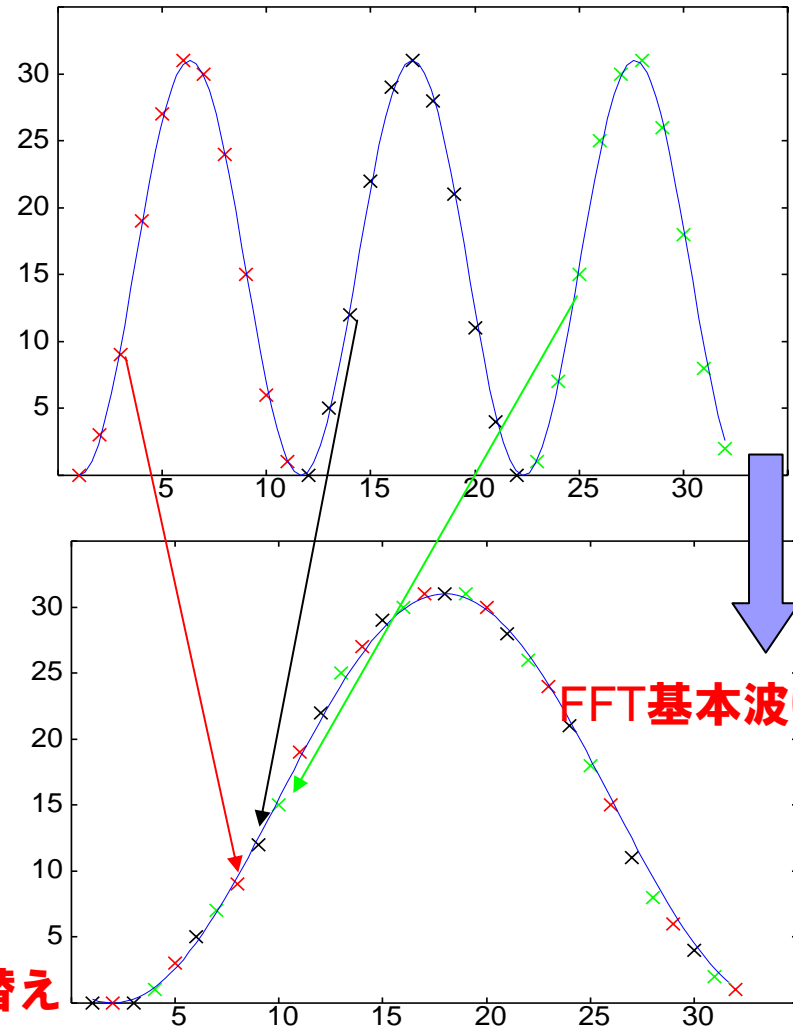
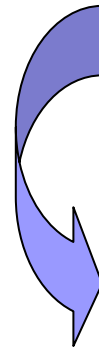
$$f_{sig} = \frac{mf_s}{P} \pm f_{in}$$

$$P = \frac{mN \pm 1}{N_{cycle}}$$

間引き数Pの決定により並び替え

m: 整数

P: データ間引き数

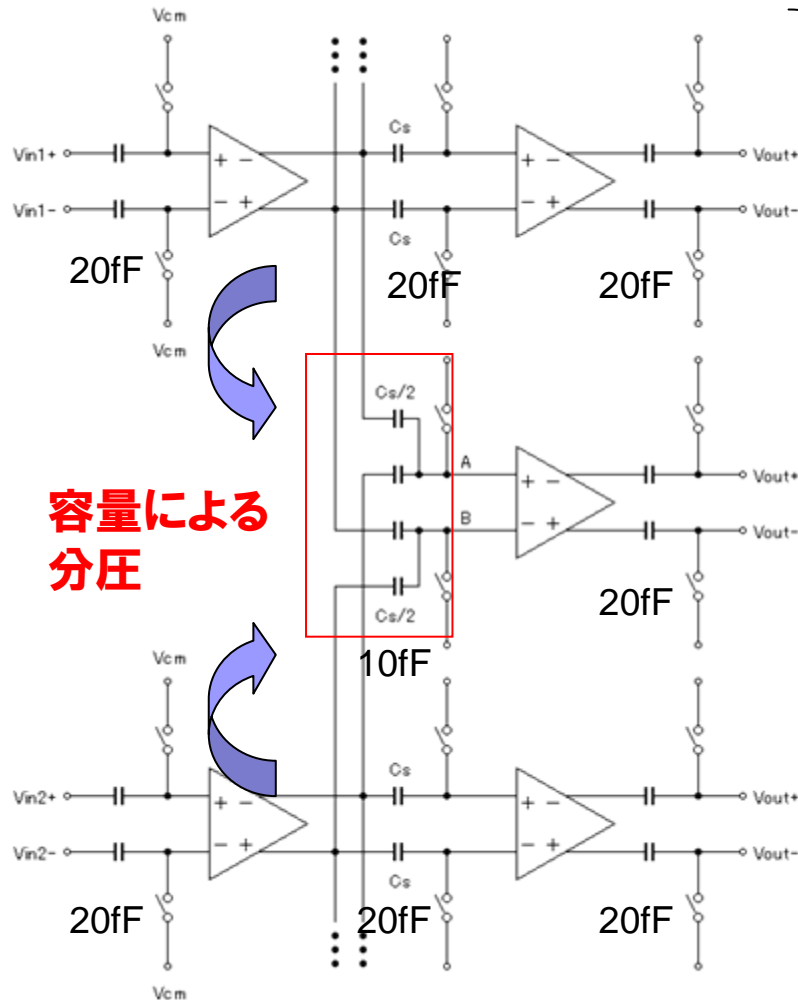


$N_{sample}=32$

$N_{cycle}=3$

# 補間回路

## ■ 容量比により多ビット補間可能



2bit以上でも補間可能

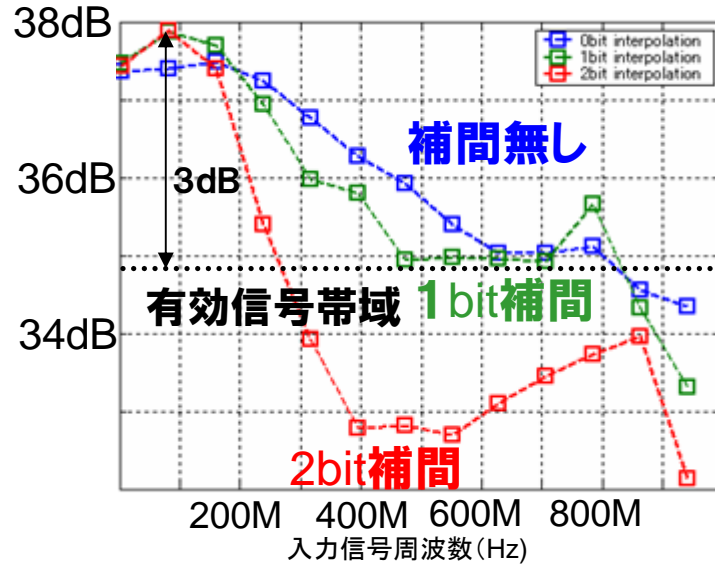
何ビット分補間したらよいか？

- ①補間無し
- ②1bit補間
- ③2bit補間

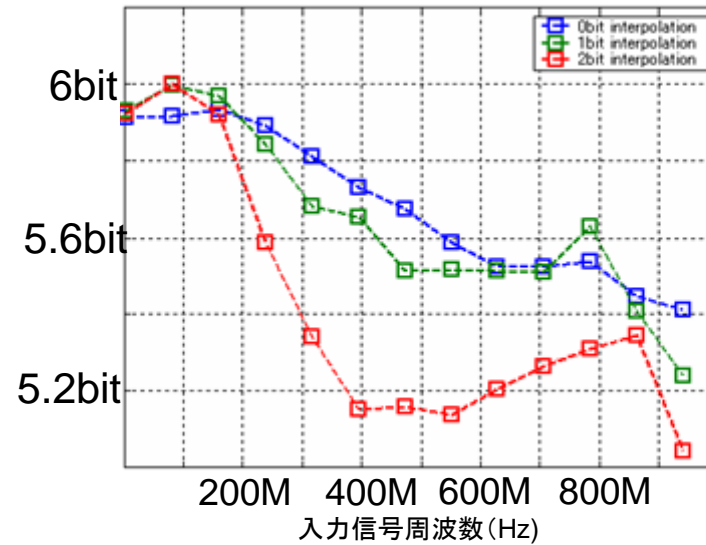
シミュレーションにより確認

# 補間回路 周波数特性比較

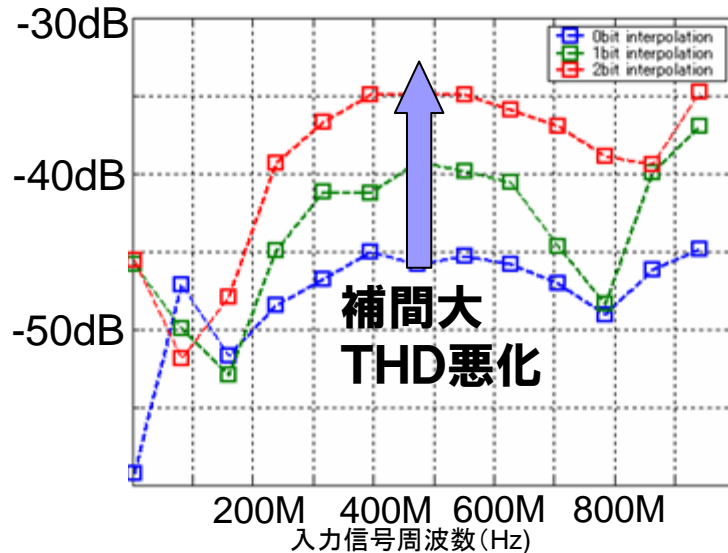
SNDR



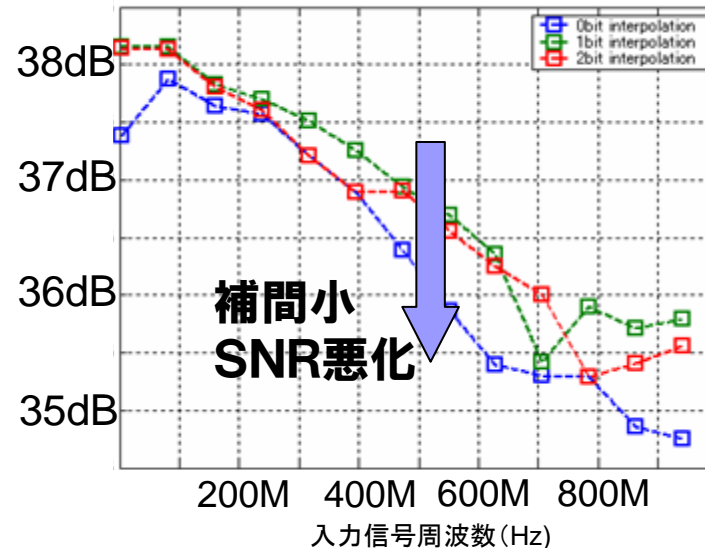
ENOB



THD



SNR



50Ωドライブを仮定

# 補間回路

## ■ 補間の効果

### □ メリット

- 消費電力が減る。
  - 入力容量が小さくなる。
- } SNR改善

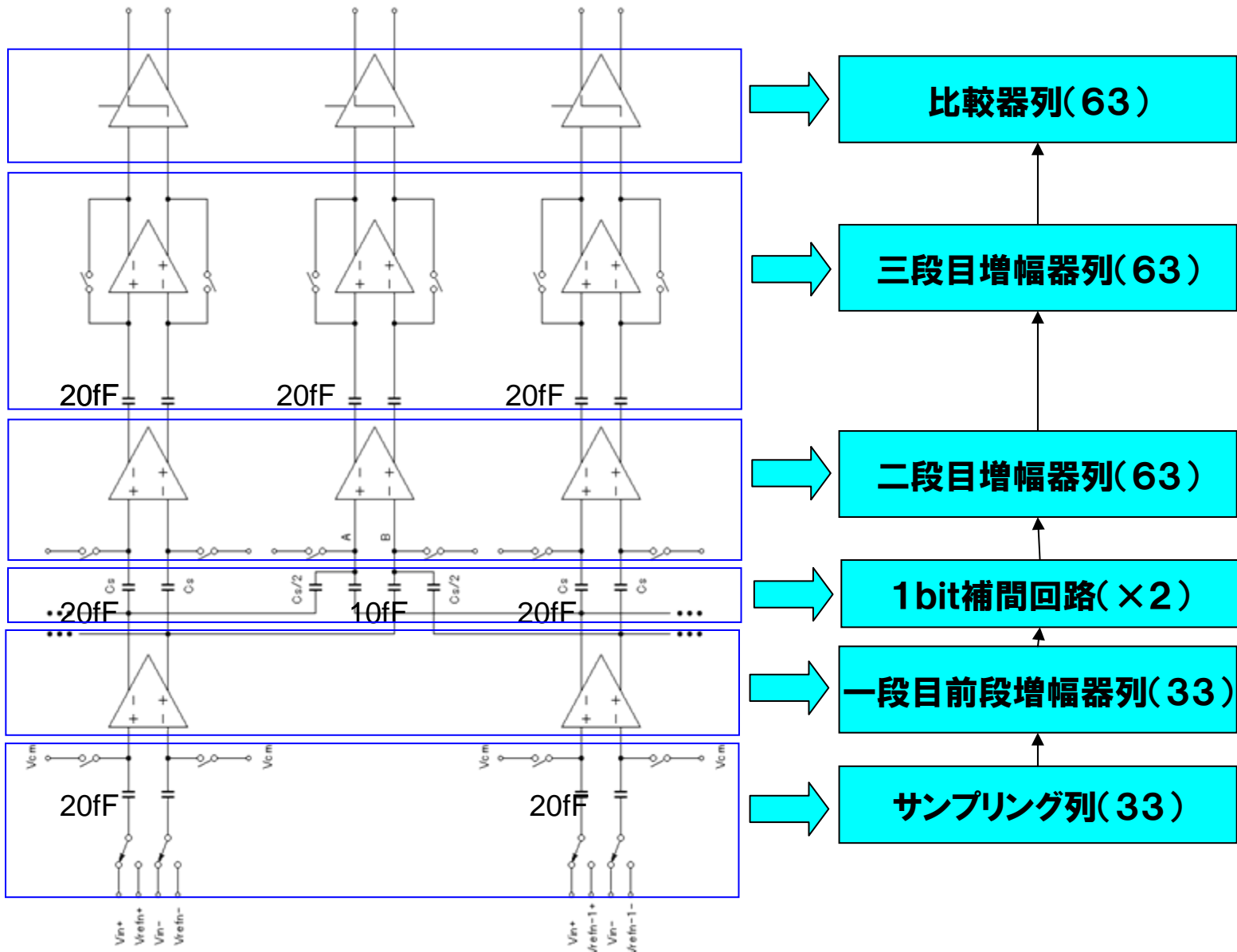
### □ デメリット

- 前段増幅器の帯域が狭くなる。
- } THD悪化

- 補間によりTHDは大きくなるが、SNRが大きくなることによって、有効信号帯域(800MHz)を保ちながら低消費電力化が可能となる。

- 本研究では最適な補間ビット数は1ビット

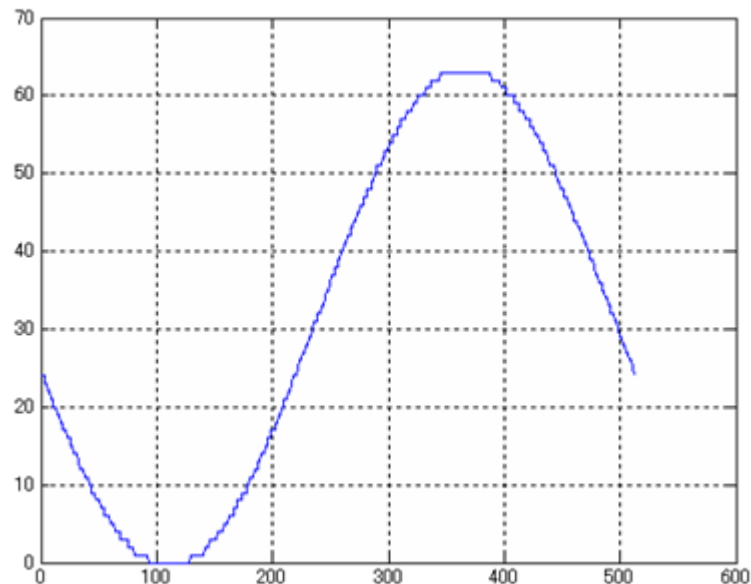
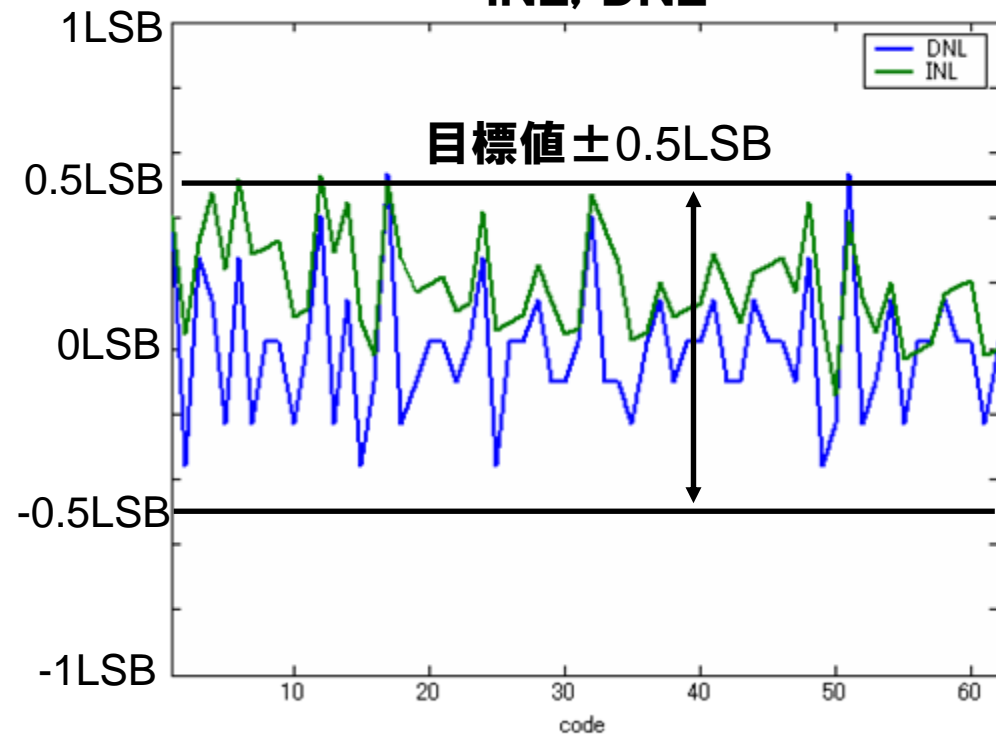
# 全体回路



⇒トランジスタにばらつきを入れ全体シミュレーション

# 全体ばらつきシミュレーション結果

INL, DNL



## 3. 9MHz再生波形

|        |          |
|--------|----------|
| INLmax | 0.52LSB  |
| INLmin | -0.14LSB |
| DNLmax | 0.53LSB  |
| DNLmin | -0.36LSB |

|      |         |
|------|---------|
| ENOB | 5.81bit |
| SFDR | 48.9dB  |
| SNR  | 37.4dB  |
| THD  | -45.2dB |

@3.9MHz



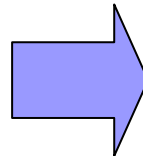
- 研究背景と研究目標
- FlashADCの研究課題
- 回路構成
- **まとめ**

# まとめ

- **ダイナミックコンパレータ**
  - 低消費電力化
- **高速前段増幅器**
  - 比較器オフセットの除去
  - ダイナミックレンジの最大化
  - パイプライン動作による高速化
- **補間回路**
  - 広帯域を保ちながら低消費電力化


## 目標値

|          |          |
|----------|----------|
| 消費電力     | 100mW    |
| 変換周波数    | 2GSPS    |
| INL, DNL | 0.5LSB以下 |
| 信号帯域     | 500MHz   |



## シミュレーション結果

|          |            |
|----------|------------|
| 消費電力     | 85mW(アナログ) |
| 変換周波数    | 2GSPS      |
| INL, DNL | 0.53LSB以下  |
| 信号帯域     | 800MHz     |



**終わり**