

パイプライン型ADC性能の デザインルール依存性

-ゲインブーストアンプの特性の考慮-

宮原 正也 倉科 隆 松澤 昭

東京工業大学大学院
理工学研究科
松澤研究室

発表内容

1. 研究目的

2. パイプライン型ADC性能のデザインルール依存性

- ・パイプライン型ADCの必要性能
- ・トランジスタの微細化による性能への影響
- ・GBWの算出及び変換周波数の推定

3. ゲインブーストアンプの特性の考慮

- ・ゲインブーストアンプの周波数特性
- ・pole-zero (doublet) のセトリング特性への影響
- ・ゲインブーストアンプの設計方針
- ・シミュレーション例

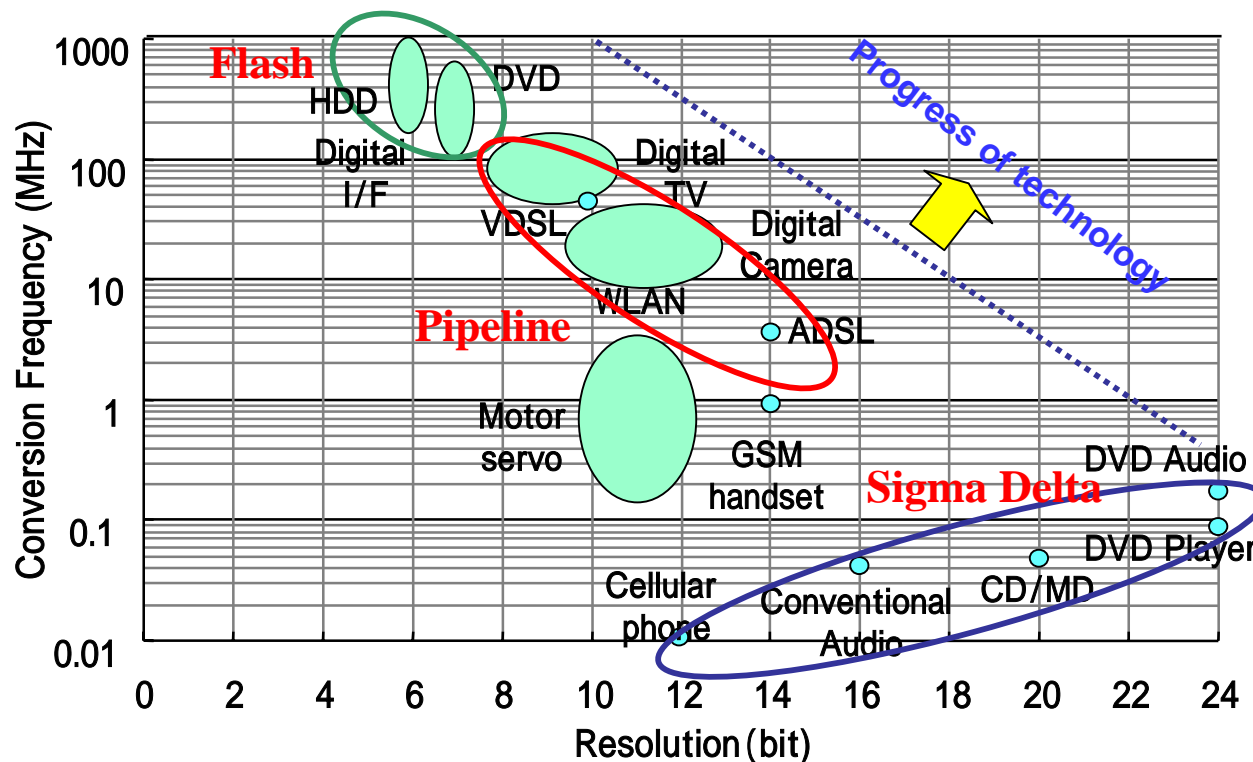
4. まとめ

研究目的

- ・8-14bit、数M ~ 数100MHzの変換ではパイプライン型ADC
- ・更に高精度、高速、低消費電力なパイプライン型ADCの開発が期待

素子の微細化により高速化・低電力化が可能か？

0.35 μm ~ 90nmのトランジスタをキャラクタライズし性能予想



1. 研究目的

2. パイプライン型ADC性能のデザインルール依存性

- ・パイプライン型ADCの必要性能
- ・トランジスタの微細化による性能への影響
- ・GBWの算出及び変換周波数の推定

3. ゲインブーストアンプの特性の考慮

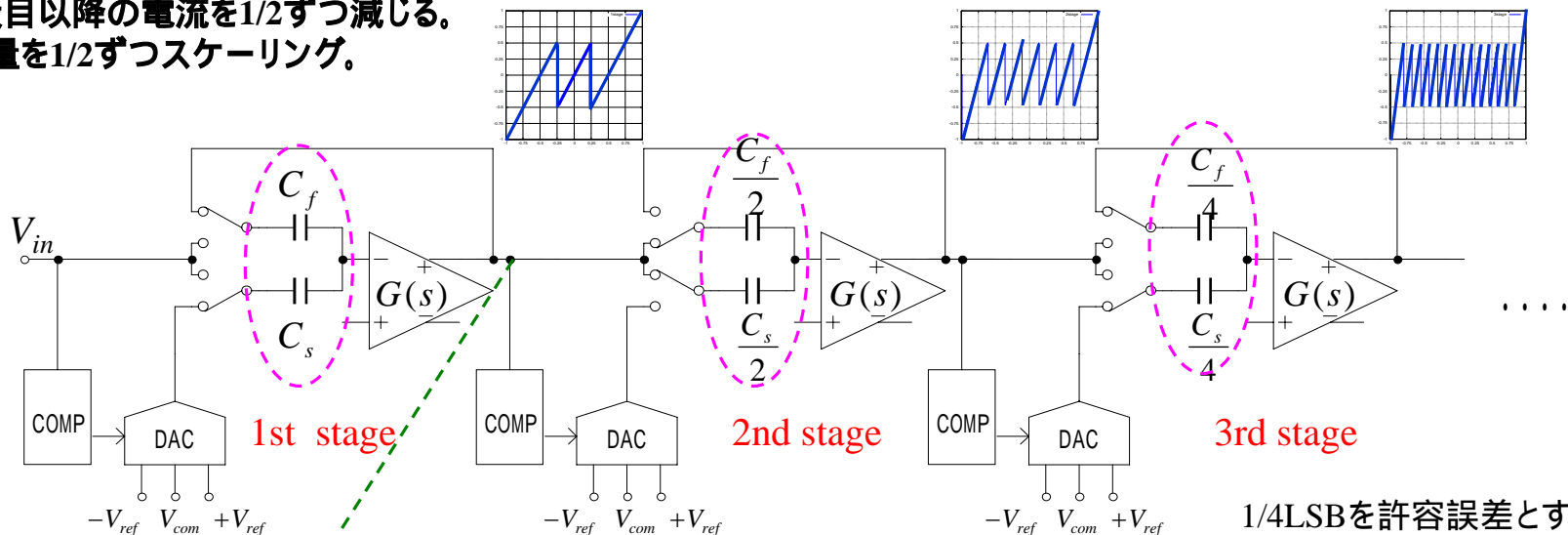
- ・ゲインブーストアンプの周波数特性
- ・pole-zero (doublet) のセトリング特性への影響
- ・ゲインブーストアンプの設計方針
- ・シミュレーション例

4. まとめ

パイプライン型ADCの必要性能

低消費電力化のため
2段目以降の電流を1/2ずつ減じる。
容量を1/2ずつスケールング。

パイプライン型ADCの構成 (1.5bit冗長構成)



1/4LSBを許容誤差とすると

スタティックな誤差 $E_{error-s} \approx -\frac{1}{G_0\beta}$

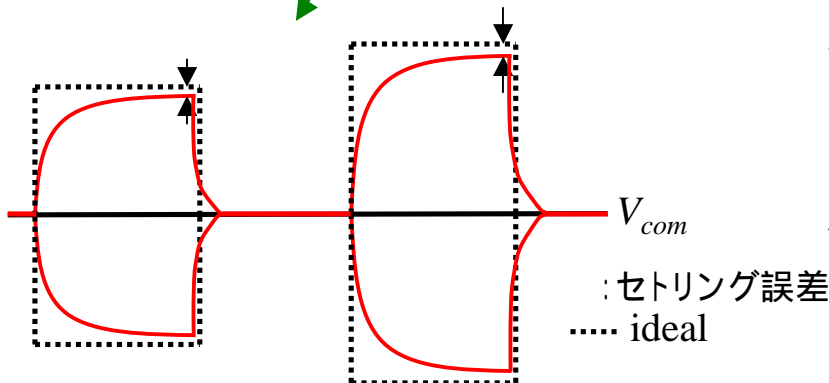


$$G_0 (dB) > 6N + 10$$

ダイナミックな誤差 $E_{error-d} \approx \frac{1}{G(s)\beta}$



$$GBW_{close} > \frac{1}{3} N \cdot f_c$$



オペアンプ回路の性能

オペアンプの構成

性能バランスの良いフォールドドカスコード型について検討する。

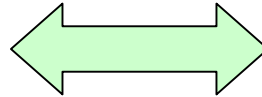
精度

$$SNR \propto \frac{C_L V_{sig}^2}{kT}$$

信号電力: $C_L V_{sig}^2$

ノイズ電力: $C_L V_n^2 \propto kT$

相反する



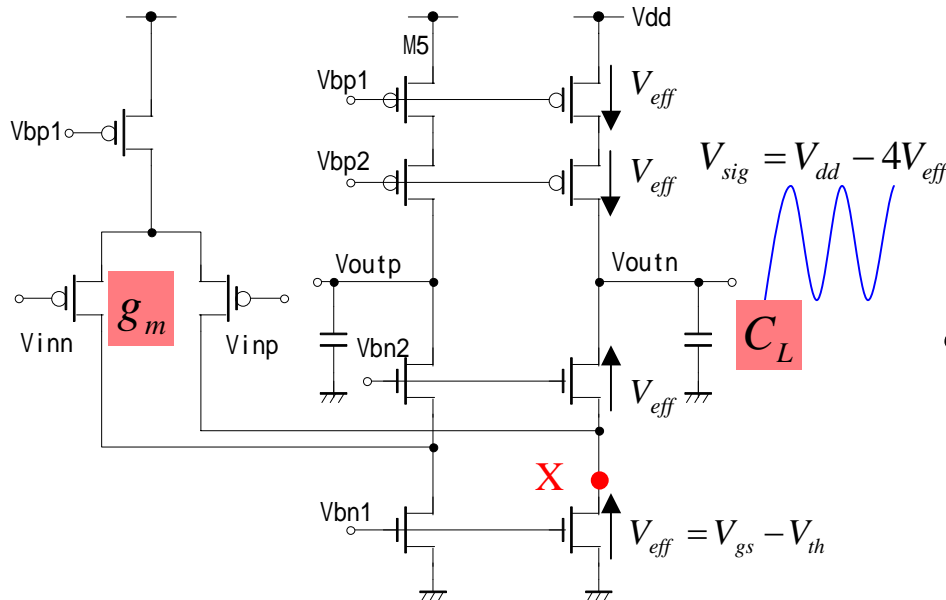
速度

$$u \approx \frac{g_m}{C_L}$$

u : ユニティゲイン周波数

第2ポール: $p_2 \approx \frac{g_x}{C_x}$

安定動作条件: $u < \frac{1}{2} p_2$

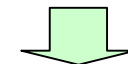


精度を保ちつつ高速化するには

$$g_m = \frac{2I_{ds}}{V_{eff}}$$

より電流を増す。

寄生容量の増加により u は飽和

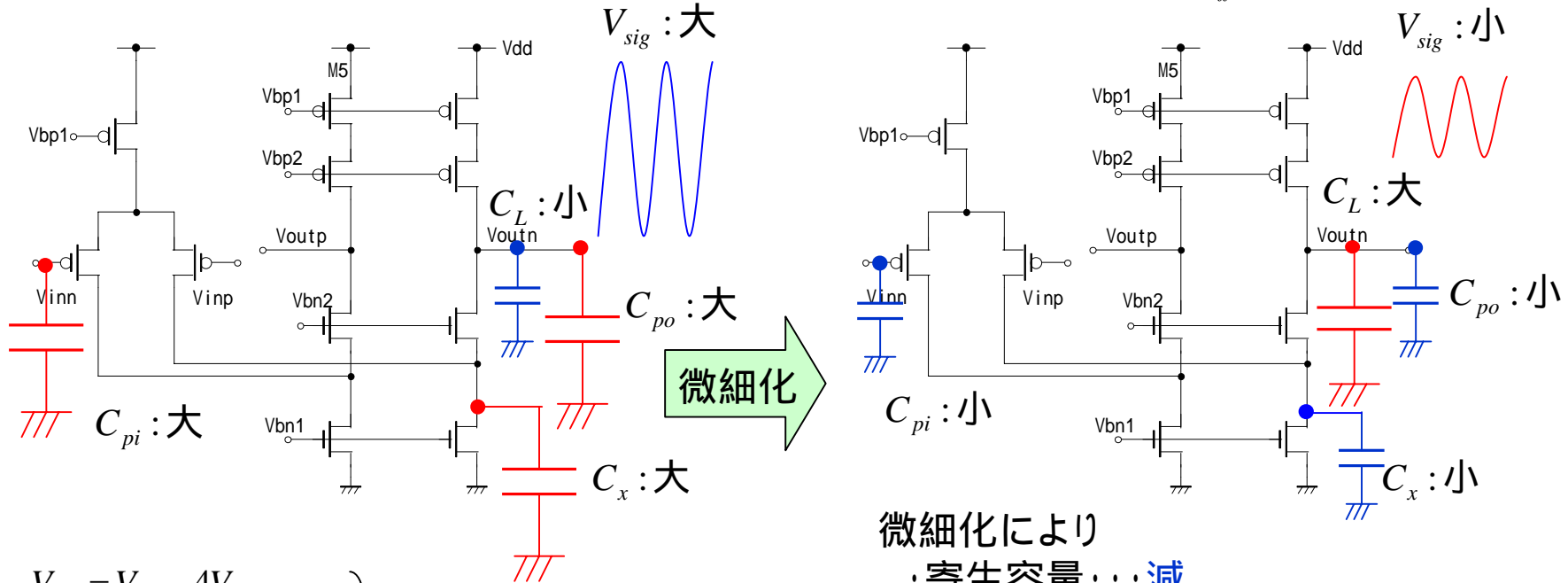


寄生容量を減らすため微細化

トランジスタの微細化によるオペアンプの性能変化

微細化により寄生容量は減るが帰還容量は大きくなる。

$$g_m = \frac{2I_{ds}}{V_{eff}} \text{ (一定)}$$



$$V_{sig} = V_{dd} - 4V_{ref}$$

$$SNR \propto \frac{C_L V_{sig}^2}{kT}$$

V_{sig} が小さくても
同じSNRを得るためには
帰還容量を増やす。

$$u \approx \frac{g_m}{C_L}$$

第2ポール: $p_2 \approx \frac{g_x}{C_x}$

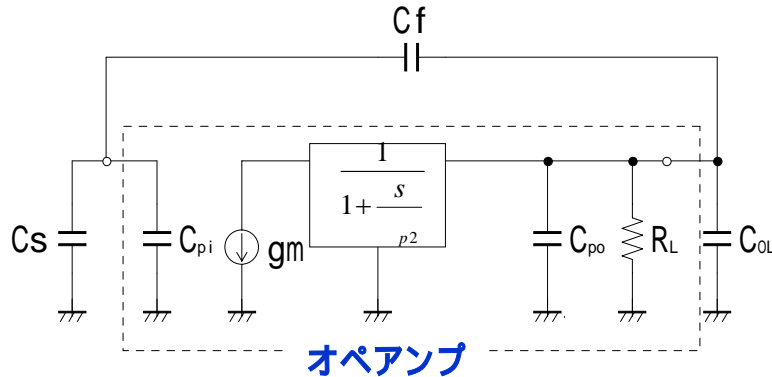
微細化により

- ・寄生容量・・・減
- ・信号振幅・・・減
- ・帰還容量・・・大

これらのトレードオフの関係を明らかにし、
デザインルールを考慮した最適設計を実現する

ステージの GBW_{close} の算出

単位変換回路の GBW



単位変換回路の等価回路

g_m : 入力部トランジスタのトランスコンダクタンス

C_s, C_f : 帰還容量

C_{oL} : 次段の帰還容量の和

C_{pi}, C_{po} : オペアンプの入力, 出力寄生容量

R_L : オペアンプ出力抵抗

p_2 : オペアンプの第2ポール

クローズドループにおける GBW_{close} は

$$GBW_{close} = \frac{g_m}{2 C_L}$$

は帰還係数、 C_L は実効負荷容量を表し、

$$= \frac{C_f}{C_f + C_s + C_{pi}}$$

$$C_L = C_{po} + C_{oL} + \frac{C_f (C_s + C_{pi})}{C_f + C_s + C_{pi}}$$

次段の帰還容量を1/2ずつ減ずると仮定すると、

$$C_{oL} = \frac{C_s + C_f}{2}$$

$$C_o = C_s = C_f = C_{oL}$$

これより、

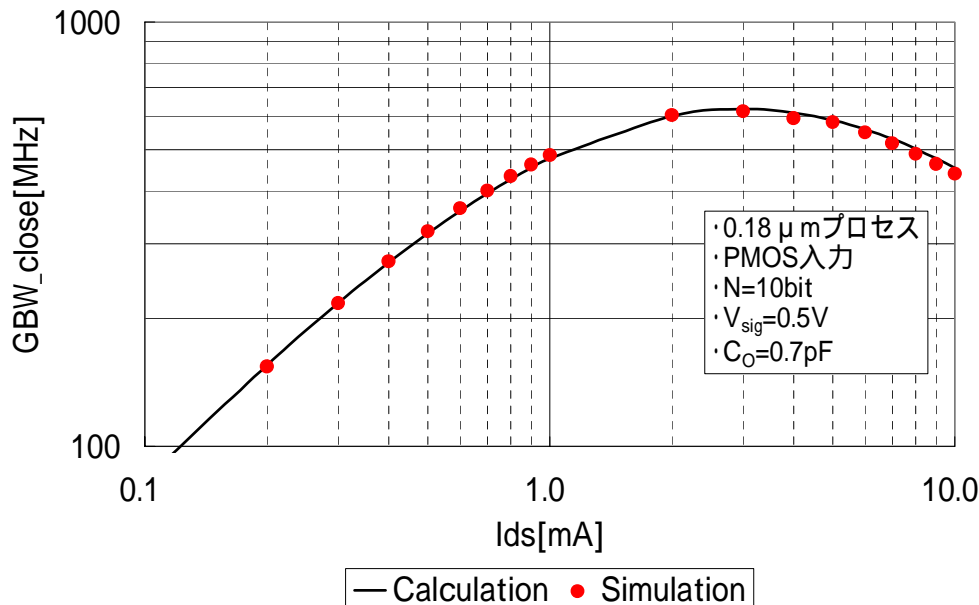
$$GBW_{close} = \frac{g_m}{2 C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)}$$

GBW_{close}の推定

電流 I_{ds} で規格化した寄生容量 C_{pi}, C_{po} をもとに GBW_{close} を推定する。

$$GBW_{close} = \frac{g_m}{2 C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)} = \frac{I_{ds}}{C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}$$

計算値とシミュレーション結果の比較



I_{ds} :各トランジスタの動作電流(全体では4 I_{ds})

$$g_m = \frac{2I_{ds}}{V_{eff}} \quad C_{pi} = \alpha_{pi} I_{ds}, \quad C_{po} = \alpha_{po} I_{ds}$$

α_{pi}, α_{po} はデザインルールに依存

C_o は熱雑音などを考慮して、

$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$

理論値とSim結果は5%以内で一致

(入力の寄生容量 C_{gd} のミラー効果を2倍として計算)

PMOS入力でパイプラインADCの変換周波数 f_c を推定

ADCの変換周波数の推定(1)

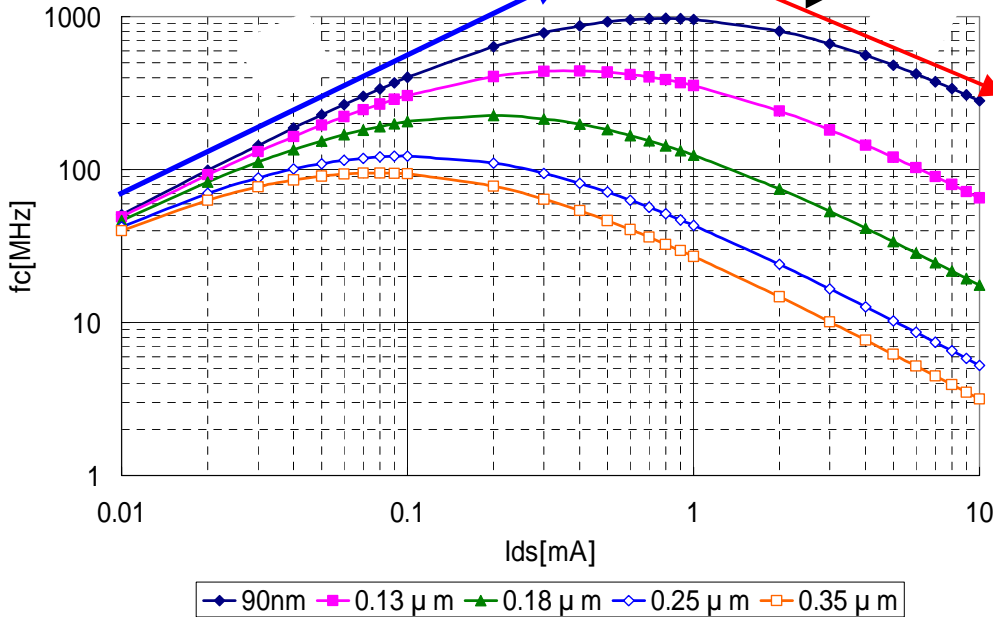
帰還容量 C_o よりも寄生容量 C_{pv}, C_{po} が小さい時は電流に比例して変換周波数 f_c は増加する。
 C_o よりも C_{pv}, C_{po} のどちらかが大きくなると f_c は飽和し、さらに C_{pv}, C_{po} 共に C_o より大きくなると f_c は電流に反比例する。

信号振幅1Vpp固定 8bit

$$C_o = 44 \text{ fF}$$

$$f_c < \frac{3GBW_{-close}}{N}$$

$$GBW_{-close} = \frac{I_{ds}}{C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}$$



電流－変換周波数特性 8bit

$C_o < C_{po}, C_{pi}$ のとき

$$GBW_{-close} \approx \frac{I_{ds}}{C_o V_{eff}} \cdot \frac{1}{3} \quad (I_{ds} \text{ に比例})$$

$C_{pi} < C_o < C_{po}$ のとき

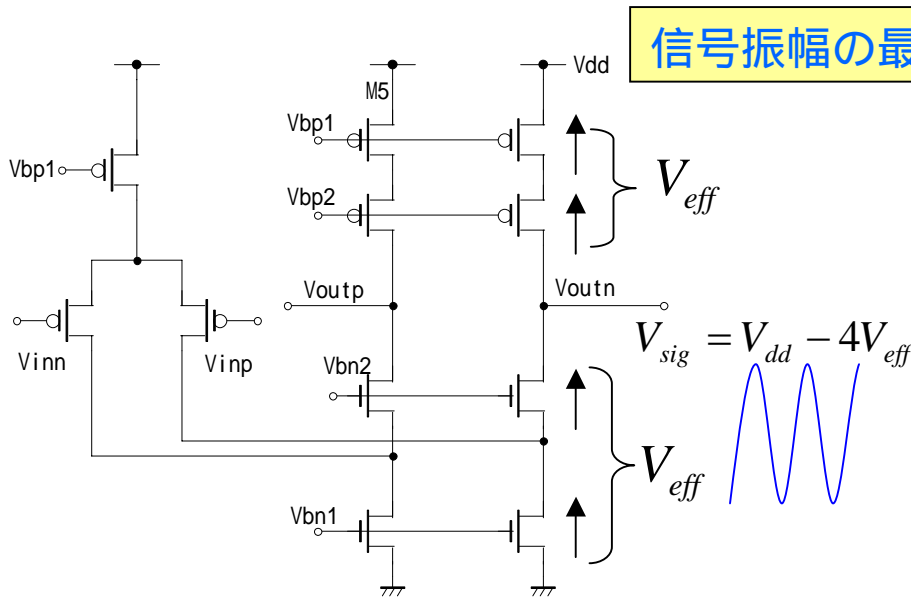
$$GBW_{-close} \approx \frac{1}{C_o V_{eff}} \cdot \frac{1}{3 + \frac{\alpha_{po} I_{ds}}{C_o}} \quad (\text{一定})$$

$C_o < C_{po}, C_o < C_{pi}$ のとき

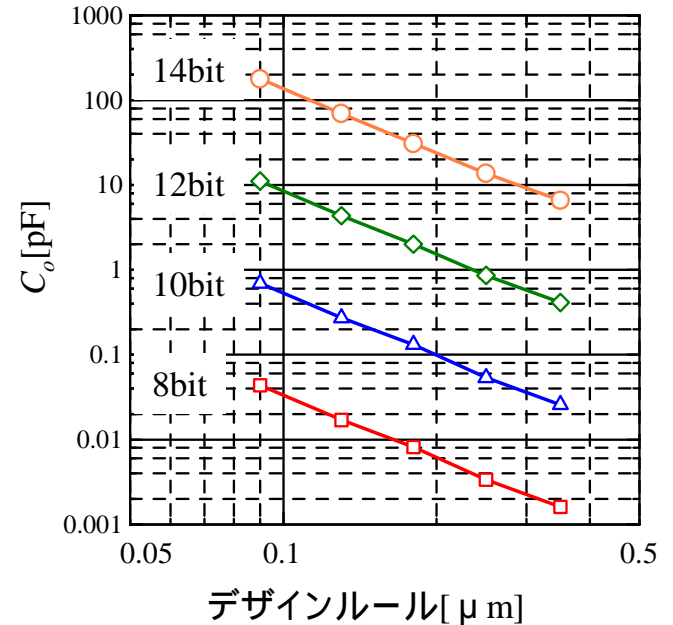
$$GBW_{-close} \approx \frac{1}{C_o V_{eff}} \cdot \frac{1}{3 + \frac{\alpha_{po} I_{ds}}{C_o}} \quad (I_{ds} \text{ に反比例})$$

ADCの変換周波数の推定(3)

各デザインルールの電源電圧 V_{dd} に合わせて信号振幅を最大化する。
 信号振幅を大きくすることで C_o を小さくし、 GBW_{close} を大きくする。



$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$



各デザインルールにおける必要容量

25fF以下のものについては25fFに切り上げて算出

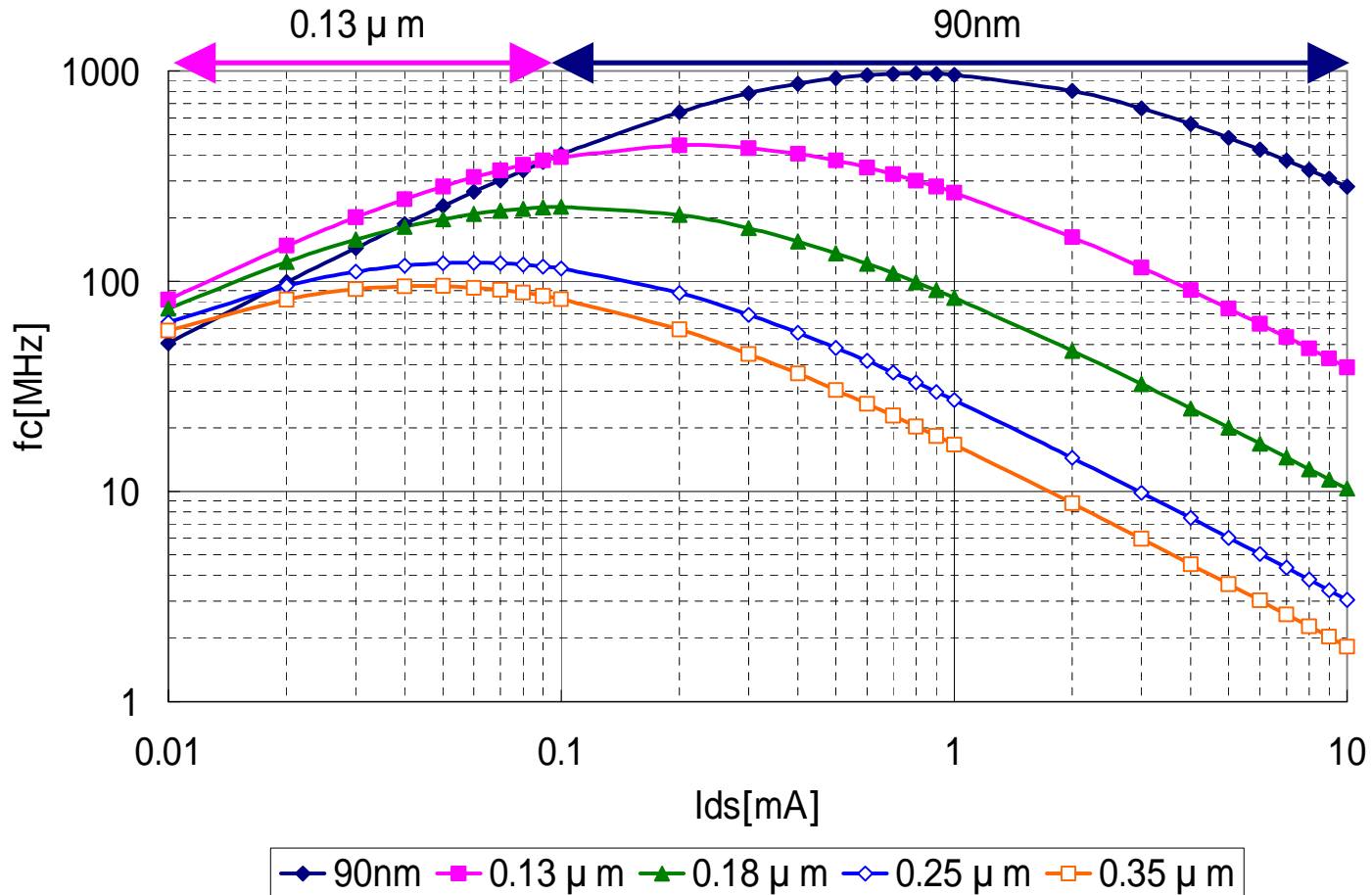
$V_{eff}=0.175$ とした時の V_{sig} の最適値

	90nm	0.13 μm	0.18 μm	0.25 μm	0.35 μm
V_{dd}	1.2V	1.5V	1.8V	2.5V	3.3V
V_{sig_pp}	1.0V	1.6V	2.2V	3.6V	5.2V

ADCの変換周波数の推定(4)

信号振幅の最適化(8bit)

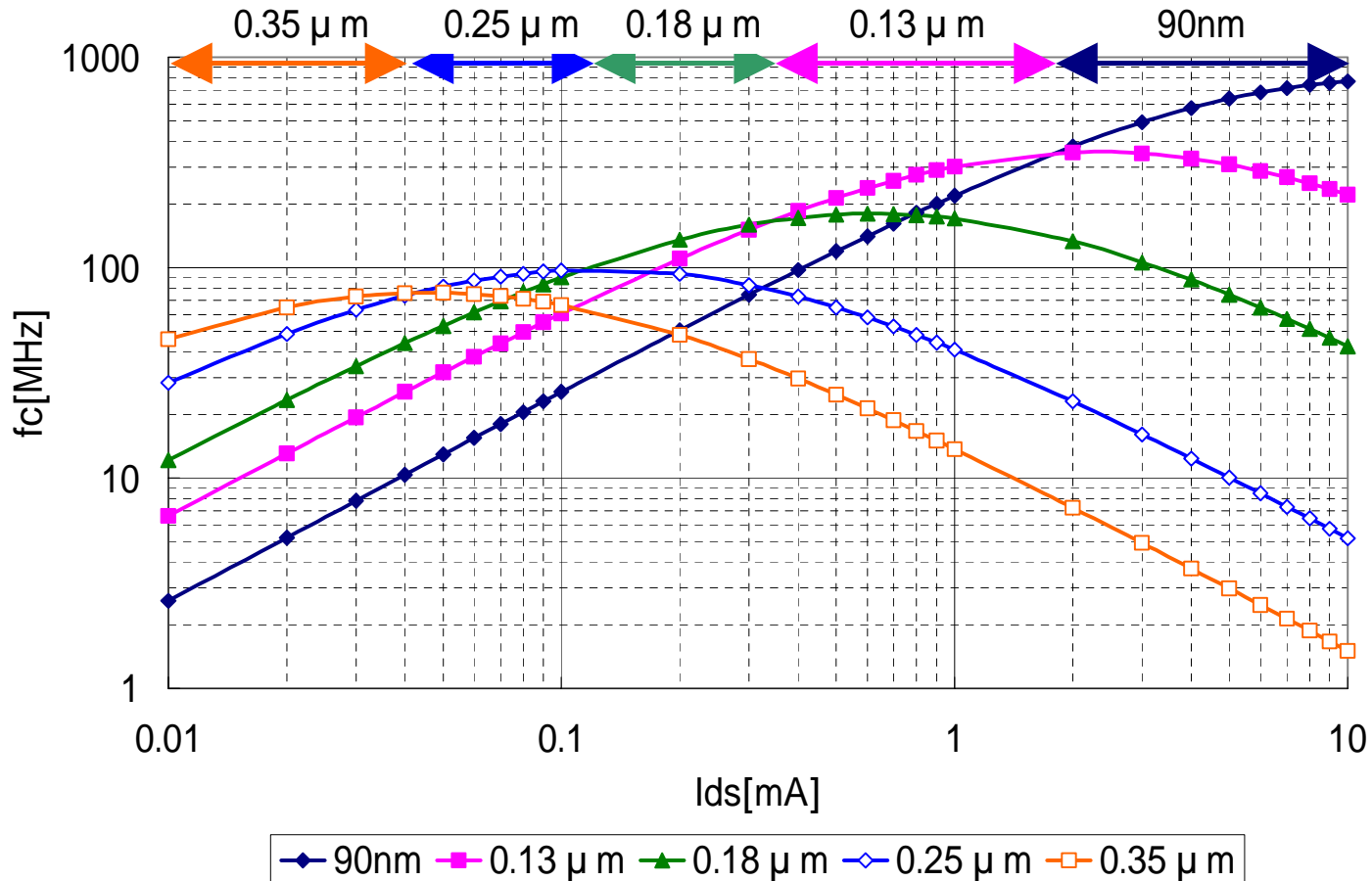
帰還容量が小さいので寄生容量の小さな微細プロセスが有利。



ADCの変換周波数の推定(4)

信号振幅の最適化(10bit)

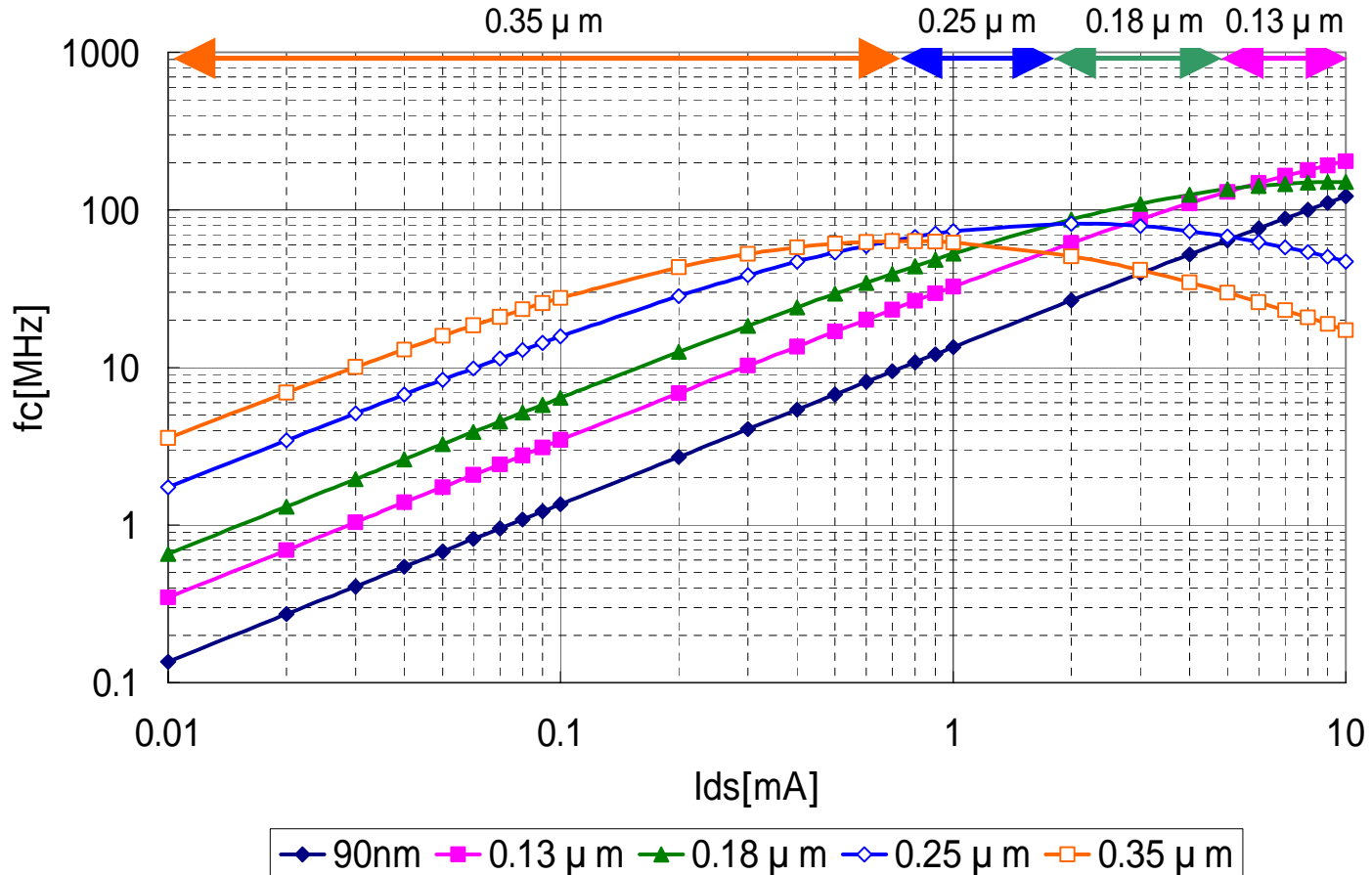
各デザインルールで有利な領域が存在する。



ADCの変換周波数の推定(4)

信号振幅の最適化(12bit)

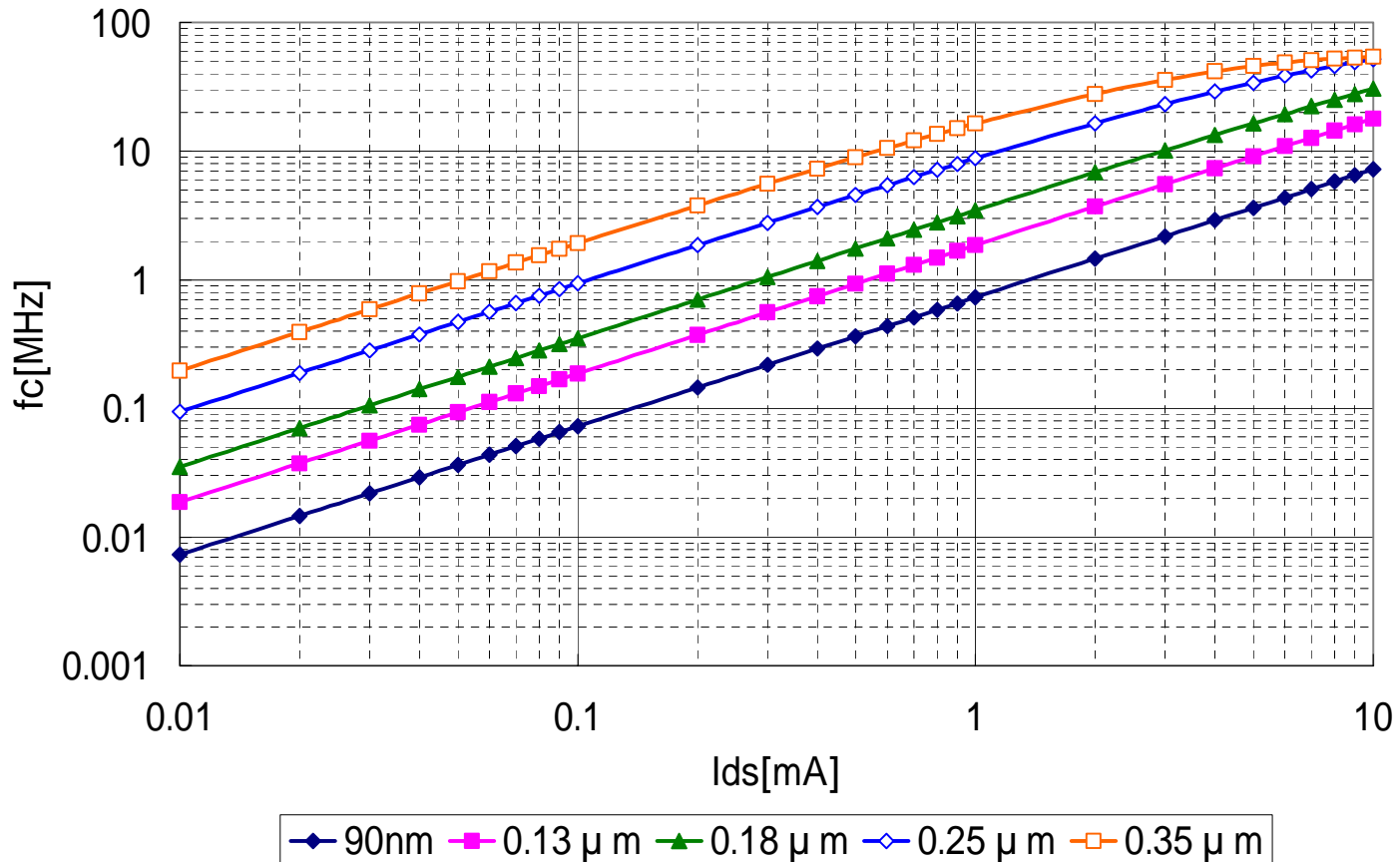
信号振幅の大きく取れる緩いプロセスが有利。
微細化の効果を得るには消費電流を大きくする必要がある。



ADCの変換周波数の推定(4)

信号振幅の最適化(14bit)

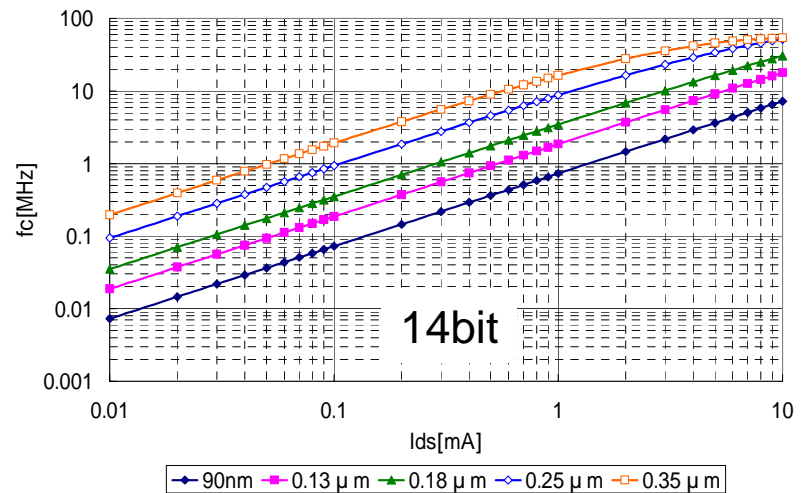
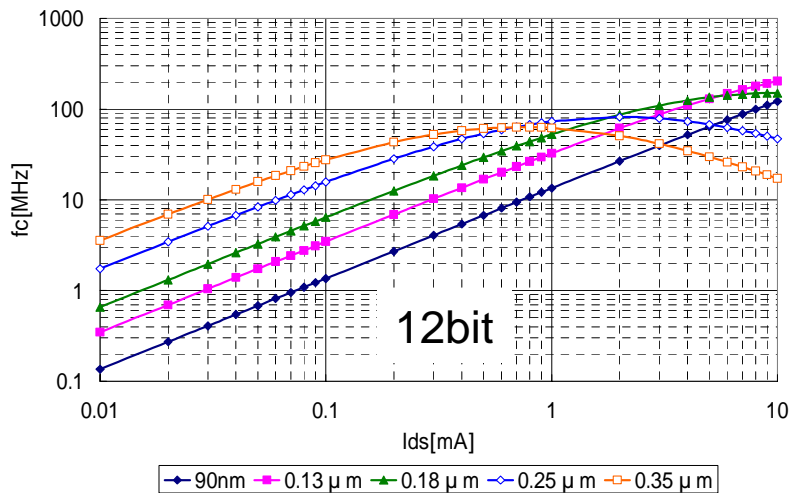
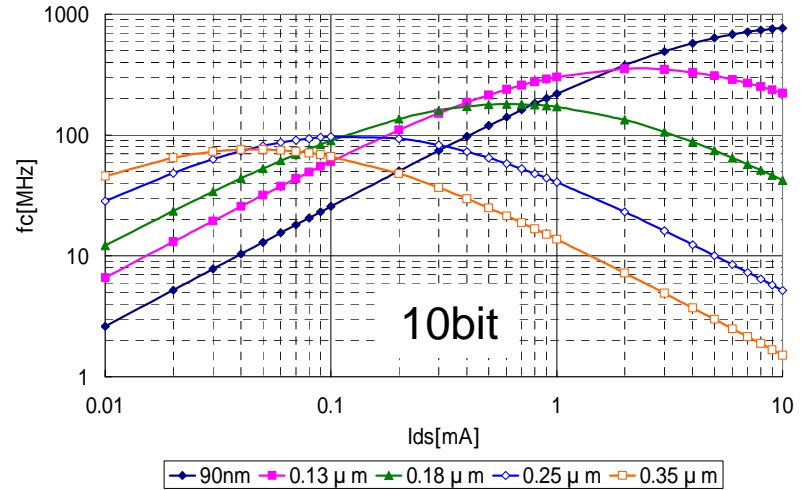
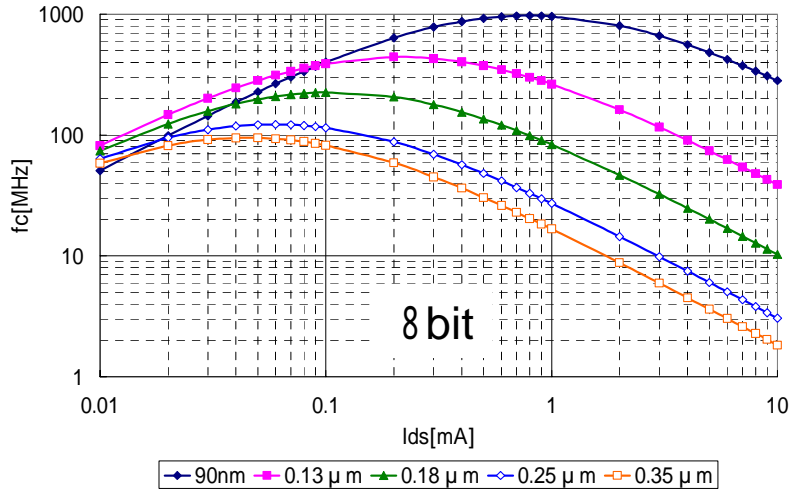
信号振幅の大きく取れる緩いプロセスが有利。
微細化の効果は得られない。



ADCの変換周波数の推定(4)

信号振幅の最適化

低分解能では微細化、高分解能では緩いプロセスが有利。



1. 研究目的

2. パイプライン型ADC性能のデザインルール依存性

- ・パイプライン型ADCの必要性能
- ・トランジスタの微細化による性能への影響
- ・GBWの算出及び変換周波数の推定

3. ゲインブーストアンプの特性の考慮

- ・ゲインブーストアンプの周波数特性
- ・pole-zero (doublet) のセトリング特性への影響
- ・ゲインブーストアンプの設計方針
- ・シミュレーション例

4. まとめ

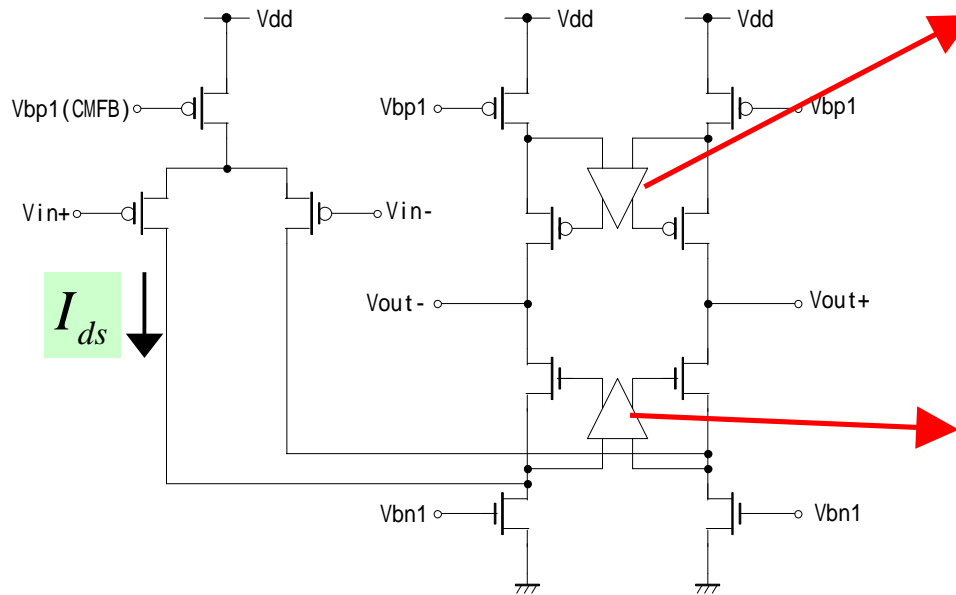
ゲインブースト型オペアンプ(フォールデッド型)

高分解能においては高いDCゲインが必要

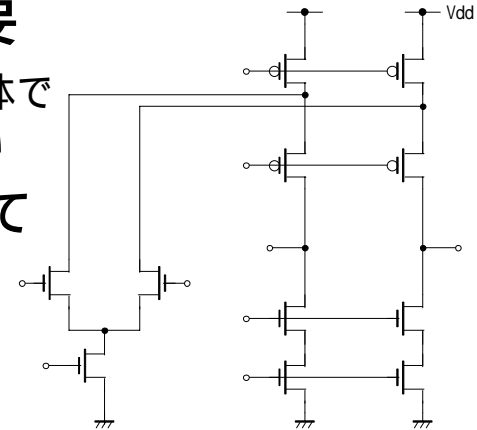
$$G_0(dB) > 6N + 10$$

90nmではメインアンプ単体で
35 ~ 40dB程度しか出ない

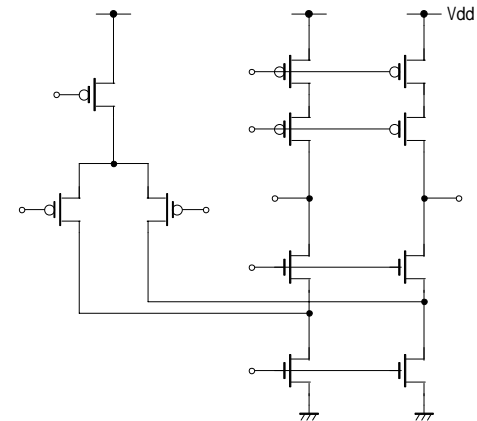
N, PMOS側それぞれにゲインブーストアンプを用いて
出力抵抗を上げてゲインを増す。



メインアンプ

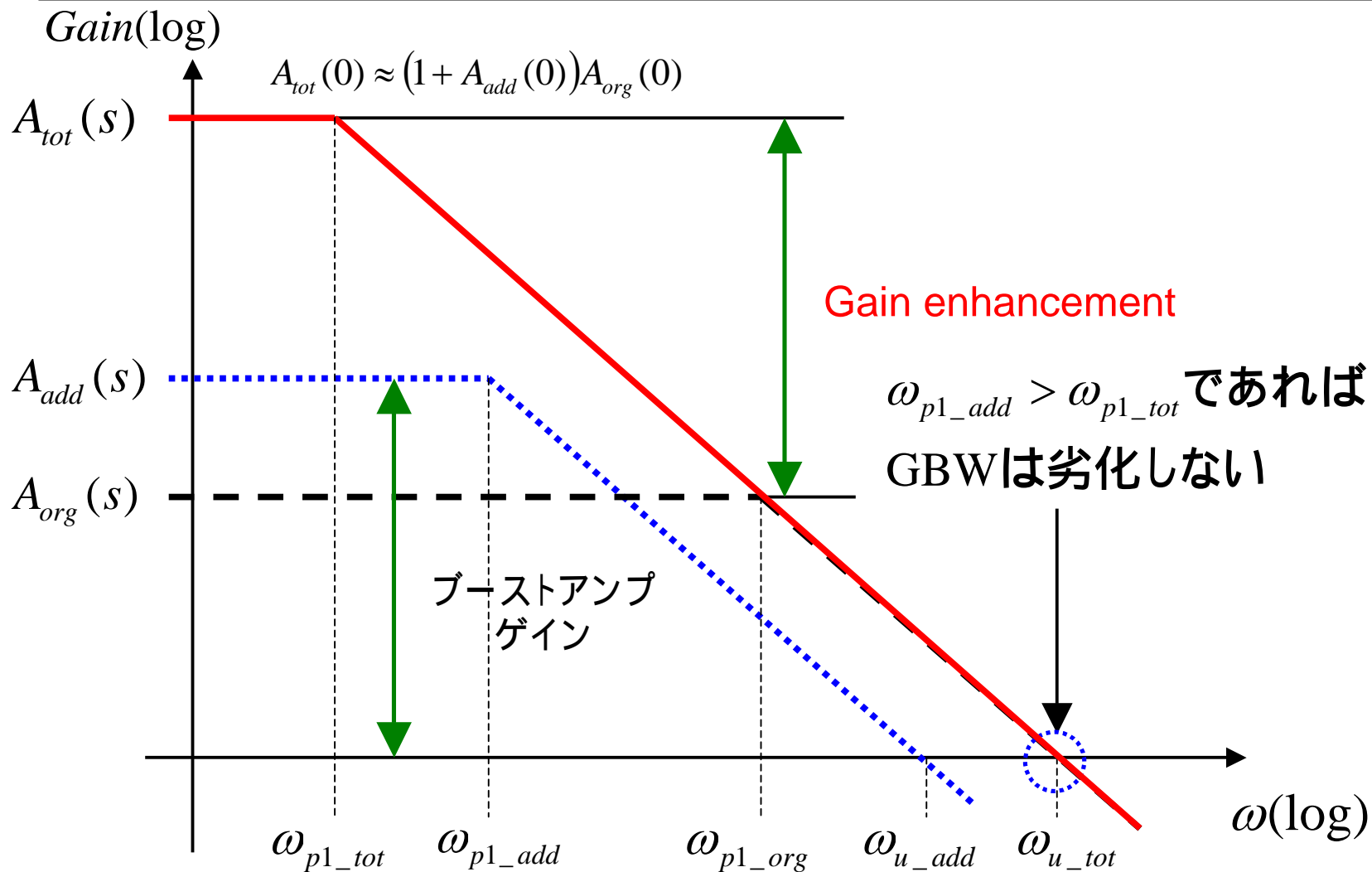


PMOS側ブーストアンプ

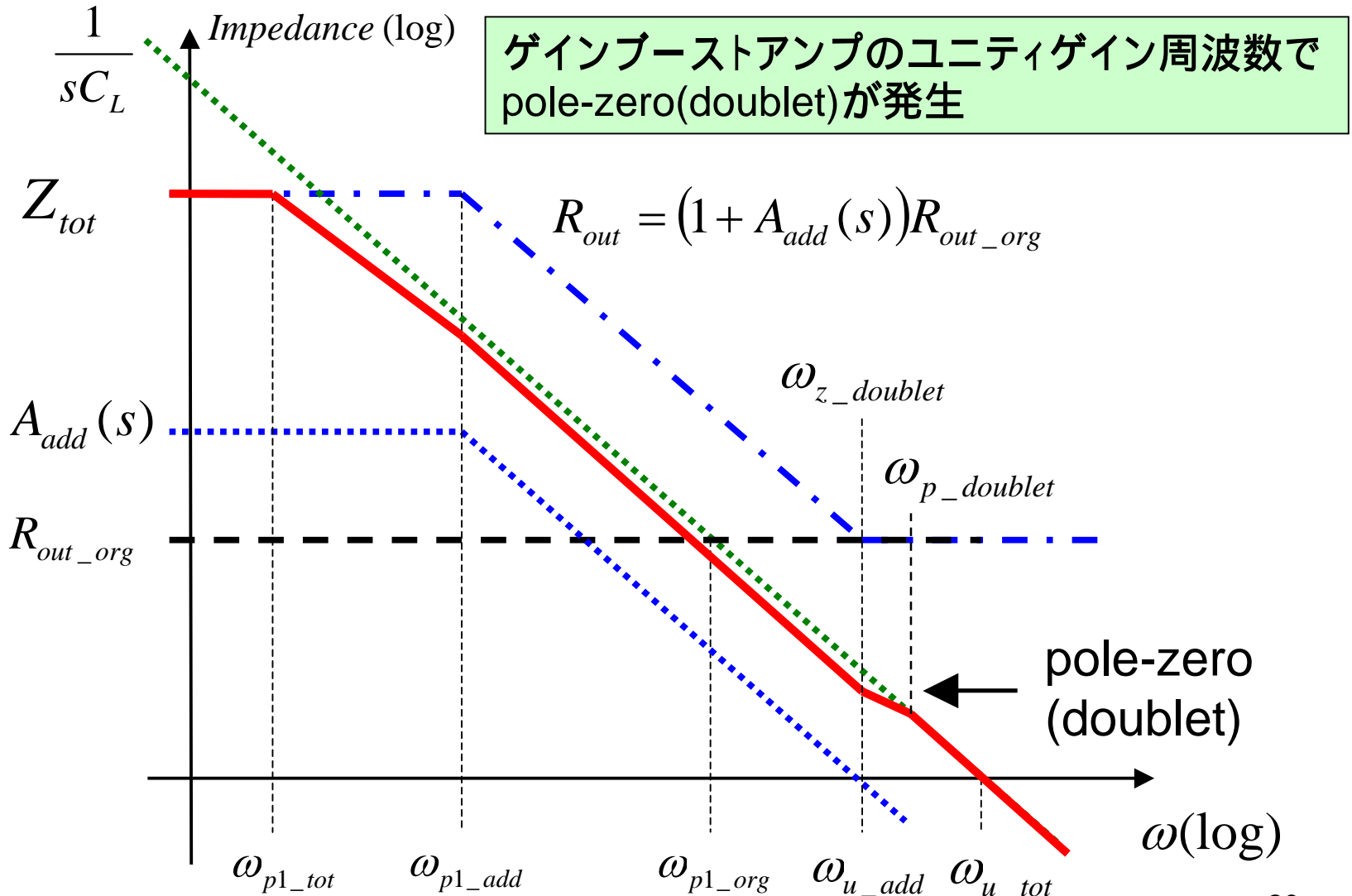


NMOS側ブーストアンプ

ゲイン周波数特性の概略



出力抵抗周波数特性の概略



pole-zero(doublet)の問題点

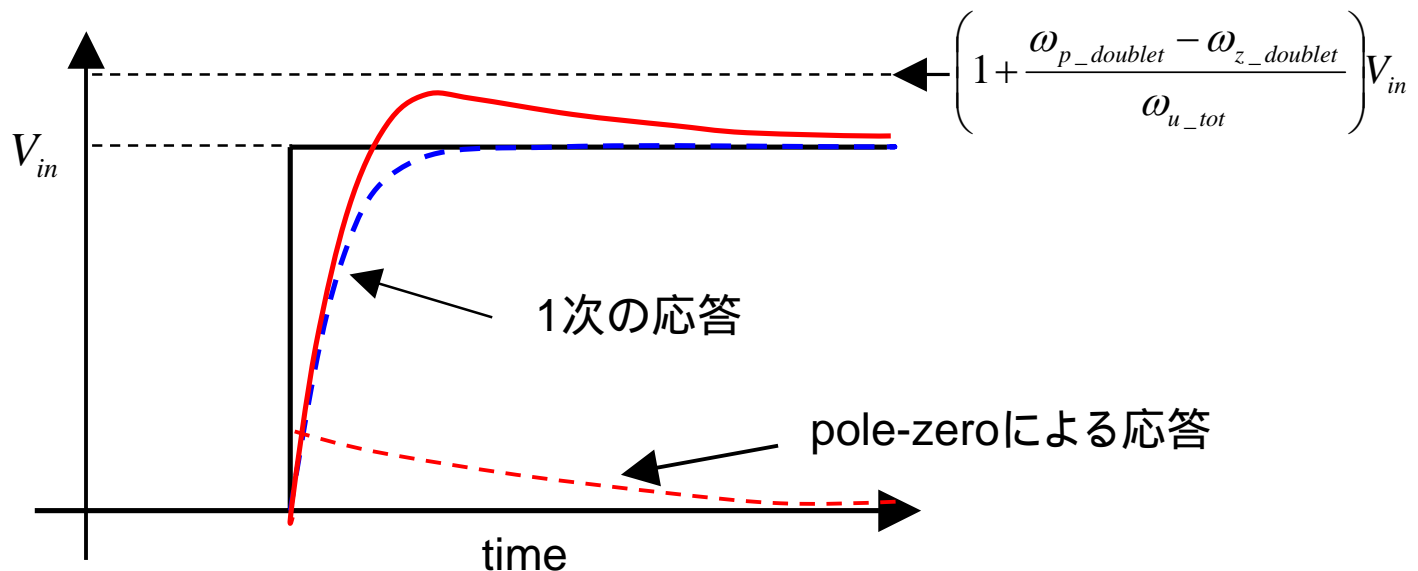
pole-zero (doublet)が存在するとセトリングが遅くなる。

ユニティゲインバッファのステップ応答 (slewing period以降)

$$V_{out}(t) \approx V_{in} \left(\underbrace{1 - \exp(-\omega_{u_tot} t)}_{\text{1次のオペアンプ応答}} + \underbrace{\frac{\omega_{p_doublet} - \omega_{z_doublet}}{\omega_{u_tot}} \exp(-\omega_{z_doublet} t)}_{\text{pole-zero による応答}} \right)$$

1次のオペアンプ応答

pole-zero による応答



pole-zeroの位置の違い

$$V_{out}(t) \approx V_{in} \left(1 - \exp(-\omega_{u_tot} t) + \frac{\omega_{p_doublet} - \omega_{z_doublet}}{\omega_{u_tot}} \exp(-\omega_{z_doublet} t) \right)$$

許容誤差によって
収束時間の優位性は
異なる。

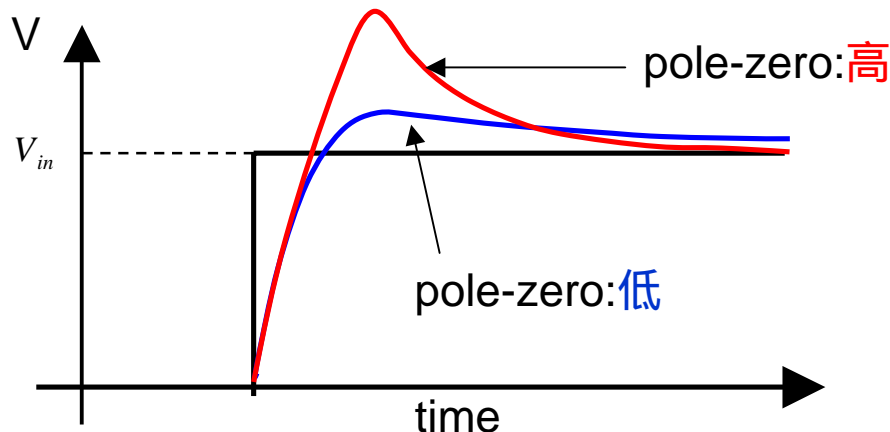
1. pole-zero(doublet)の位置が**高い周波数**の場合

$$\frac{\omega_{p_doublet} - \omega_{z_doublet}}{\omega_{u_tot}} \quad \text{は**大きい**が収束が**速い**}$$

2. pole-zero(doublet)の位置が**低い周波数**の場合

$\omega_{p_doublet} : \omega_{z_doublet}$ が同じ場合

$$\frac{\omega_{p_doublet} - \omega_{z_doublet}}{\omega_{u_tot}} \quad \text{は**小さい**が収束が**遅い**}$$



pole-zeroの効果の抑制

< 1の時

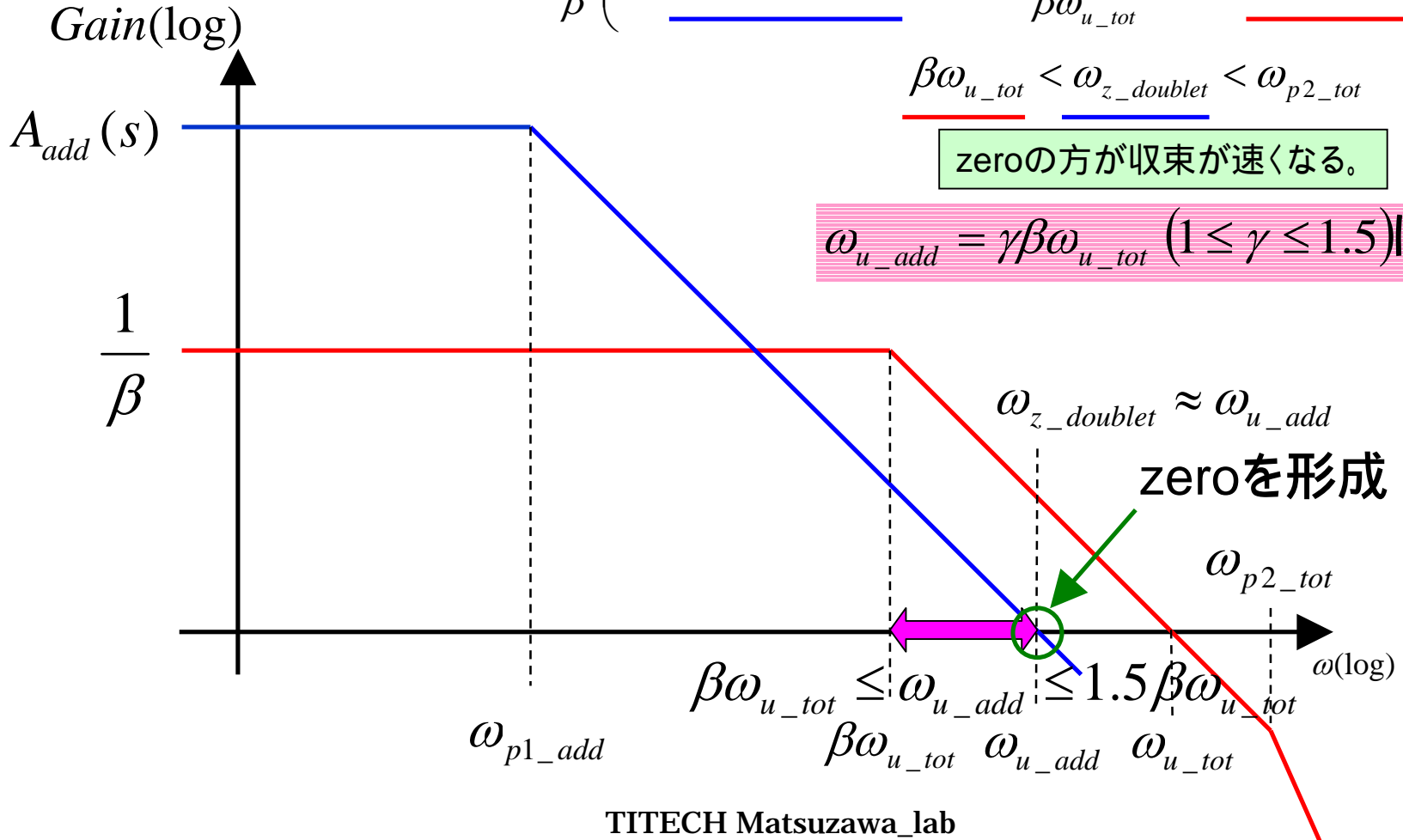
β : フィードバック係数

$$V_{out}(t) \approx \frac{V_{in}}{\beta} \left(1 - \exp(-\beta\omega_{u_tot} t) + \frac{\omega_{p_doublet} - \omega_{z_doublet}}{\beta\omega_{u_tot}} \exp(-\omega_{z_doublet} t) \right)$$

$$\beta\omega_{u_tot} < \omega_{z_doublet} < \omega_{p2_tot}$$

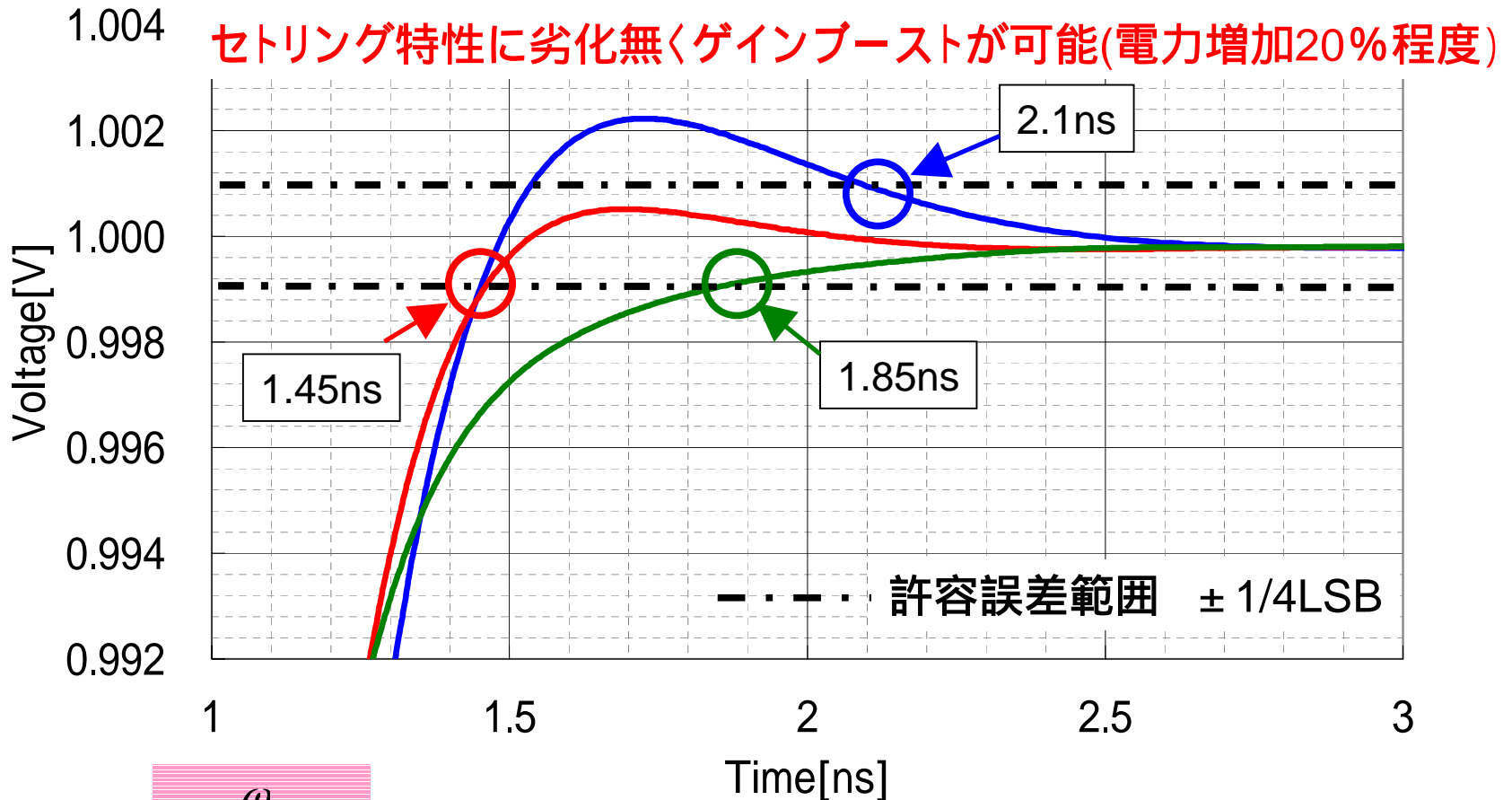
zeroの方が収束が速くなる。

$$\omega_{u_add} = \gamma\beta\omega_{u_tot} \quad (1 \leq \gamma \leq 1.5) \text{ に設定}$$



セトリング特性

分解能10bit、0.18 μmプロセス、160MHz動作見込み(半周期3.125ns)

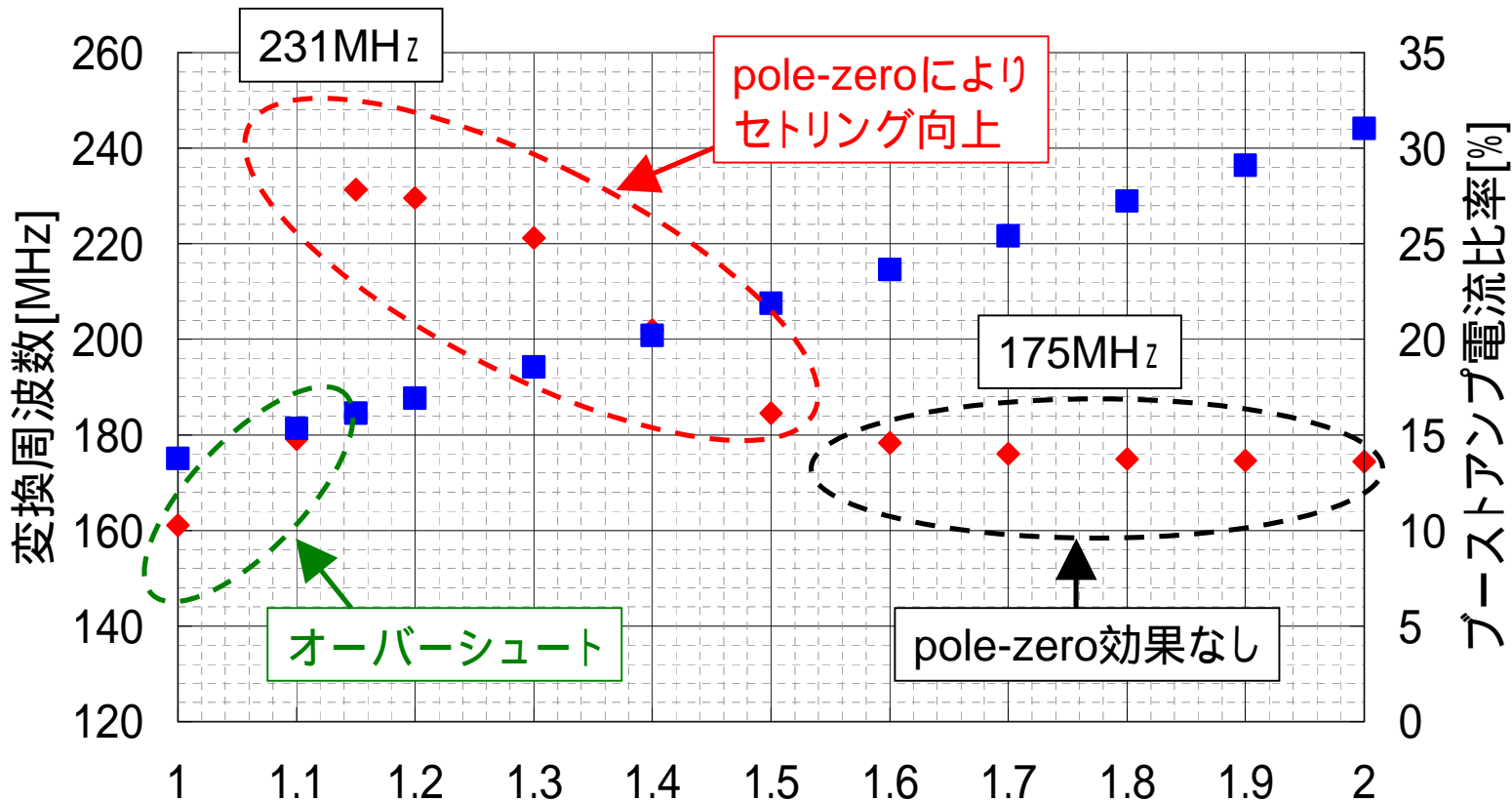


$$\gamma = \frac{\omega_{u_add}}{\beta\omega_{u_tot}}$$

— $\gamma = 1$ — $\gamma = 1.2$ — $\gamma = 1.5$

による変換周波数の変動

適切に の値を選ぶことでセリング特性を向上させることができる



$$\gamma = \frac{\omega_{u_add}}{\beta\omega_{u_tot}}$$

◆ 変換周波数 ■ 電流比率

まとめ

1. パイプライン型ADCの微細化による性能の変化のメカニズムを明らかにした。
微細化により寄生容量は低減できるが、低電圧化により帰還容量は増加する。
寄生容量と帰還容量の関係により変換周波数特性の振る舞いは異なる。
 - ・帰還容量より寄生容量が小さい場合・・・電流増加 変換周波数上昇
 - ・帰還容量より寄生容量が大きい場合・・・電流増加 変換周波数下降
2. 各デザインルールにおけるパイプライン型ADCの $I_{ds} - f_c$ とデザインルール依存性を明らかにした。
 - ・8 ~ 10bit・・・寄生容量の小さい微細化プロセスが有利
 - ・12 ~ 14bit・・・信号振幅の大きく取れるプロセスが有利
3. ゲインブーストアンプに必要な性能について考察した。
ゲインブーストによりpole-zero(doublet)が生じセトリング特性に影響を与えるが、
$$\omega_{u_add} = \gamma\beta\omega_{u_tot} \quad (1 \leq \gamma \leq 1.5)$$
の条件を満たすことでpole-zero(doublet)の影響を抑えることができる。
ゲインブーストアンプの消費電流はメインアンプの10 ~ 20%程度で良い。

謝辞

本研究は(株)半導体理工学研究センター(STARC)の支援を受けて実施されたものである。

ここに感謝の意を表する。