

# 超高速 SCF 型 ADC の検討

Study of Very High Speed Switched-Capacitor Sigma-Delta A/D Converter

東京工業大学 工学部<sup>1</sup>, 東京工業大学大学院 理工学研究科<sup>2</sup>

馬上 崇<sup>1</sup>, 松澤 昭<sup>2</sup>

School of Engineering, Tokyo Tech<sup>1</sup>, Graduate School of Science and Engineering, Tokyo Tech<sup>2</sup>

Takashi Moue<sup>1</sup>, Akira Matsuzawa<sup>2</sup>

[takashi@ssc.pe.tetich.ac.jp](mailto:takashi@ssc.pe.tetich.ac.jp)

はじめに: 本稿ではワイヤレスシステムの多様化に対応できる超高速スケーラブル・リコンフィギュラブル ADC 開発の経過として、90nmCMOS による高速動作にむけた SCF 型 ADC の性能確保について議論する。ADC の帯域とダイナミックレンジを上げるには微細プロセスによる高速化が必要だが、性能確保のためには適切な構成やパラメータ設定が不可欠である。そこで各パラメータの SNR への影響度合を調べるために MATLAB/simulink によるシミュレーションを行った。

シミュレーション: まず MATLAB によるフィルタ構成の比較を行った。それを踏まえて simulink によるパラメータ可変の非理想的モデルを構築し、シミュレーションによって ADC の SNR のパラメータ依存性をグラフ化した。非理想的モデルには、ノイズ、オペアンプゲイン、量子化器誤差、などが含まれるが、特に重要なのは、サンプリング容量によるトレードオフとなる  $kT/C$  ノイズとスルーイング、発生位置によりシェーピングが効かない DAC 素子ばらつきとジッターである。また、次段階として機能記述を用いた回路シミュレーションも行い、構成の確認をした。結果: 性能劣化が少ない SCF のサンプリング容量値の範囲が得られ、オペアンプが十分な性能であることを確認した。また、DAC 素子ばらつきやジッターによる性能劣化特性が得られた。

なお、本研究は半導体理工学研究センター (STARC) との共同研究により行われたものである。  
また、デバイス情報は VDEC を通じ ASPLA より提供されたものである。

