

# パイプライン型ADCの研究

- 容量とOPアンプの基本要件の検討 -

宮原 正也 松澤 昭

東京工業大学  
大学院理工学研究科  
電子物理工学専攻

# 発表内容

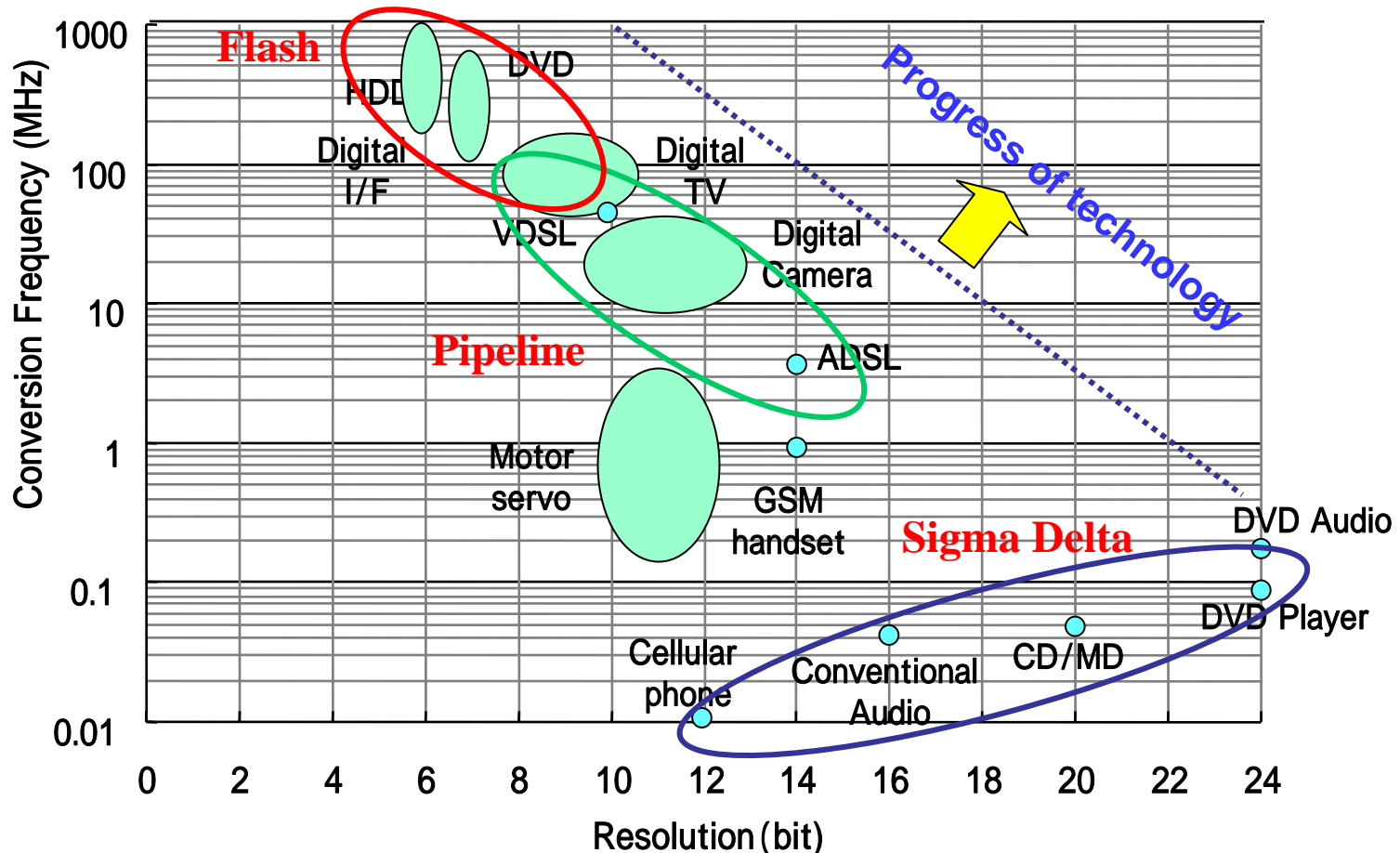
---

1. 研究目的
2. パイプライン型ADCの構成
3. 容量 $C_s, C_f$ の決定
  - 3.1. ミスマッチ精度
  - 3.2. ノイズ
    - a)  $kT/C$ ノイズ
    - b) 入力換算熱雑音
4. OPアンプの設計
  - a) 利得
  - b) 利得帯域幅積 (GBW)
  - c) 動作電流
  - d) オフセット電圧と $1/f$ ノイズ
5. まとめ

# 1. 研究目的

## ADCの性能・用途

- ・高速かつ高精度は難しい
- ・変換方式はFlash, Pipeline, Sigma Delta 型に絞られる

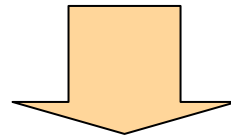


# 1. 研究目的

---

パイプライン型ADCの特長として

- ・単位回路の縦続接続により構成
- ・分解能、変換速度を広い範囲で変化させやすい

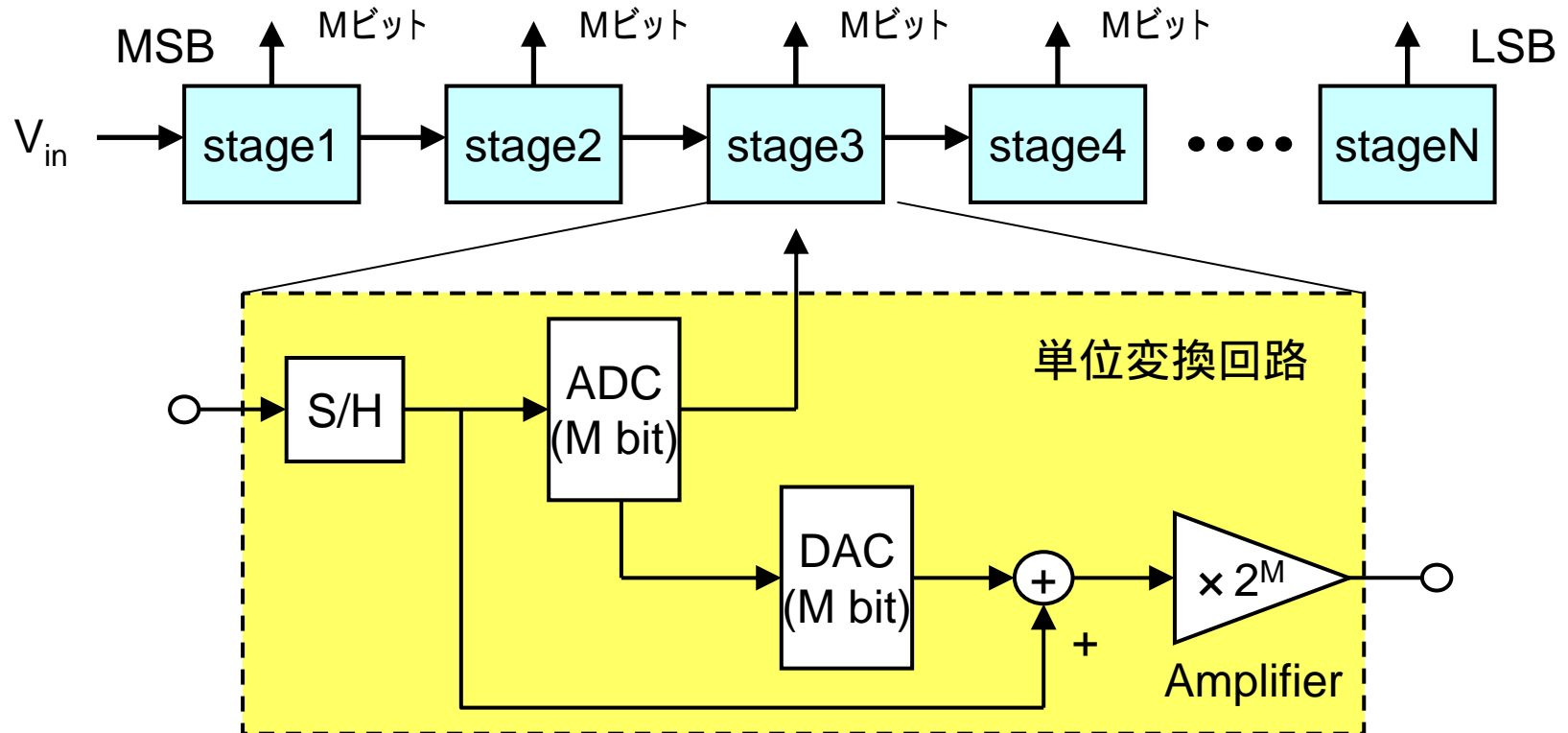


他方式と比較してIP化が容易

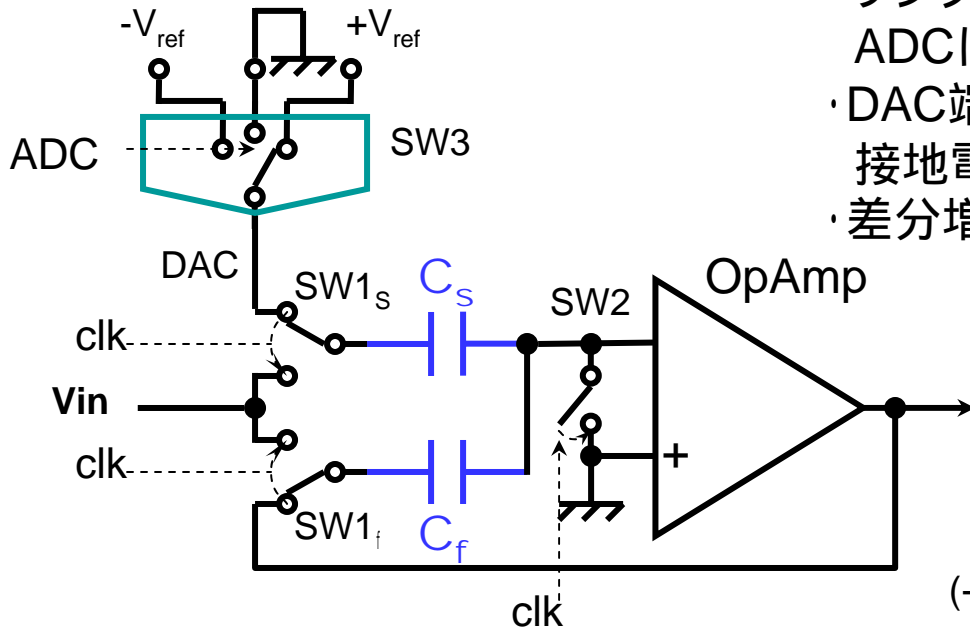
パイプライン型ADCの基本特性および  
設計方法を検討しIP化を図る

# 2. パイプライン型ADCの構成(1)

- ・単位変換回路を縦続接続
- ・各単位変換回路は入力信号を標本化し、参照電圧と比較を行いMビットの変換
- ・ADCの出力により、DACが出力する電圧が変化。入力信号とDACの出力する電圧の差分を $2^M$ 倍して後段に出力。

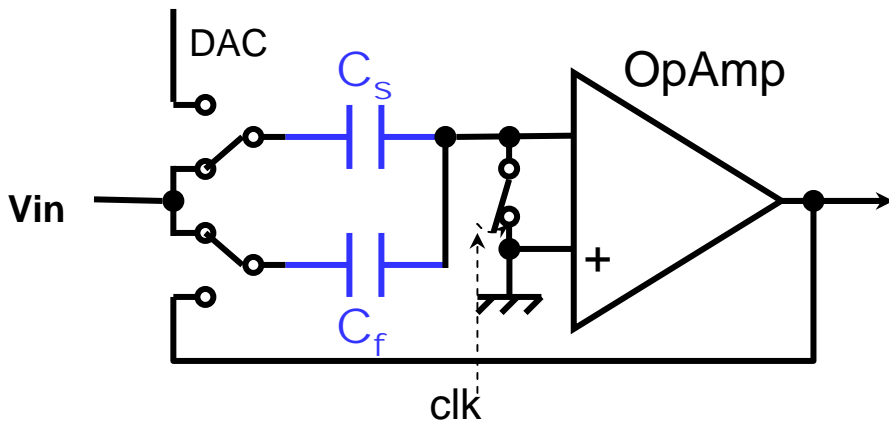


# 2. パイプライン型ADCの構成(2)

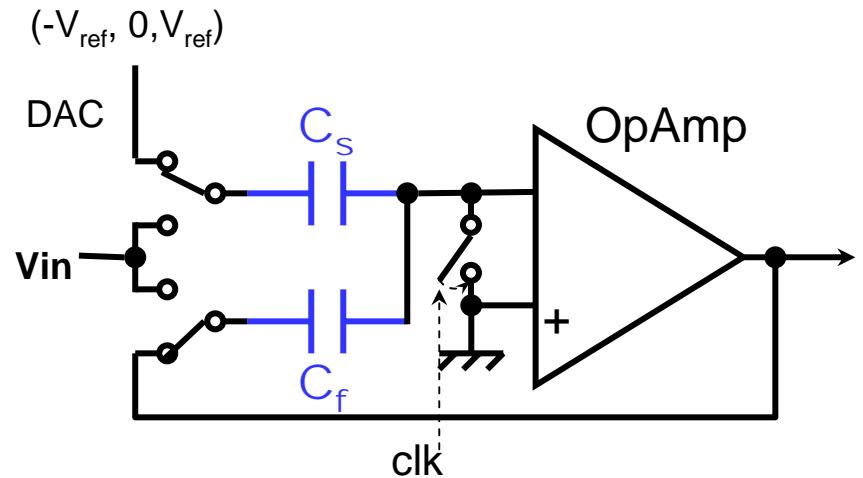


- ・ サンプリングフェーズで  $V_{in}$  をしきい値電圧と比較  
ADCによりMビットの変換
- ・ DAC端子はADC出力に応じた  $\pm V_{ref}$  もしくは  
接地電位が印加される
- ・ 差分増幅フェーズで  $V_{in} - DAC/2$  の2倍の出力

$$V_{out} = 2 \left( V_{in} - \left\{ +\frac{V_{ref}}{2}, 0, -\frac{V_{ref}}{2} \right\} \right)$$



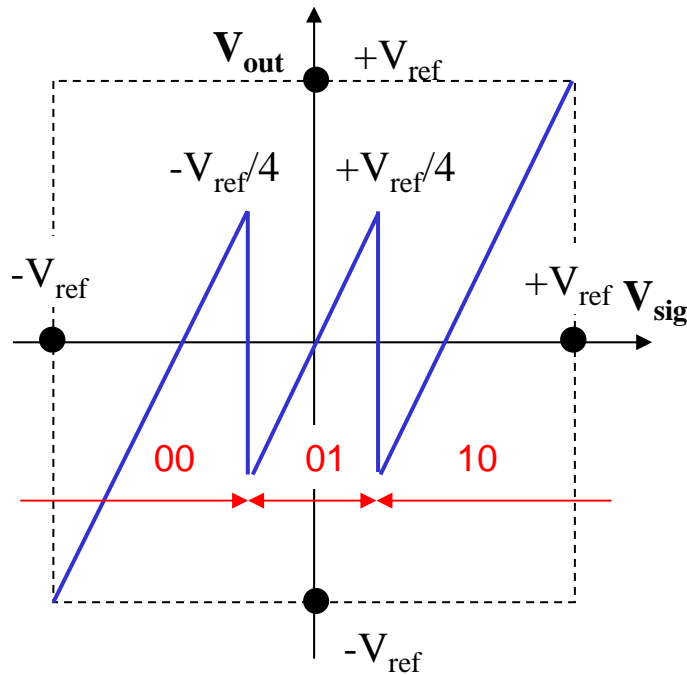
Sampling Phase



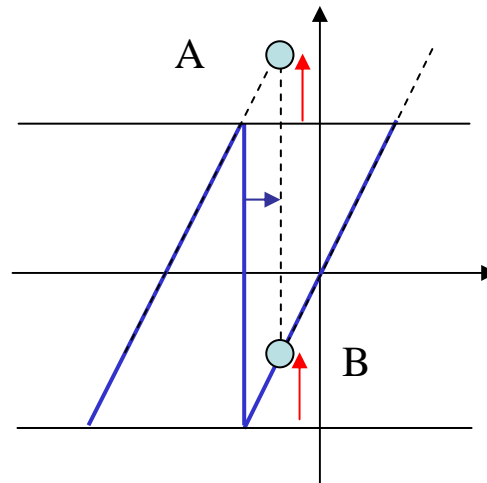
Subtracting and amplifying phase

# 2. パイプライン型ADCの構成(3)

1.5ビット冗長構成の場合



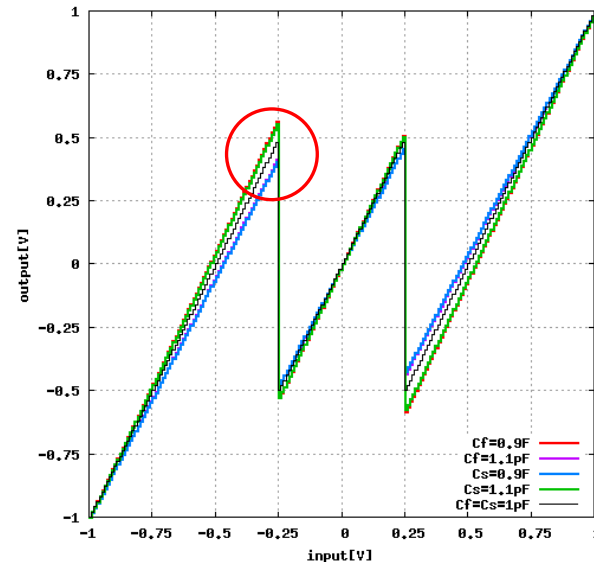
理想変換特性



比較器のオフセットで  
切り替わり点はずれる

利得が正確な場合  
A点とB点は値として  
つながる

比較器のオフセットは  
誤差補正可能



各段の比較器の  
切り替え点で大きな  
誤差が発生する

容量の設計が重要

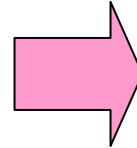
容量比精度(利得)が不完全な場合

# 3. 容量 $C_s, C_f$ の決定

容量 $C_s, C_f$ が大きい場合

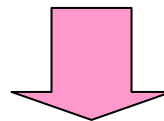
容量 $C_s, C_f$ が  
与える影響

- ・精度……………高い
- ・速度……………低下
- ・消費電力……………増加
- ・占有面積……………増加
- ・その他



精度、速度、消費電力、  
占有面積等を考慮した  
容量 $C_s, C_f$ の最適設計が重要

仕様を満たす精度で出来るだけ小さく容量 $C_s, C_f$ を設定すればよい



変換精度に影響を与える

1. ミスマッチ精度

2. ノイズ

a)  $kT/C$ ノイズ

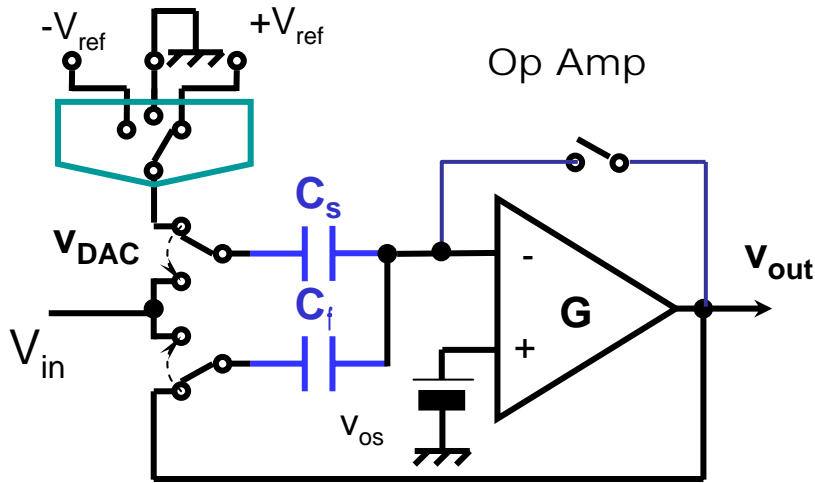
b) 入力換算熱雑音

を考慮した $C_s, C_f$ の設計



# 3.1.ミスマッチ精度(1)

## ゲインステージの容量感度



イマジナリショートが完全と仮定

サンプリング時

$$q_f = C_f (v_{in} - v_{os})$$

$$q_s = C_s (v_{in} - v_{os})$$

増幅時

$$q_f' = C_f (v_{out} - v_{os})$$

$$q_s' = C_s (v_{DAC} - v_{os})$$

電荷保存則より  $-(q_f + q_s) = -(q_f' + q_s')$

$$v_{out} = \frac{(C_s + C_f)v_{in} - C_s v_{DAC}}{C_f} \cong 2 \left( v_{in} - \frac{v_{DAC}}{2} \right) \quad C_f = C_s \text{ の場合}$$

$v_{os}$ は消えている

容量変化に対する感度

$$\Delta v_{out} = \frac{\partial v_{out}}{\partial C_s} \Delta C_s + \frac{\partial v_{out}}{\partial C_f} \Delta C_f = \left( \frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (v_{in} - v_{DAC})$$

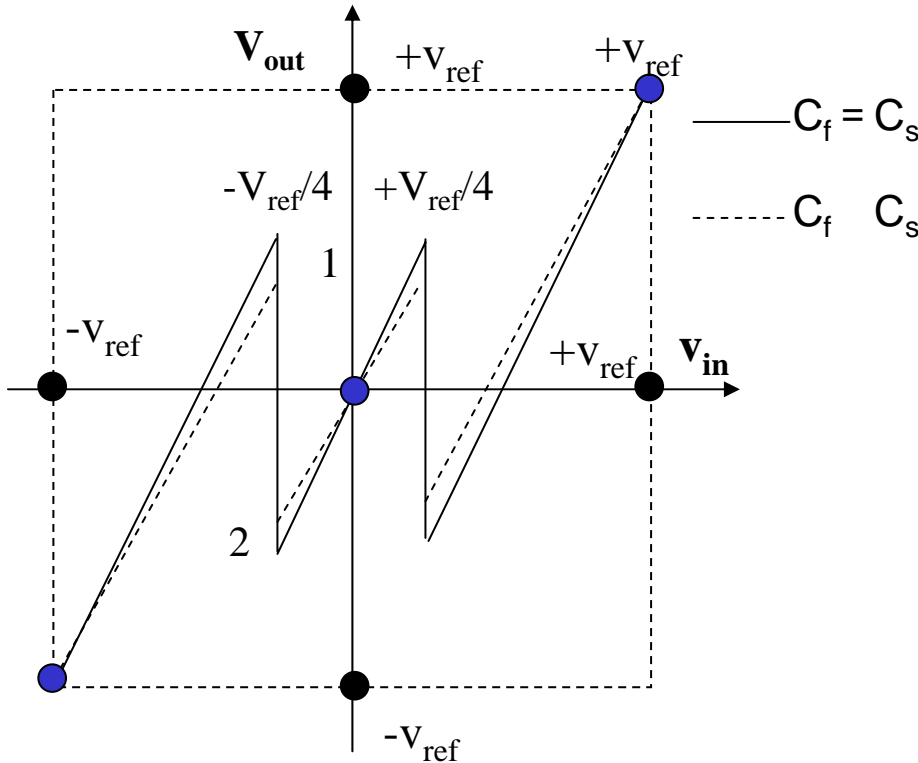
$v_{in} = v_{DAC}$ の点では容量変化に不感である。

DAC電圧に対する感度

$$\Delta v_{out} = \frac{\partial v_{out}}{\partial v_{DAC}} \Delta v_{DAC} = -\frac{C_s}{C_f} v_{DAC} \approx -v_{DAC}$$

# 3.1.ミスマッチ精度(2)

$v_{in} = \pm v_{ref}$ , 0 の値は変化しない



$$\Delta v_{out} = \left( \frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (v_{in} - v_{DAC}) \text{ より、}$$

$$\delta_1 = \frac{3}{4} \left( \frac{\Delta C}{C} \right) V_{ref} \quad (v_{DAC} = -V_{ref})$$

$$\delta_2 = \frac{1}{4} \left( \frac{\Delta C}{C} \right) V_{ref} \quad (v_{DAC} = 0)$$

$$\delta = \delta_1 + \delta_2 = \left( \frac{\Delta C}{C} \right) V_{ref}$$

$$\frac{\Delta C}{C} \leq \frac{1}{2^{N-M+1}} \quad \frac{1}{4} \text{ LSB の誤差の場合}$$

$$\frac{\Delta C}{C} \leq \frac{1}{2^N} \quad (1.5b \text{ 構成: } 1/4 \text{ LSB 誤差})$$

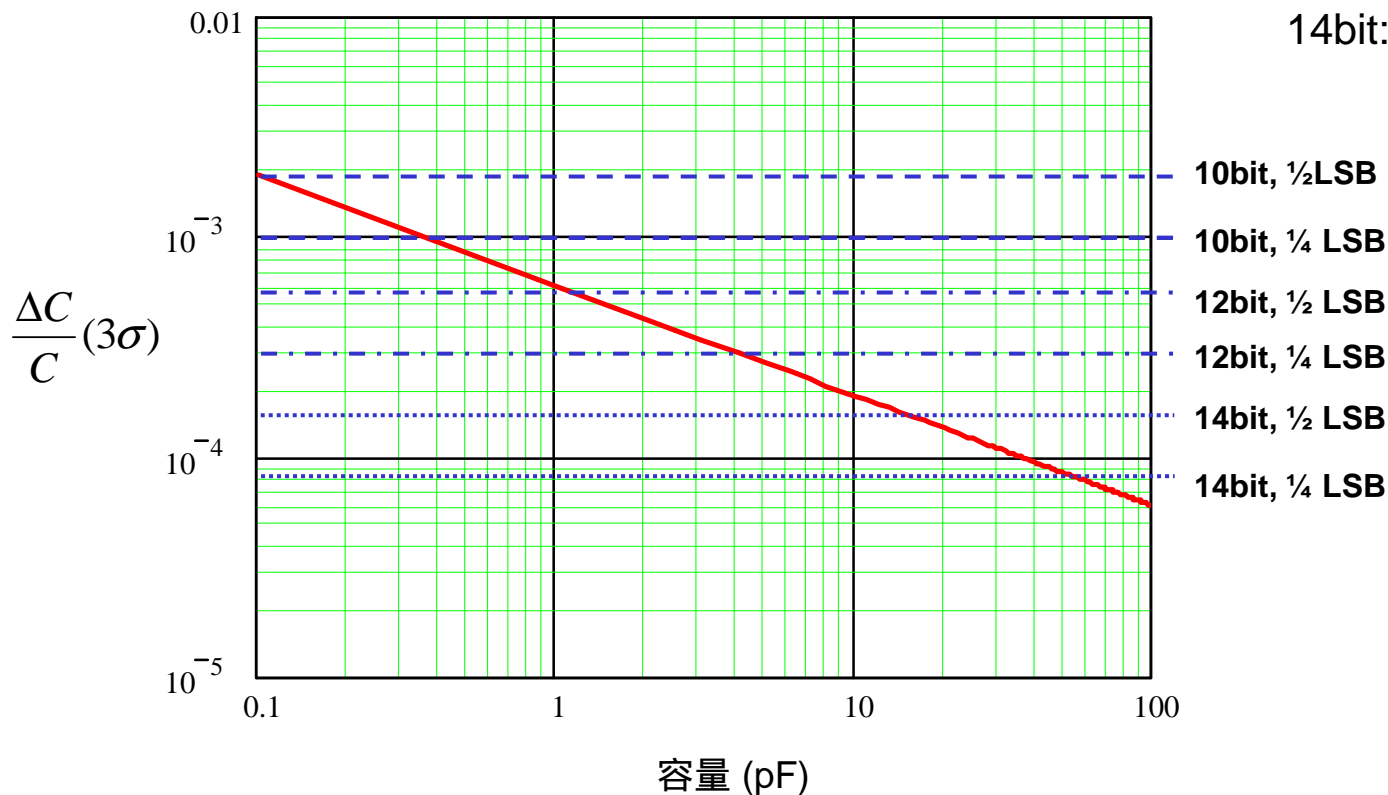
# 3.1.ミスマッチ誤差(3)

容量ミスマッチからは分解能が2ビット上がる毎に必要な容量は1桁上昇する

モデル化した値  $\frac{\Delta C}{C}(3\sigma) = \frac{6 \times 10^{-4}}{\sqrt{C(\text{pF})}}$

$$C \geq 3.6 \times 10^{-19} 2^{2N}$$

10bit: 0.4pF  
12bit: 4pF  
14bit: 40pF

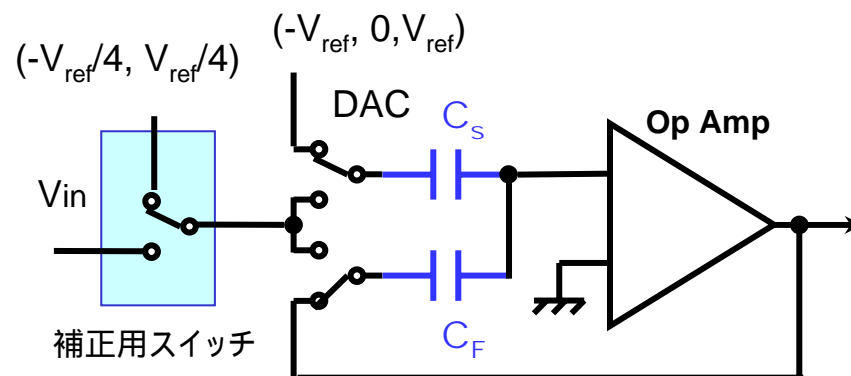
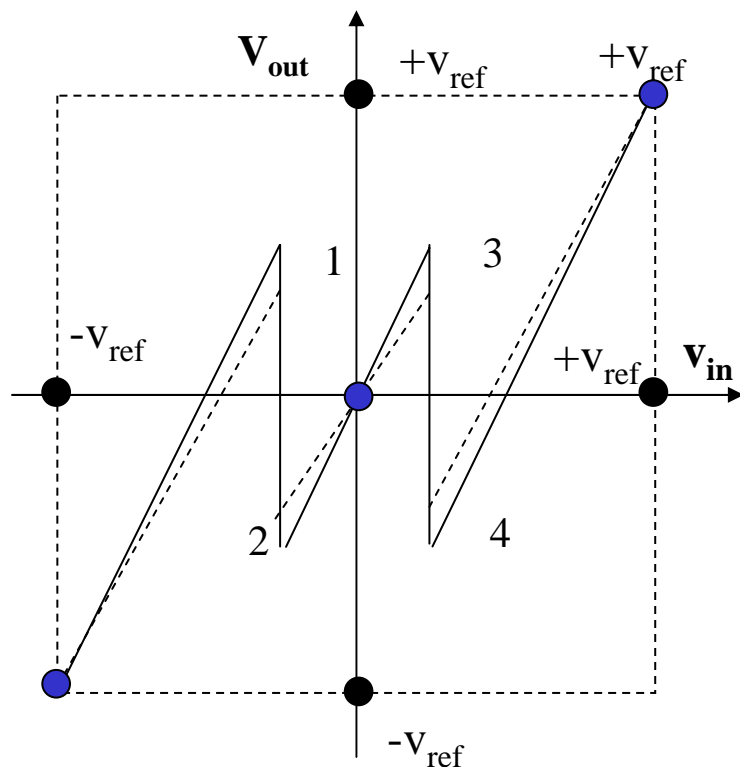


容量値と容量ミスマッチ

# 3.1.ミスマッチ誤差(4)

## ADCの容量ミスマッチ誤差補正

ゲイン誤差を測定できればこの誤差を補償可能であろう。  
これができれば高分解能でも過剰に大きな容量を使う必要はないであろう。



補正用スイッチを設けて $+V_{ref}/4$ ,  $-V_{ref}/4$ の電圧を印加し  
DACの電圧を切替えて各誤差を計測すればよい。

# 3.2. ノイズ(1)

## 容量により大半のノイズが決定

ノイズより必要容量を算出

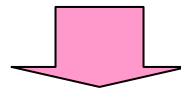
・ノイズ量の算定基準 **量子化ノイズ**

$$v_q^2 = \frac{1}{3} \left( \frac{q}{2} \right)^2 = \frac{1}{3} \left( \frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

$$v_q = \frac{V_{ref}}{\sqrt{3} 2^N}$$

## ノイズ量の基準

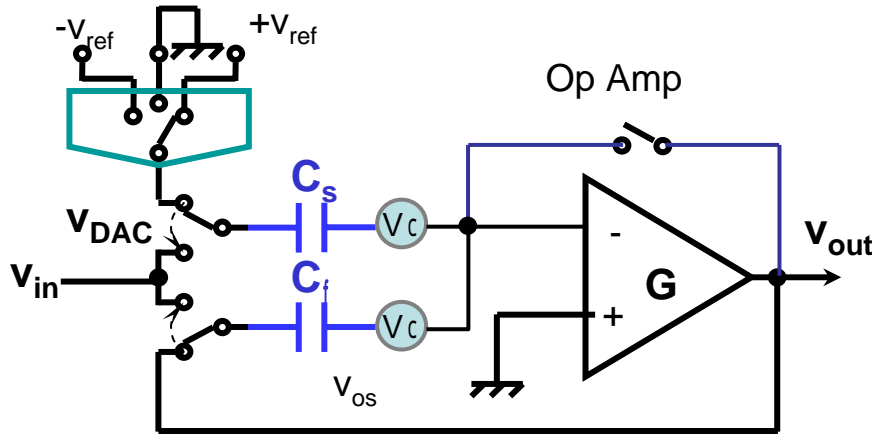
量子化ノイズ電力と同等 有効ビットに換算して**0.5bitの劣化**



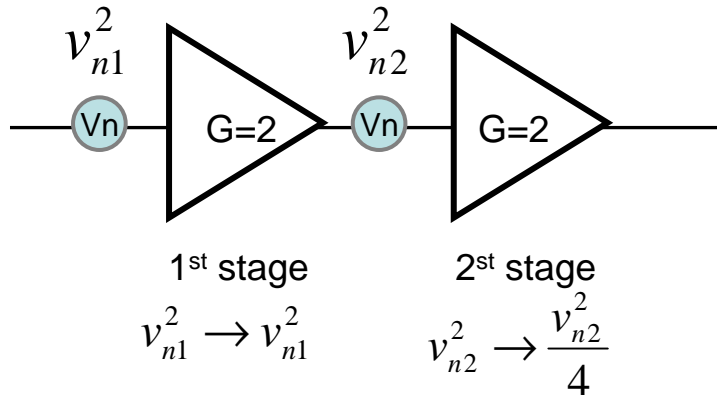
**量子化ノイズ電力の半分を算定基準とする**

# 3.2. ノイズ(2)

a)  $kT/C$  ノイズ... サンプリング時に2つの容量にサンプリングされるノイズ



容量1個あたりのノイズ電力  $v_c^2 = \frac{kT}{C}$



## 1段目

ノイズ電圧は入力換算では利得で割ったものになる。出力の信号振幅は2倍になっているが、ノイズ電圧はそのまま現れるため。差動構成になっているのでノイズ電力は倍になる。

$$v_c^2 = \frac{2}{2^2} \left( \frac{kT}{C_s} + \frac{kT}{C_f} \right) \approx \frac{kT}{C}$$

## 2段目

2段目のノイズ電圧は入力換算で1/2になるので電力は1/4.しかしながら低電力化のために容量を1/2にしてゆくとすると、初段から見たノイズ電力は

$$v_{c\_2nd}^2 = \frac{2kT}{C}$$

$$v_{c\_2nd\_in}^2 = \frac{1}{4} \cdot \frac{2kT}{C} = \frac{kT}{2C}$$

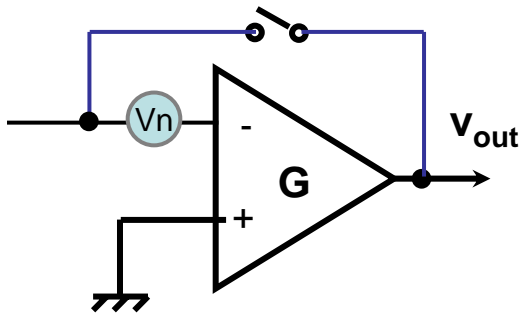
したがって多段構成のときの全体の寄与は、

$$v_{c\_tot}^2 = \sum_{n=0}^{N-1} \frac{1}{2^n} \frac{kT}{C} \approx \frac{2kT}{C}$$

# 3.2. ノイズ(3)

## b) 入力換算熱雑音

Op Amp



1段のフォールデジットカスコード型OPアンプを仮定すると

$$v_{ther}^2 = 2\gamma \frac{8kT}{3} \frac{1}{g_m} \left( 1 + \frac{g_{m\_CMN}}{g_m} + \frac{g_{m\_CMP}}{g_m} \right) \Delta f \approx 2\gamma \frac{8kT}{3} \frac{2}{g_m} \Delta f$$

$\gamma$ : 過剰ノイズ係数1~2

$\Delta f$ : 帯域幅

$g_m$ : 初段のトランジスタペア

$g_{m\_CMN}, g_{m\_CMP}$ : 定電流を構成するトランジスタ

$$g_m = 2(g_{m\_CMN} \cdot g_{m\_CMP})$$

次段以降のOPアンプの動作電流を半分ずつに低減すると仮定すると入力換算ノイズ電力はこの2倍になり、

$$v_{ther}^2 \approx 2\gamma \frac{8kT}{3} \frac{4}{g_m} \Delta f \quad g_m \approx \frac{2I_{ds}}{V_{eff}} \quad \gamma = 2$$

$V_{eff} = 0.2V$ を用いると、

$$v_{ther}^2 \approx 8.5 \frac{kT}{I_s} \Delta f$$

$I_s$ は初段のOPアンプの入力のシンク電流である。

$$I_s = 2I_{ds}$$

# 3.2. ノイズ(4)

## b) 入力換算熱雑音

$v_{ther}^2 \approx 8.5 \frac{kT}{I_s} \Delta f$  において、 $f$  は利得帯域幅GBWと実効負荷容量Cより

$$\left. \begin{aligned} GBW &\approx \frac{g_m}{2\pi C} \\ g_m &= \frac{2I_{ds}}{V_{eff}} \end{aligned} \right\} \text{より、} GBW \approx \frac{I_s}{2.5C}$$
$$\Delta f = \frac{\pi}{2} \beta GBW \approx \frac{GBW}{2} \approx \frac{I_s}{5C}$$

ただし  
 $= \frac{1}{3}$   
 $V_{eff} = 0.2$  とする

これより、

$$v_{ther}^2 \approx 8.5 \frac{kT}{I_s} \Delta f = 8.5 \frac{kT}{I_s} \frac{I_s}{5C} = 1.7 \frac{kT}{C}$$

入力換算熱雑音は動作電流ではなく、 $kT/C$ ノイズで決定される



# 3.2. ノイズ(5)

## ノイズのまとめ

a)  $kT/C$  ノイズ

$$v_{c\_tot}^2 = \sum_{n=0}^{N-1} \frac{1}{2^n} \frac{kT}{C} \approx \frac{2kT}{C}$$

b) 入力換算熱雑音

$$v_{ther}^2 \approx 1.7 \frac{kT}{C}$$

全ノイズ

$$v_{c\_tot}^2 + v_{ther}^2 \approx 3.7 \frac{kT}{C}$$

このノイズ電力が量子化ノイズ電力の半分を基準とすると、

$$v_q^2 = \frac{1}{3} \left( \frac{q}{2} \right)^2 = \frac{1}{3} \left( \frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

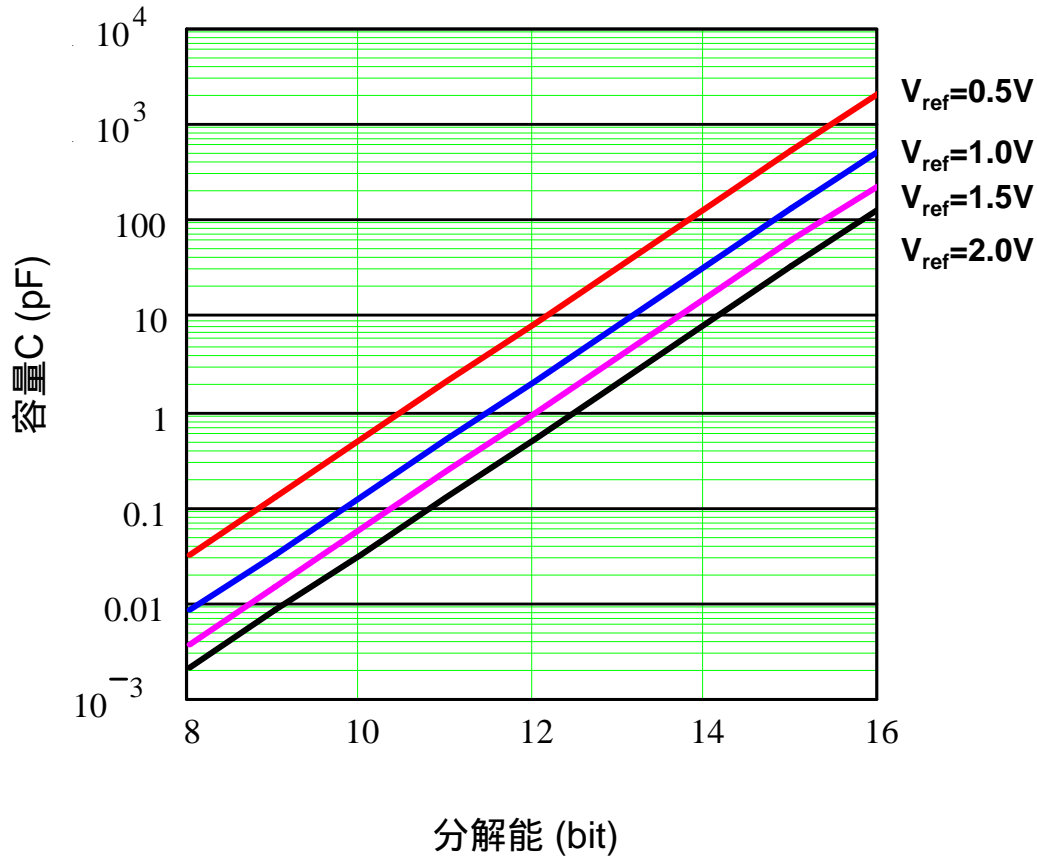
$$v_{c\_tot}^2 + v_{ther}^2 \approx 3.7 \frac{kT}{C} \quad (T=400K) \text{ より、}$$

$$C \geq 1.23 \times 10^{-19} \left( \frac{2^N}{V_{ref}} \right)^2$$

の条件が得られる。

# 3.2. ノイズ(6)

kT/Cノイズからは分解能が2ビット上がる毎に必要な容量は1桁上昇する



分解能 (bit)  
分解能と必要容量

$V_{ref} = 1.0V$ とすると、

- 10bit: 0.1pF
- 12bit: 2pF
- 14bit: 30pF

$V_{ref} = 2.0V$ とすると、

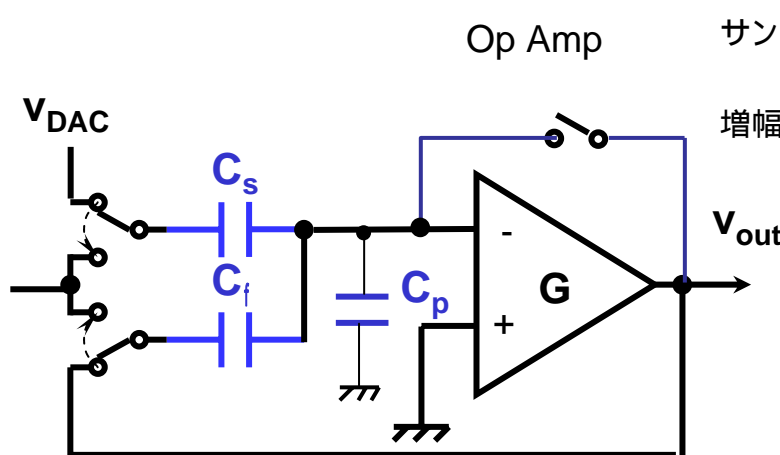
- 10bit: 0.025pF
- 12bit: 0.5pF
- 14bit: 8pF

参照電圧の2乗に反比例

$$C \geq 1.23 \times 10^{-19} \left( \frac{2^N}{V_{ref}} \right)^2$$

# 4. オペアンプの設計(1)

a)利得 必要なDCゲインはNビットADCのSNRに8dB加えたものである。



サンプリング時  $q_f = C_f v_{in}, q_s = C_s v_{in}, q_p = 0$

増幅時  $q_s' = C_s (v_{DAC} - v_{io}), q_f' = C_f (v_{out} - v_{io}), q_p' = C_p v_{io}$

電荷保存則より  $-(q_f + q_s) + q_p = -(q_f' + q_s') + q_p'$

$$v_{out} = 2 \left( v_{in} - \frac{v_{DAC}}{2} \right) \frac{1}{1 + \frac{1}{G} \left( 2 + \frac{C_p}{C_f} \right)} \quad C_f = C_s \text{ の場合}$$

$$G_{error} \approx -\frac{1}{G} \left( 2 + \frac{C_p}{C_f} \right) \approx -\frac{1}{G\beta} \quad \frac{1}{G} \leq \frac{\beta}{2^{N-M+1}}$$

$$\beta \equiv \frac{1}{\left( 2 + \frac{C_p}{C_f} \right)}$$

$$G(dB) > 6(N - M + 1) - 20 \log \beta$$

$$G(dB) > 6(N - M + 1) + 10 \quad (\beta = \frac{1}{3})$$

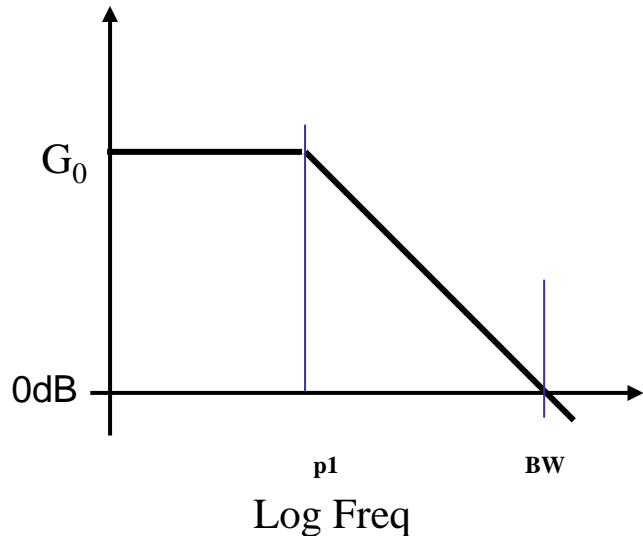
$$G(dB) > 6N + 10 \quad \text{1.5b 構成} \\ \text{1/4LSB}$$

8ビット58dB, 10ビット70dB  
12ビット82dB, 14ビット94dB

# 4. オペアンプの設計(2)

## b) 利得帯域幅積 (GBW)

必要な利得帯域幅積(GBW)は変換周波数に分解能を掛けたものである。



$$E_{error} = \frac{1}{1 + G(s)\beta} = \frac{1}{1 + \frac{G_0\beta}{1 + \frac{s}{\omega_{p1}}}}$$

$$E_{error} = \exp(-G_0\omega_{p1}\beta t) = \exp\left(-\frac{t}{\tau}\right), \quad \tau = \frac{1}{\omega_{BW}\beta}$$

$$\exp\left(-\frac{t_{ss}}{\tau}\right) < \frac{1}{2^{N-M+1}} \quad \cdot \quad a_{BW} = G_0 \cdot a_{p1}$$

$$G = \frac{G_0}{1 + \frac{s}{\omega_{p1}}}$$

$$\omega_{BW} > \frac{0.7(N - M + 1)}{\beta t_{ss}}$$

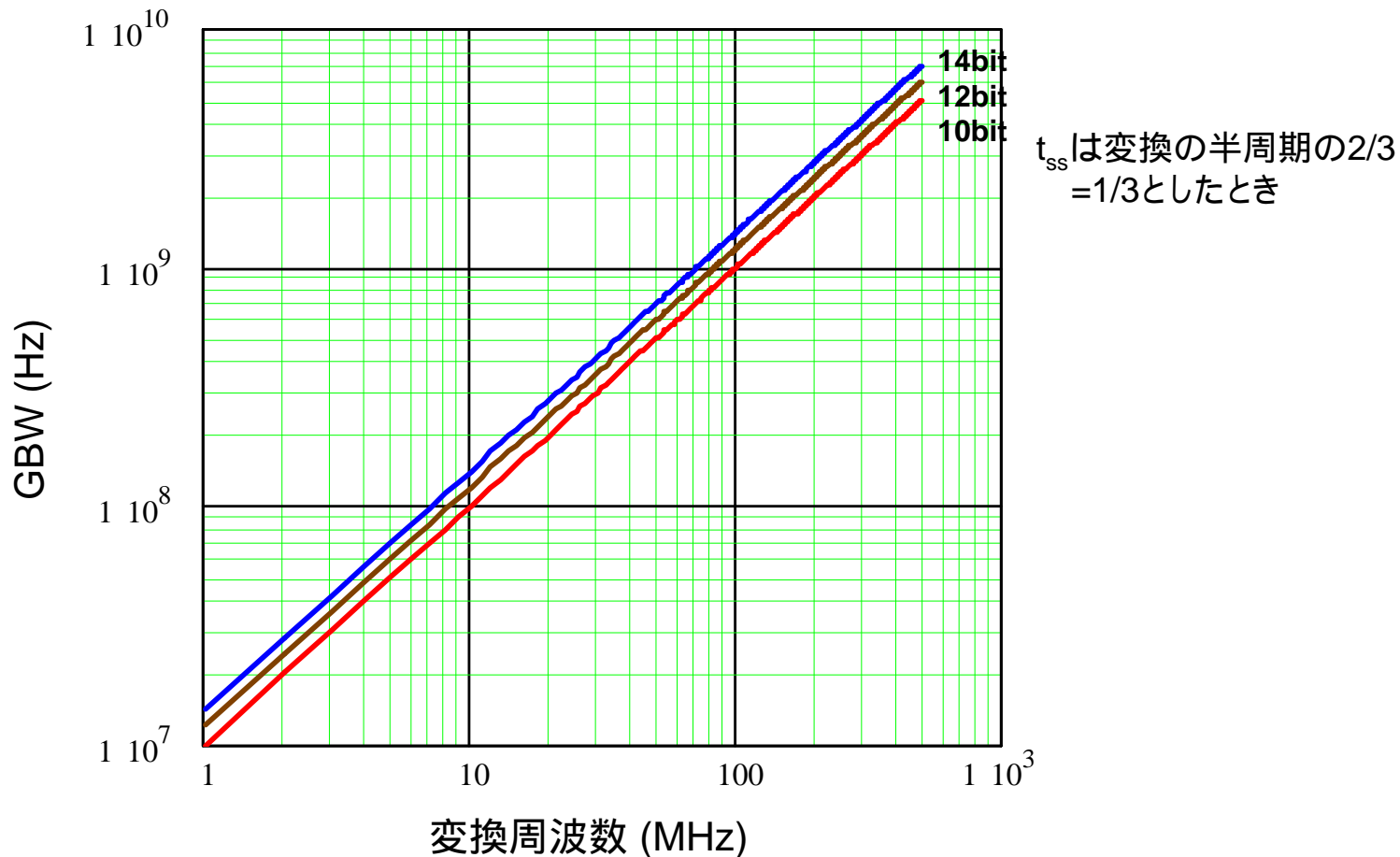
$$GBW > N \cdot f_c$$

$t_{ss}$ は変換の半周期の2/3  
=1/3としたとき

# 4. オペアンプの設計(3)

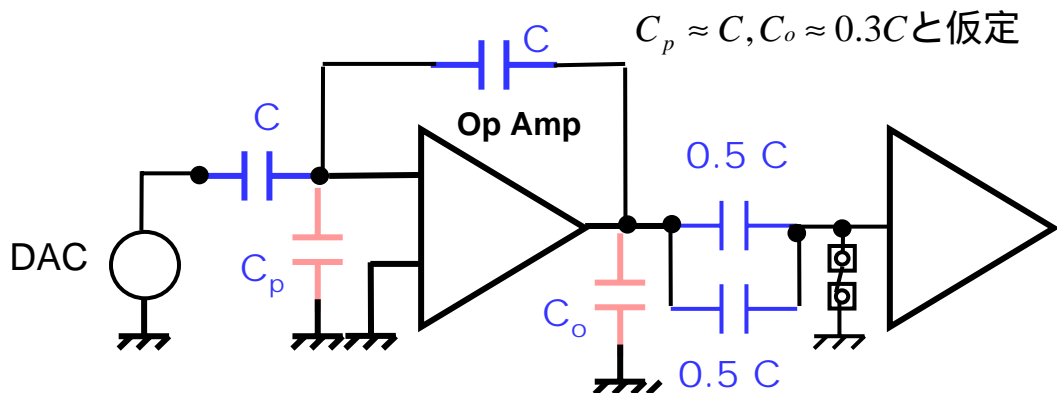
## b) 利得帯域幅積 (GBW)

OPアンプのGBWは変換周波数のおよそ10倍から15倍程度必要



# 4. オペアンプの設計(4)

## c) 動作電流



OPアンプの実効負荷容量

$$C_{eff} \approx 2(0.5C) + \frac{2}{3}C + 0.3C \approx 2C$$

### スルーレートに必要な電流

$$I_s > C_{eff} \frac{V_{ref}}{T_{ls}} \approx 12CV_{ref} f_c$$

$T_{ls}$ : スルーレートに必要な期間  
(通常半周期の1/3)

$$I_s > 12CV_{ref} f_c$$

### セトリングに必要な電流

$$GBW \approx \frac{g_m}{2\pi C_{eff}} \approx \frac{g_m}{4\pi C} \approx \frac{I_s}{4\pi CV_{eff}} \approx \frac{I_s}{2.5C}$$

GBW=Nf<sub>c</sub>を用いると

N: 分解能  
f<sub>c</sub>: 変換周波数

$$I_s \approx 2.5C \cdot N \cdot f_c$$

$N > 4.8V_{ref} (V)$  であればセトリング電流で決定される。

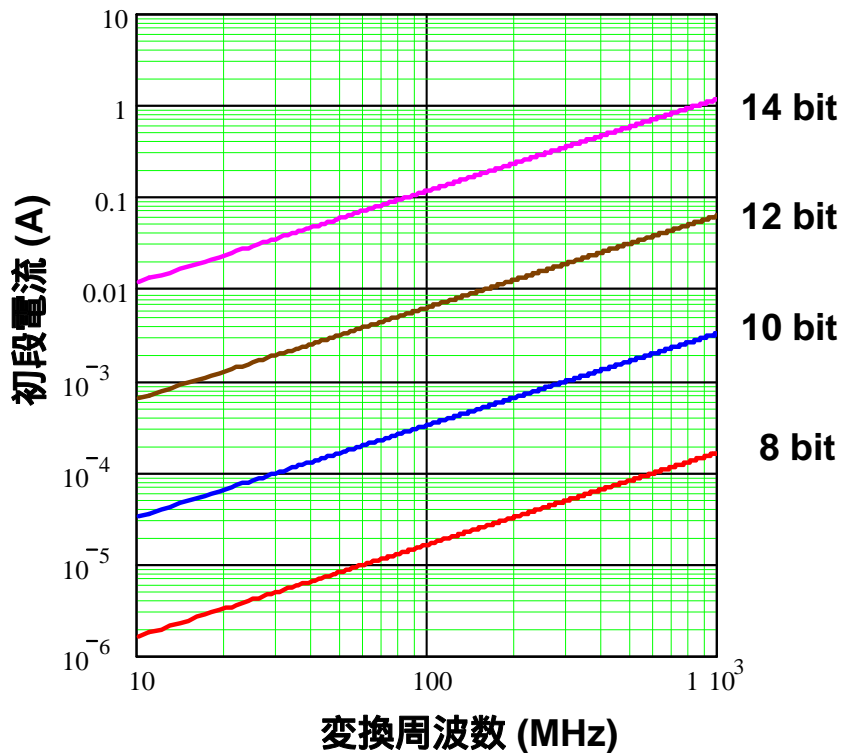
通常 $V_{ref}$ は2V以下、Nは10ビット以上なので成立する。

# 4. オペアンプの設計(5)

## c) 動作電流

$$C \geq 1.23 \times 10^{-19} \left( \frac{2^N}{V_{ref}} \right)^2$$
$$I_s \approx 2.5C \cdot N \cdot f_c$$

$$I_s \geq 3.1 \times 10^{-19} \times \frac{N \cdot 2^{2N}}{V_{ref}^2} \cdot f_c$$



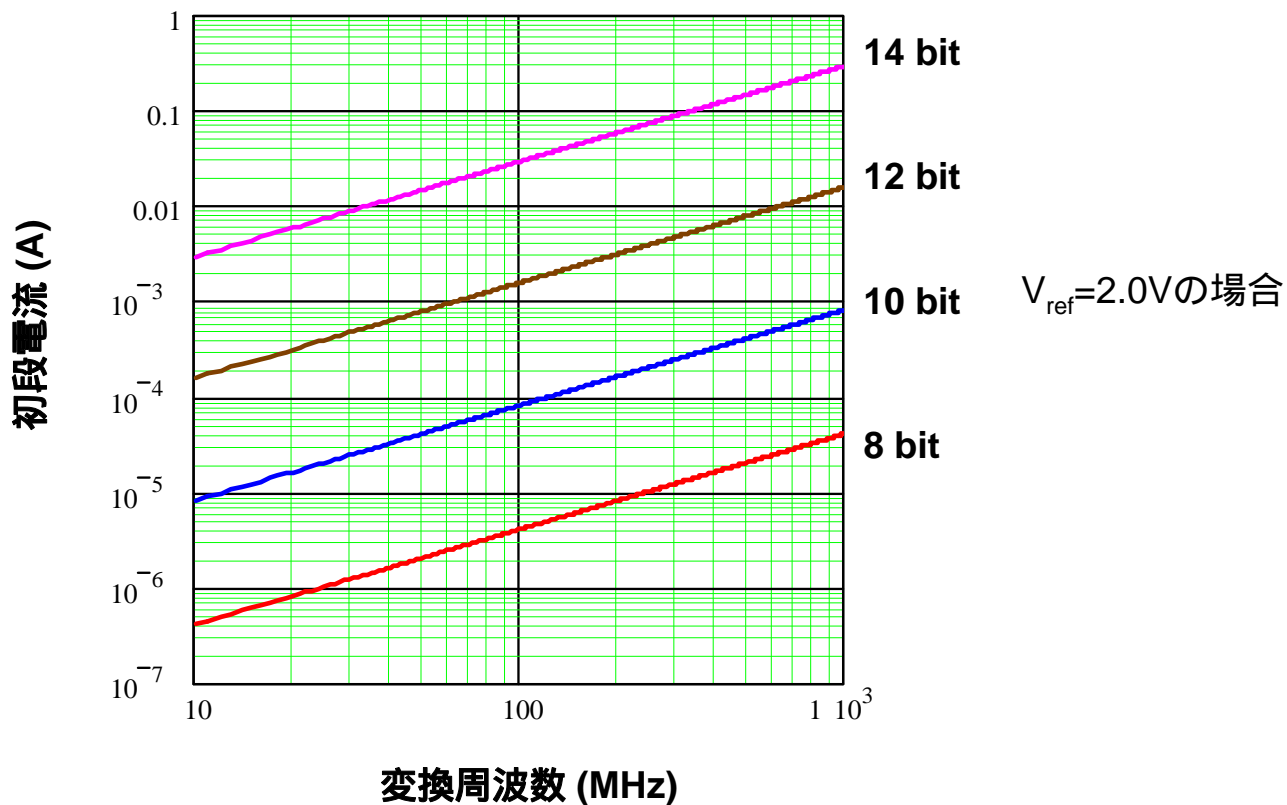
$V_{ref}=1.0V$ の場合

分解能が2ビット上がるにつれて約20倍消費電流が増加する。  
変換周波数が1桁上がると消費電流も1桁上がる。

# 4. オペアンプの設計(6)

c)動作電流  $V_{ref}$ を2倍に上げると消費電流は1/4になる

$$I_s \geq 3.1 \times 10^{-19} \times \frac{N \cdot 2^{2N}}{V_{ref}^2} \cdot f_c$$

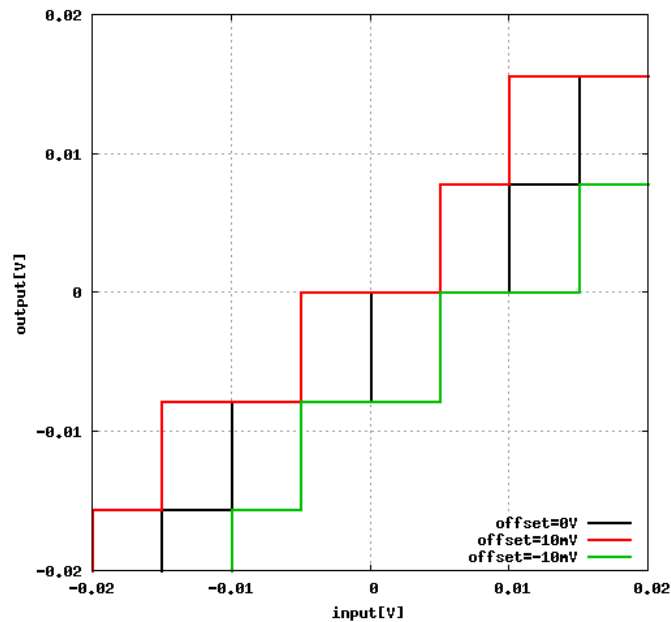
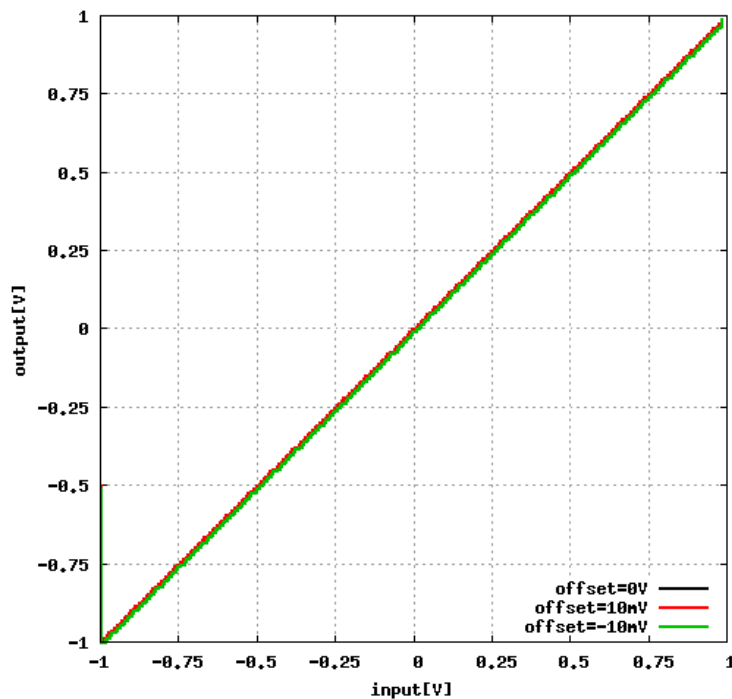




# 4. オペアンプの設計(7)

## d) オフセット電圧と1/fノイズ

・増幅器のオフセット電圧は変換には全く影響を与えない



2段目に  
オフセット

・1/fノイズは入出力ショートによりキャンセル可能

OPアンプの初段のトランジスタゲートサイズは小さくてよい

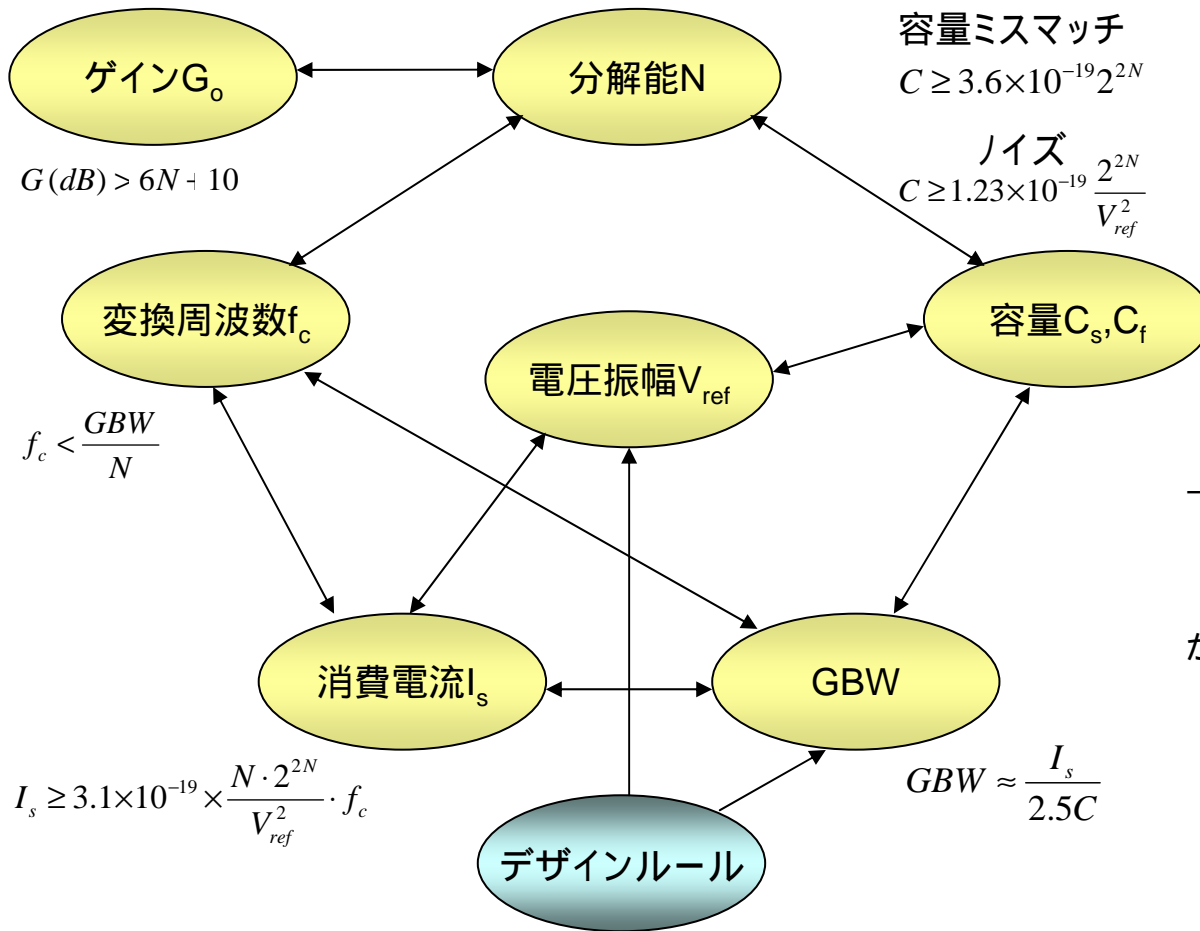
# 5. まとめ

---

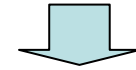
- ADCのエラーは容量比精度が支配的
  - 容量比精度上、分解能を2ビット上げると容量は1桁増加する
  - 容量比精度による誤差が発生しても誤差補正回路により校正可能である
  - OPアンプと比較器のオフセット電圧は殆ど影響しない
- ノイズは結局 $kT/C$ で決まる
  - $kT/C$ ノイズからは分解能が2ビット上がる毎に必要な容量は1桁上昇する
  - $1/f$ ノイズはフリッカーとして影響を与えるのでチョッパキャンセルを用いるべきである。
- 電圧振幅を大きくすることが全てにおいて有利
  - 低容量化・低消費電力化・高速化
- 分解能が2ビット上がるにつれて約20倍消費電流が増加する。変換周波数が1桁上がると消費電流も1桁上がる
- OPアンプ設計
  - OPアンプの利得は $SNR+8dB$ 必要
  - OPアンプの $GB$ 積は分解能・変換周波数で決まる

# 5. まとめ

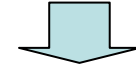
## 今後の検討課題



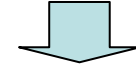
高速化のためにGBWを大きくする



$2p > 3GBW$ を満たさなければならない



OPアンプのカスコード段の時間定数で決定  
 デザインルールに強い依存性

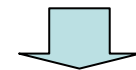


微細化によりGBW大きくできる  
 高速化が可能？

一方、電圧振幅を上げると

- ・低容量化
- ・低消費電力化
- ・高速化

が可能であるが、デザインルールによって制限



微細化により電圧振幅が取れなくなる  
 高分解能では容量Cが大きくなる  
 低速化？  
 その他の性能も劣化？

デザインルールを考慮に入れたADCの最適設計が必要