

パイプライン型 ADC の研究 - 容量と OP アンプの基本要件の検討 -

宮原 正也 松澤 昭

東京工業大学大学院理工学研究科電子物理工学専攻 〒152-8550 東京都目黒区大岡山 2-12-1,S3-27

E-mail: masaya@ssc.pe.titech.ac.jp, matsu@ssc.pe.titech.ac.jp

あらまし パイプライン型 ADC の必要要件について容量と OP アンプの基本特性の観点から検討を行った。その結果、容量ミスマッチ精度は分解能に応じて厳しくなり、またこの値は容量の平方根に比例して減少するため、分解能が 2 ビット上がるごとに必要な容量が約 1 桁程度上がり、ノイズにおいても同様の傾向が得られたが、これは参照電圧信号を上げることにより劇的に減少させることが可能であることが分かった。OP アンプの特性は、必要な利得帯域幅積は分解能と変換周波数の積で決定され、動作電流はこれに更に容量を掛けたものになることから分解能が 2 ビット上がるごとに動作電流が約 20 倍程度上がるので低消費電力化のためには参照電圧を上げて必要な容量を小さくすることが重要であることが分かった。

キーワード A/D 変換器, パイプライン動作, 演算増幅器, 低消費電力, 高速動作, アナログ回路, 集積回路

A Study on a pipeline ADC - Basic requirements for capacitance and OP amp -

Masaya MIYAHARA and Akira MATSUZAWA

Department of Physical Electronics, Tokyo Institute of Technology S3-27, 2-12-1, O-okayama, Meguroku, Tokyo, 152-8550, Japan.

E-mail: masaya@ssc.pe.titech.ac.jp, matsu@ssc.pe.titech.ac.jp

Abstract We discussed the basic requirements for capacitance and OP amps used in a pipeline ADC. As a result, the followings are obtained. The required capacitance can be determined by the square of ADC step number or determined by the square of the reciprocal of quantization voltage and the required current of OP amp is proportional to the products of the resolution number, capacitance, and conversion frequency. Therefore required capacitance and operating current increase 20 times when the ADC resolution increases two bits. Thus the reduction of capacitance using higher reference voltage is quite important to reduce the power consumption of the pipeline ADC.

Keyword Analog to digital converter, pipeline operation, operational amplifier, low power technology, high speed technology, analog circuits, integrated circuits.

1. はじめに

デジタル信号処理技術の適用は従来の AV 信号処理から通信や記録にも広がっており、実信号をデジタル信号に変換する A/D 変換器(以下 ADC と略す)の高速化・高精度化・低消費電力化・混載化の要求は衰えることがない。ADC の変換方式には様々な種類があるが、MHz を超える変換速度と 8 から 14 ビット程度の分解能においてはパイプライン型が主流となっており、デジタル TV・VTR、デジタルカメラ、ADSL、ワイアレス LAN・PAN など多くの用途に使用されている。またパイプライン型 ADC は単位回路の縦続接続により構成されているので、分解能や変換速度を広い範囲で

変化させやすく、他の方式に比べて IP 化が容易である。そこで本報告においては IP 化を図るためにパイプライン型 ADC の基本特性と設計法の検討を行ったので報告する。

2. パイプライン型 ADC の構成

ここで検討するパイプライン型 ADC は図 1 に示したように同一値に設定された容量 C_s , C_f と OP アンプ、また $\pm V_{ref}/4$ のしきい値電圧を有する比較器(図には示していない)で構成される単位変換回路を縦続に接続したものである[1]~[3]。

最初のクロックフェーズ(サンプリングフェーズ)で

スイッチSW_{1s}, SW_{1f}は内側に倒されており、SW₂は接地されている。この状態で比較器が入力信号V_{in}と正しい値電圧を比較する。次のクロックフェーズでSW₂を開放し、SW_{1s}, SW_{1f}を外側に倒し、DAC端子には比較出力に応じて+/-V_{ref}もしくは接地電位が印加される。この動作により入力信号V_{in}はDAC/2の電圧だけ引かれると同時に2倍の利得を持って増幅され、次段の単位変換回路に入力される(差分増幅フェーズ)。このとき次段の単位変換回路はサンプリングフェーズになっており、以下このような動作がパイプライン的に繰り返され、上位ビットから順次変換値が得られる。ところで図1では簡単のためにシングル型で回路を表現しているが実際の回路は実効的に信号振幅を大きく取るためやスイッチからのフィードスルー誤差やノイズの抑制などのために差動型を用いることが多い。そこで以下の解析においては差動型を前提としている。次に精度や速度、消費電力、占有面積などに大きな影響を与える容量C_s, C_fの決定について考察する。

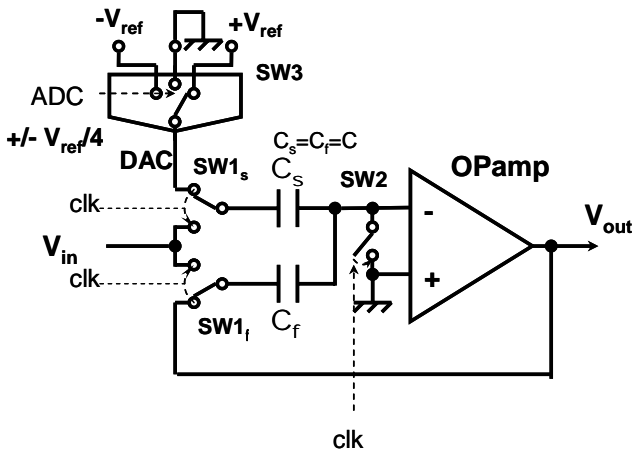


図1 単位変換回路
Fig.1 Unit conversion stage.

3. 容量C_s, C_fの決定

容量C_s, C_fは精度や速度、消費電力、占有面積などに大きな影響を与える。一般に容量C_s, C_fが大きいほど精度が高い反面、速度が低下し、消費電力、占有面積が大きくなる。したがって容量C_s, C_fの決定はパイプライン型ADC設計における最重要課題である。

3.1. ミスマッチ精度

容量C_s, C_fは同一に設定されているが実際の容量はわずかなばらつきを持っておりこれが精度に影響を与える。

図1の回路において差分増幅時の出力電圧は、OPアンプの利得が無大と仮定して、以下のように表される。

$$v_{out} = \frac{(C_s + C_f)v_{in} - C_s v_{DAC}}{C_f} \approx 2 \left(v_{in} - \frac{v_{DAC}}{2} \right) \quad (1)$$

したがって容量変化に対しては、

$$\begin{aligned} \Delta v_{out} &= \frac{\partial v_{out}}{\partial C_s} \Delta C_s + \frac{\partial v_{out}}{\partial C_f} \Delta C_f \\ &= \left(\frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (v_{in} - v_{DAC}) \end{aligned} \quad (2)$$

となる。図2に容量C_sもしくはC_f(この場合容量間の相対的なミスマッチが問題なのでどちらかの容量が変化した場合の変換の様子を示す。ここでは利得が減少する方向に変化したとしている。容量比が2からずれたことにより+/-V_{ref}/4の入力において誤差δ₁, δ₂が生じる。ここで誤差δ₁は入力電圧が-V_{ref}/4より負側に大きい領域、つまりV_{DAC}が-V_{ref}の時に生じる誤差、誤差δ₂は入力電圧が-V_{ref}/4より正側に大きい領域、つまりV_{DAC}が接地電位の時に生じる誤差とする。誤差δ₁, δ₂と、これらを合算したトータルの誤差δは、

$$\begin{aligned} \delta_1 &= \frac{3}{4} \left(\frac{\Delta C}{C} \right) V_{ref}, \quad \delta_2 = \frac{1}{4} \left(\frac{\Delta C}{C} \right) V_{ref}, \\ \therefore \delta &= \delta_1 + \delta_2 = \left(\frac{\Delta C}{C} \right) V_{ref} \end{aligned} \quad (3)$$

となるのでこの誤差が1/4LSB以下になるのを基準とすると、分解能をNとして、容量の相対ミスマッチ誤差は以下ようになる。

$$\frac{\Delta C}{C} \leq \frac{1}{2^N} \quad (4)$$

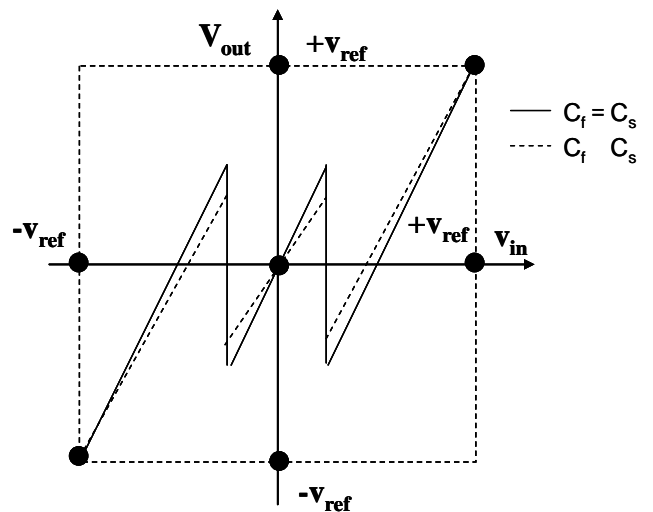


図2 1.5bitの変換特性と利得誤差
Fig.2 Ideal and non-ideal conversion characteristics.

ところで、容量のミスマッチ誤差は MIM 容量の実測値より以下の式で近似できる。

$$\frac{\Delta C}{C}(3\sigma) = \frac{6 \times 10^{-4}}{\sqrt{C(\text{pF})}} \quad (5)$$

これより図 3 に容量に対する基準の容量ミスマッチの 3 値を示す。

図より分解能 10 ビットでは 0.4pF、12 ビットでは 4pF、14 ビットでは 40pF 程度の容量の C_s 、 C_f が必要になることがわかる。容量のミスマッチ特性からは分解能が 2 ビット上がるごとに必要な容量が 1 桁程度上がることになる。したがって高分解能のパイプライン型 ADC ではきわめて大きな容量が必要で占有面積の増加、変換速度や消費電力の劣化が懸念される。

ところで、容量ミスマッチはある特定の箇所の変換誤差にしか効かないため、なんらかの誤差補正技術[4]により解消される可能性がある。

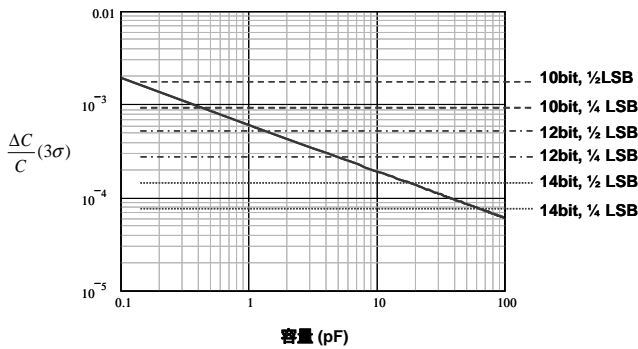


図 3 容量値と容量ミスマッチ

Fig3 Capacitance vs. capacitance mismatch.

3.2. ノイズ

容量により大半のノイズが決定されるので、ノイズから必要容量を算出する。ノイズ量の算定基準は A/D 変換器の本質的なノイズである量子化ノイズである。

量子化ノイズ電力 v_q^2 と実効的な平均ノイズ電圧 $\overline{v_q}$ は以下のように与えられる。

$$v_q^2 = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{1}{3} \left(\frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}, \quad \overline{v_q} = \frac{V_{ref}}{\sqrt{32^N}} \quad (6)$$

ノイズ量の基準としては量子化ノイズ電力の半分とする。量子化ノイズ電力と同等で SNR は 3dB の劣化となり、有効ビットに換算して 0.5bit 劣化するので

大きすぎる。かといって 1/4 では厳しすぎて現実的ではない。まず、ノイズについて容量が熱雑音をサンプリングすることにより発生する kT/C ノイズと OP アンプの熱雑音に分けて論じることとする。

a) kT/C ノイズ

kT/C ノイズはサンプリング時に 2 つの容量にサンプリングされるノイズとする。各容量のノイズ電力 v_c は

$$v_c^2 = \frac{kT}{C} \quad (7)$$

となる。ノイズ電圧は各容量に保持されているので通常はそのまま加算するところであるが、各容量には信号電圧も保持されており、増幅時には加算されて 2 倍の信号電圧となる一方、2 つのノイズ電圧は基本的に無相関と考えられるので $\sqrt{2}$ 倍になる効果を考慮する必要がある。したがってこの効果と、差動構成によりノイズ電力は 2 倍になることを考慮すると、結局入力換算のノイズ電力は(7)式で示したものと同一になる。ところで、パイプライン型 ADC は単位変換回路が継続に接続されており、各単位変換回路からの kT/C ノイズを考慮する必要がある。ただしこのときに各段の容量は 1 段につき 1/2 に設定され、各段の増幅率は 2 であるので、例えば 2 段目のノイズと入力換算ノイズは、

$$v_{c_2nd}^2 = \frac{2kT}{C}, \quad v_{c_2nd_in}^2 = \frac{1}{4} \frac{2kT}{C} = \frac{kT}{2C} \quad (8)$$

となるので、以下同様に考えて、入力換算のトータルノイズ $v_{c_tot}^2$ は、

$$v_{c_tot}^2 = \sum_{n=0}^{N-1} \frac{1}{2^n} \frac{kT}{C} \approx \frac{2kT}{C} \quad (9)$$

となる。

b) 入力換算熱雑音

入力換算熱雑音は 1 段のフォールディットカスケード型 OP アンプを仮定すると、

$$v_{ther}^2 = 2\gamma \frac{8kT}{3} \frac{1}{g_m} \left(1 + \frac{g_{m_CMN}}{g_m} + \frac{g_{m_CMP}}{g_m} \right) \Delta f \quad (10)$$

となる。初めの2は差動によるもので、 β は過剰ノイズ係数、 g_m はOPアンプの初段のトランジスタペアを構成するトランジスタのトランスコンダクタンス、 g_{m_CMN} 、 g_{m_CMP} は定電流を構成するN型およびP型トランジスタのトランスコンダクタンスを、 f は周波数帯域を表す。 g_{m_CMN} 、 g_{m_CMP} は g_m に対して半分、次段以降のOPアンプの動作電流を1段毎に半分に減少させることを仮定し、更に $g_m = \frac{2I_{ds}}{V_{eff}}$ であり、 β を2、 V_{eff}

を通常使用する0.2Vとおくと、(10)式は、

$$v_{ther}^2 \approx 8.5 \frac{kT}{I_s} \Delta f \quad (11)$$

と近似できる。ここで I_s はOPアンプの初段のトランジスタペアに電流を供給する定電流源の電流値である。次に f であるが、 f は利得帯域幅と実効負荷容量が $2C$ と表されることを用いて以下のようになる。

$$\begin{aligned} \Delta f &= \frac{\pi}{2} \beta GBW \approx \frac{GBW}{2} \\ &= \frac{g_m}{2 \cdot 2\pi \cdot 2.5C} = \frac{I_s}{2 \cdot 2\pi \cdot 2C \cdot 0.2} \approx \frac{I_s}{2.5C} \end{aligned} \quad (12)$$

これにより、熱雑音は

$$v_{ther}^2 \approx 8.5 \frac{kT}{I_s} \Delta f = 8.5 \frac{kT}{I_s} \frac{I_s}{2.5C} \approx 1.7 \frac{kT}{C} \quad (13)$$

と、動作電流ではなく、 kT/C ノイズで決まることが分かる。したがって、a)で示したサンプリングによる kT/C ノイズと合わせて、全ノイズは

$$v_n^2 = v_c^2 + v_{th}^2 \approx 3.7 \frac{kT}{C} \quad (14)$$

となる。この雑音電力が量子化ノイズ電力の半分を基準とすると、必要な容量は

$$C \geq 1.23 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2 \quad (15)$$

となる。

分解能と必要な容量を図4に示す。参照電圧を1Vとすると、10ビットで0.1pF、12ビットで2pF、14ビットで30pFとなる。この値は参照電圧の2乗に反比例し、参照電圧を2Vまで上げれば、10ビットで0.025pF、12ビットで0.4pF、14ビットで8pFとなる。したがって容量を下げるには参照電圧が高いほど良いが、使用できる電源電圧やCMOSプロセスのデザインルール、OPアンプの回路形式などにより制約される。

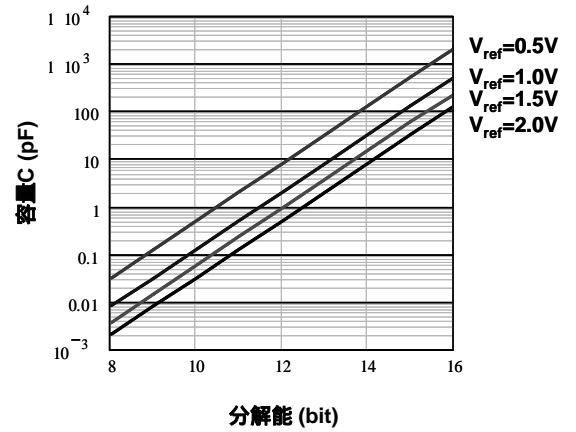


図4 分解能と必要容量

Fig4 Resolution vs. required capacitance.

4. OPアンプの設計

OPアンプもパイプライン型ADCの性能に大きな影響を与える。

a) 利得

OPアンプの利得による誤差は容量精度と同様に $1/4LSB$ を基準とすると、

$$G(dB) > 6N + 10 \quad (16)$$

となる。ここでフィードバックファクターを $1/3$ としている。 N ビットのADCの理論SNRは $6N+2$ (dB)であるので、必要利得は理論SNRに8dB加えたものであるといえる。8ビット分解能で58dB、10ビット分解能で70dB、12ビット分解能で82dB、14ビット分解能で94dBとなりさほど困難な値ではない。

b) 利得帯域幅積 (GBW)

セトリング時間の基準を $1/4LSB$ とすると、1次のポールを有するアンプの応答より、

$$\exp\left(-\frac{t_{ss}}{\tau}\right) < \frac{1}{2^N}, \quad \tau = \frac{1}{2\pi \cdot GBW \cdot \beta} \quad (17)$$

ここで、 t_{ss} はセトリングに要する時間、 N はフィードバックファクターである。スルーレートなどを考慮し、 t_{ss} を変換の半周期の $2/3$ 、 $N=1/3$ とすると、

$$GBW > N \cdot f_c \quad (18)$$

と近似できる。 f_c は変換周波数である。図5に変換周波数と必要な利得帯域幅積を示す。各分解能とも変換周波数が10MHzでは100MHzから140MHz、変換周波数が100MHzでは1GHzから1.4GHz程度になる。

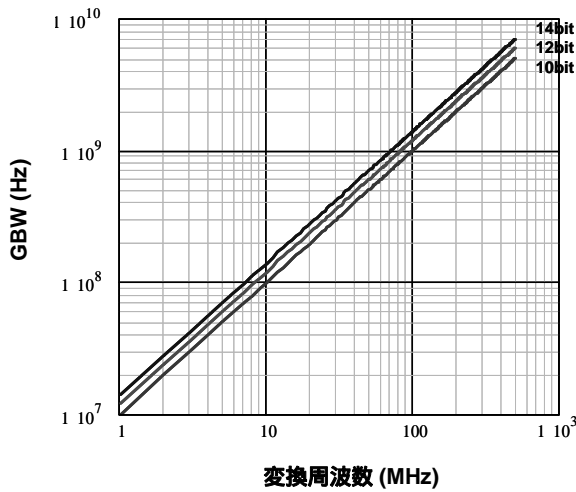


図5 変換周波数と必要な利得帯域幅積 (GBW)

Fig5. Conversion frequency vs. required GBW.

c)動作電流

OPアンプの回路は次段の容量が半分になっていることを考慮すると、増幅時の容量関係は図6に示すものになる。図において C_p はOPアンプのゲート容量などの入力の寄生容量、 C_o はコモンモードフィードバック回路の容量などの出力に付く寄生容量を示している。

$C_p=C$, $C_o=0.3C$ と仮定すると、実効的な負荷容量 C_{eff} は、

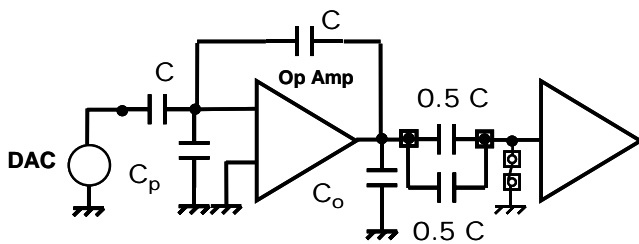


図6 OPアンプと増幅時の接続容量

Fig6. OP amp and capacitors in subtracting and amplifying phase.

$$C_{eff} = 2 \cdot 0.5C + \frac{2}{3}C + 0.3C \approx 2C \quad (19)$$

と近似できる。

したがってこの回路の利得帯域幅積(GBW)は、

$$GBW = \frac{g_m}{2\pi C_{eff}} \approx \frac{g_m}{4\pi C} = \frac{I_s}{4\pi C V_{eff}} \approx \frac{I_s}{2.5 \cdot C} \quad (20)$$

となる。ここで I_s はOPアンプ初段の定電流源の電流、OPアンプは1段の増幅器、 V_{eff} は0.2Vとしている。(20)式と(18)式より、

$$I_s > 2.5C \cdot N \cdot f_c \quad (21)$$

が導出される。

一方スルーレートからは、

$$I_s > C_{eff} \frac{V_{ref}}{T_{1s}} \approx 12C V_{ref} f_c \quad (22)$$

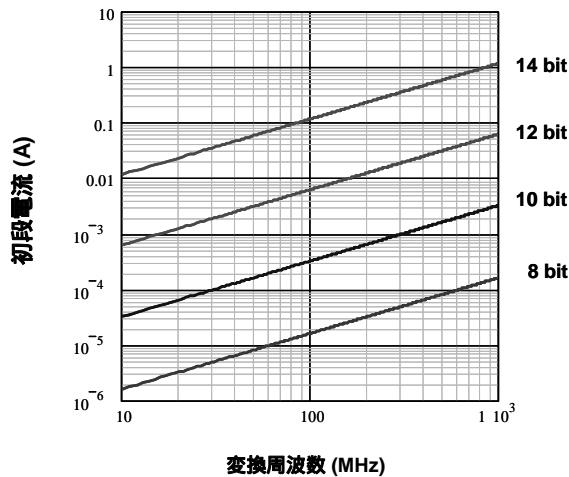
の条件が必要である。ここで T_{1s} はスルーレートに必要な時間で、通常変換の半周期の $1/3$ 程度をみているのでこの条件を用いた。 $N > 4.8 V_{ref}$ (V)であれば小信号セトリング時間で制限される。この条件は V_{ref} が2V以下、分解能10ビット以上であれば満足されるので殆どの場合小信号セトリング時間で規定される。

最後に分解能、変換周波数とOPアンプの初段の定電流源の電流の関係を(15)式を(21)式に代入することで求めると、

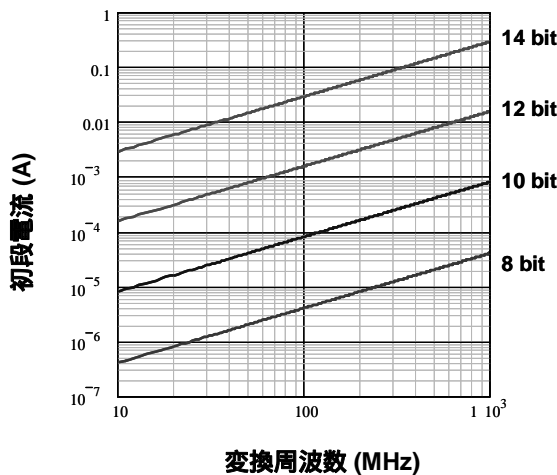
$$I_s > 3.1 \cdot 10^{-19} \cdot N \cdot \left(\frac{2^N}{V_{ref}} \right)^2 \cdot f_c \quad (2)$$

3)

となる。分解能をパラメータとした、 $V_{ref}=1V$ のときと $V_{ref}=2V$ のときの変換周波数とOPアンプの初段の定電流源の電流の関係を図7(a)、図7(b)に示す。両方ともに分解能が2ビット上がるにしたがって約1桁電流が増加し、変換周波数が1桁上がると動作電流も1桁増加することがわかる。また動作電流低減のためには V_{ref} の増加が効果的である。



(a) $V_{ref}=1V$



(b) $V_{ref}=2V$

図7 ADCの性能とOPアンプの初段電流

Fig7. Required current for top stage of OP amp vs. resolution frequency.

d) オフセット電圧と $1/f$ ノイズ

オフセット電圧は変換精度に影響を与えないのでOPアンプの初段のトランジスタのゲートサイズは小さくてもかまわない。

$1/f$ ノイズはフリッカーノイズとして変換精度に影響を与えるが、OPアンプの入出力ショートによりキャンセル可能である。したがってOPアンプの初段のトランジスタのゲートサイズは小さくてもかまわない。

5. まとめ

パイプライン型ADCの必要性能要求について、簡単なモデルにより検討を行った。容量値の設定については容量ミスマッチによる利得誤差と熱雑音および kT/C ノイズの観点から検討した。その結果容量ミスマッチ精度は分解能に応じて厳しくなり、しかも容量ミ

スマッチは容量の平方根に比例して減少するため、分解能が2ビット上がるごとに必要な容量が約1桁程度上がることになる。ノイズの観点からも同様の傾向が得られたが、ノイズは参照電圧信号を上げることにより劇的に減少させることが可能である。また通常高分解能では容量ミスマッチにより規定されるので、参照電圧を上げるか、誤差補正技術により容量ミスマッチによる誤差を抑制するなどの手段を取れば、必要容量を減少させることが可能である。

OPアンプの特性は、必要な利得帯域幅積は分解能と変換周波数の積で決定され、動作電流はこれに更に容量を掛けたものになるので、低消費電力化のためにはまずは参照電圧を上げて必要な容量を小さくする必要がある。動作周波数の上限はOPアンプの位相条件で決まり、 60° の安定位相を確保するためには第2ポールの周波数が利得帯域幅積の3倍が必要である。1段増幅器の第2ポール周波数はカスコード段の時定数で決定されるため、利得帯域幅積はデザインルールに強い依存性があるが、本稿ではこの解析までには至っておらず、今後の検討課題である。

文献

- [1] S. H. Lewis, H. S. Fetterman, G. F. Gross, Jr., R. Ramachandran, T. R. Viswanathan, "A 10-b, 20-Msample/s Analog-to-Digital Converter," IEEE Journal of Solid-State Circuits, Vol. 27, No. 3, pp. 351-358, March, 1992.
- [2] T. Cho and P. R. Gray, "A 10b 20Msample/s, 3mW pipeline A/D converter," IEEE Journal of Solid-State Circuits, Vol. 30, No. 3, pp. 166-172, March, 1992.
- [3] A. M. Abo and P. R. Gray, "A 1.5V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," IEEE Journal of Solid-State Circuits, Vol. 34, No. 5, pp. 599-606, May, 1999.
- [4] S-Y. Chuang and T. L. Sculley, "A Digitally Self-Calibrating 14-bit 10MHz CMOS Pipelined A/D Converter," IEEE Journal of Solid-State Circuits, Vol. 37, No. 6, pp. 674-683, June, 2002.