

# AT-2. 微細化プロセスでのアナログ設計技術

松澤 昭

東京工業大学  
大学院理工学研究科

## AT-2. 微細化プロセスでのアナログ設計技術

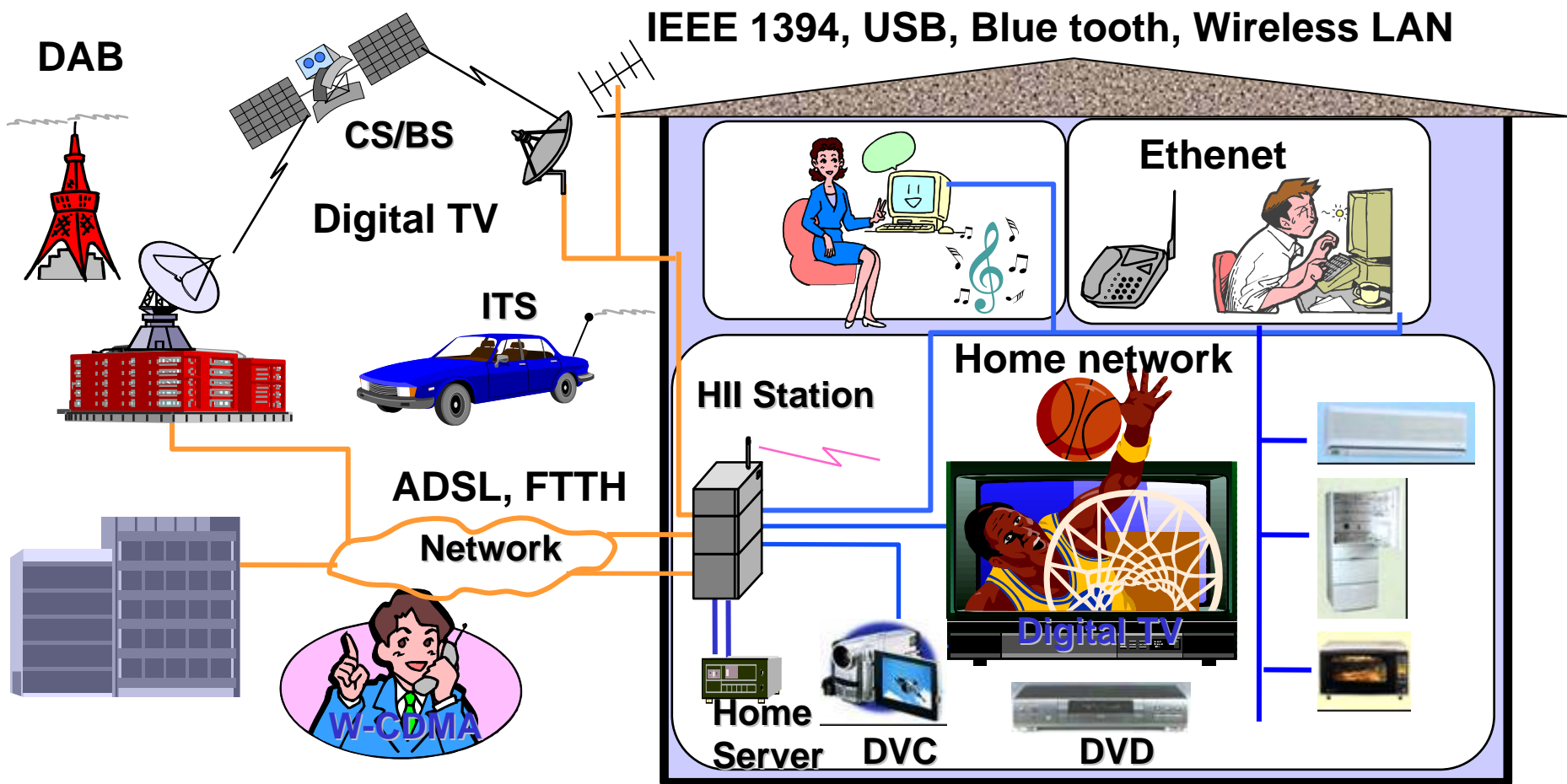
---

- ・ 13:00–13:35: 微細・低電圧SoC時代のアナログ技術 松澤 昭(東工大)
- ・ 13:35–14:10 :高速・低電力A/D変換技術(予稿なし) 川人祥二(静岡大)
- ・ 14:10–14:20 : 休憩
- ・ 14:20–14:55 : SoC用アナログ回路コア設計 道正志郎(松下電器)
- ・ 14:55–15:30 : アナログ・RF用微細デバイス技術 岡田健一(東工大)
- ・ 15:30–16:05 : SoCにおけるデジタルノイズ 永田 真(神戸大)

# 現代におけるアナログ技術の役割

# デジタルネットワーク社会

デジタルネットワーク化に伴いアナログ・RF混載技術が重要になっている

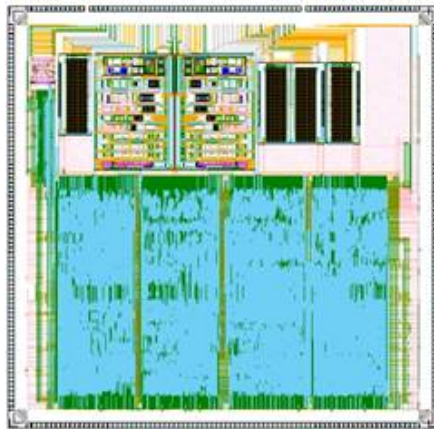


# アナ・デジ混載CMOS LSIの一例

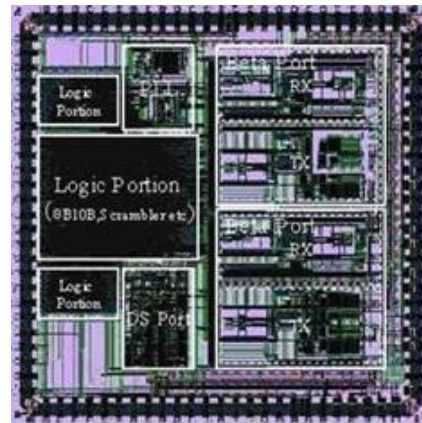
様々なアナ・デジ混載LSIが必要とされている。

**5G RF LAN**

*12b 50MHz ADC 2ch  
12b 50MHz DAC 2ch*

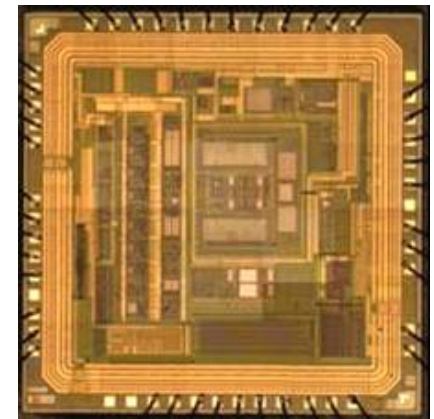


**Digital network**  
1394b (1GHz)



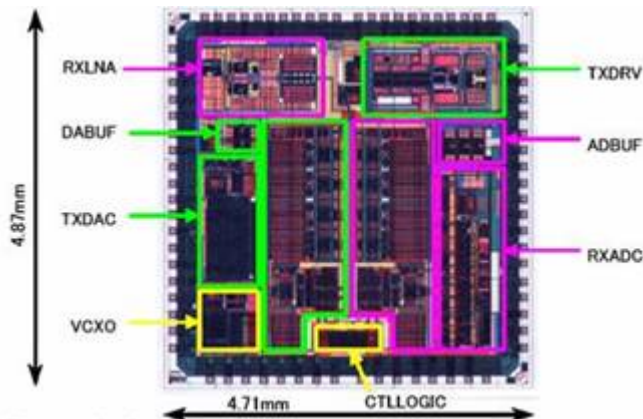
**AFE for Digital Camera**

*12b 20MHz ADC+AGC*

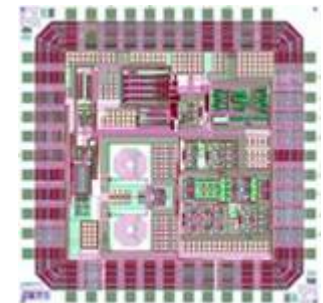
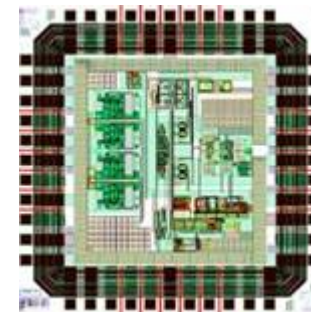


**AFE for ADLS**

*12b 20MHz  
ADC+DAC*



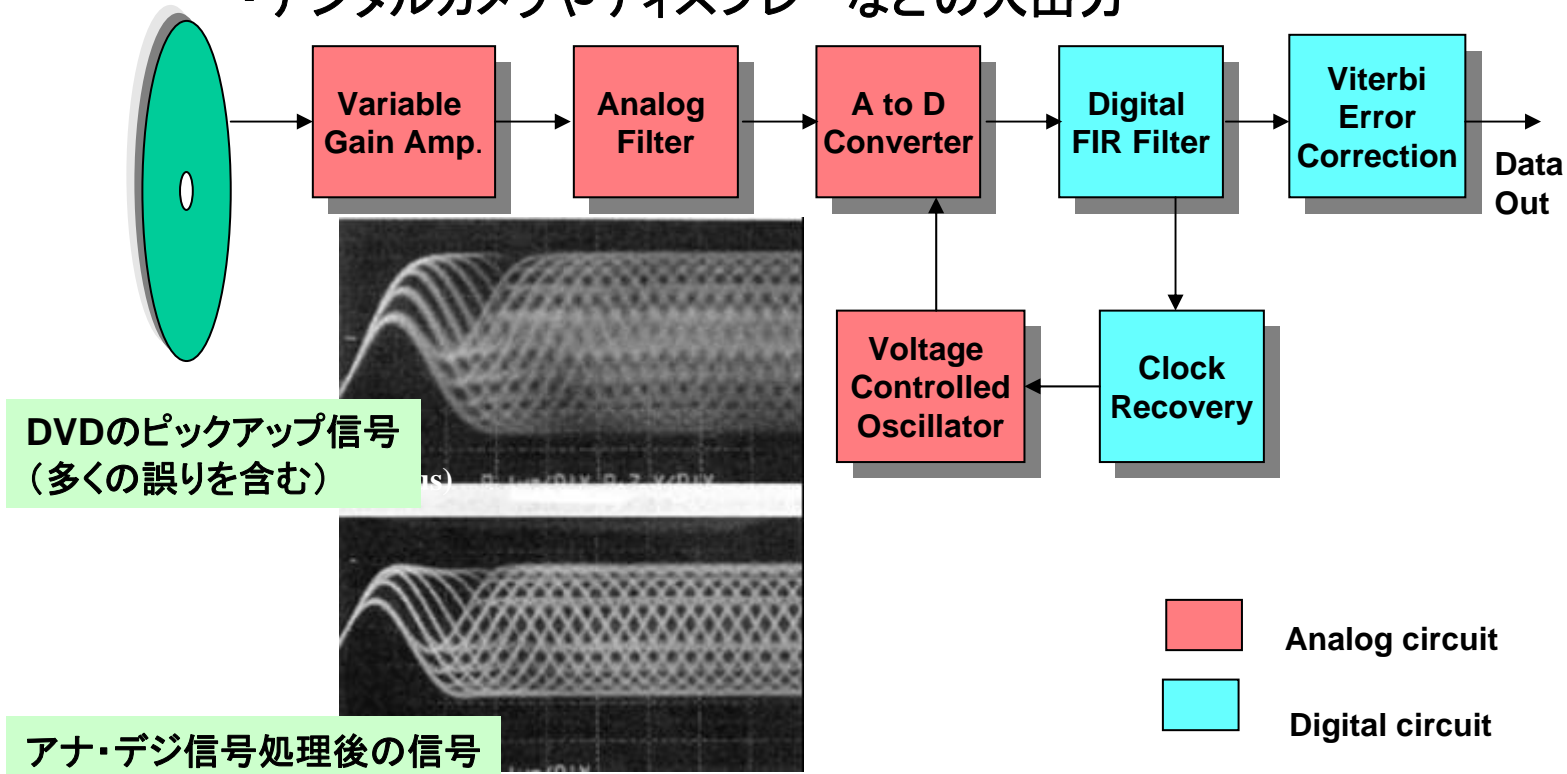
**2GHz RF CMOS**



# アナ・デジ混在信号処理

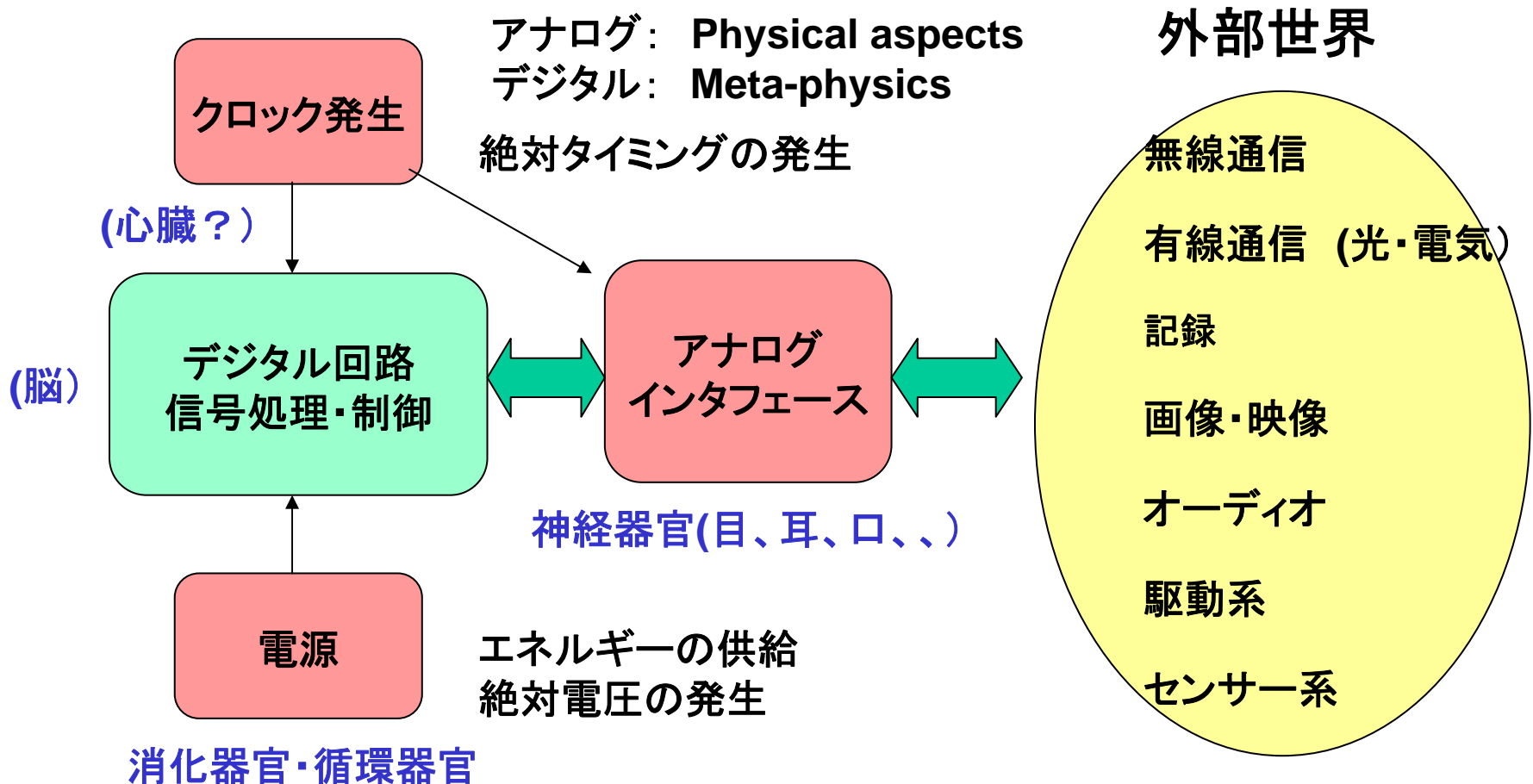
アナ・デジ混在型信号処理は殆どのシステムに用いられている。  
→SoCへの搭載が必須

- ・デジタル放送・通信・ネットワーク(DTV, ADSL, Ethernet, USBなど)
- ・デジタル記録(HDD, DVD, DVCなど)
- ・デジタルカメラやディスプレイなどの入出力



# 現代のアナログの役割

現代のアナログはデジタルが絶対にできない物理世界とのやりとりを受け持つ。  
デジタル処理が現実世界でうまくゆくようにサポートする役割。

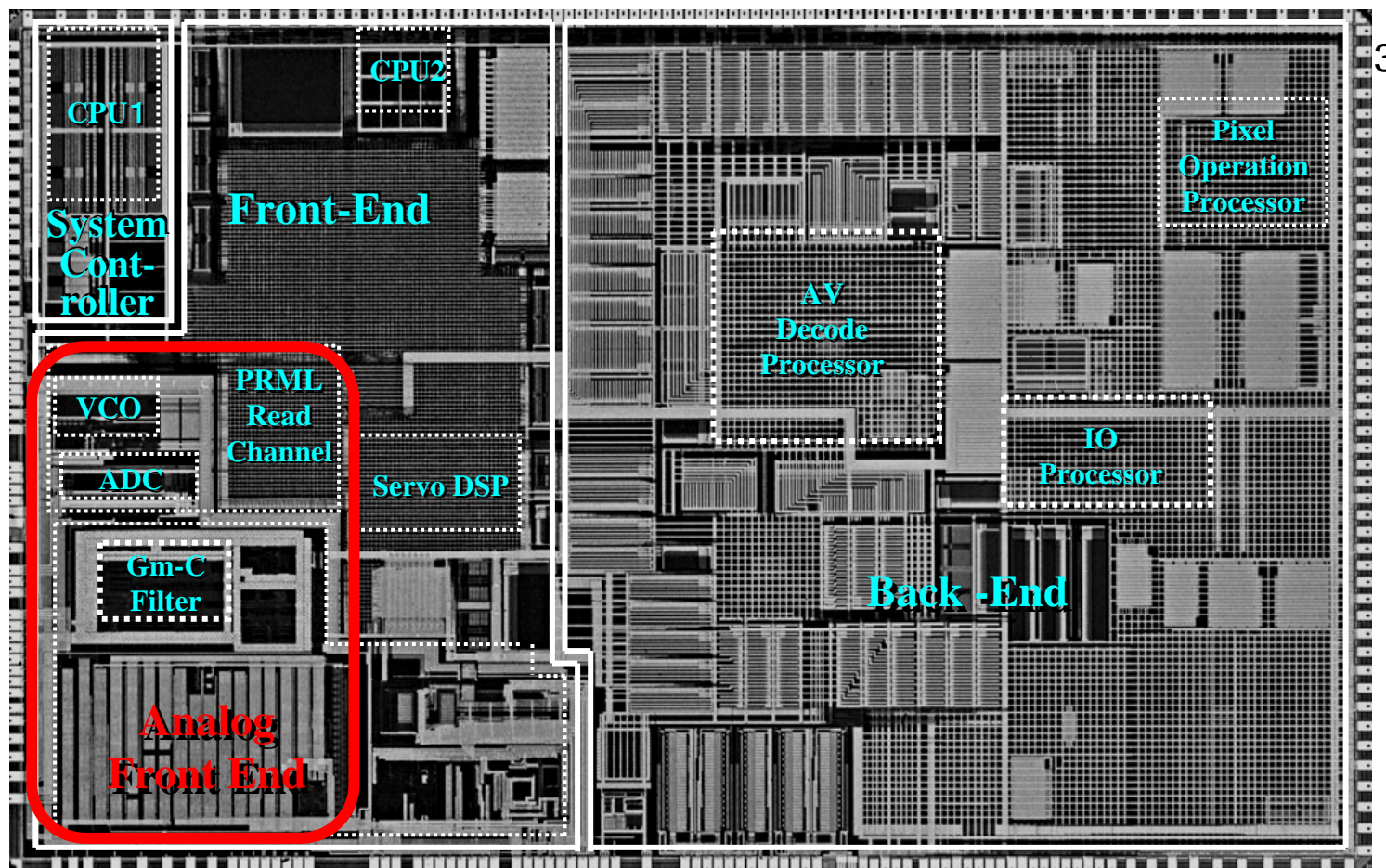




# アナ・デジ混載SoC: DVDの完全ワンチップ化

高性能アナログ回路を搭載したSoCが開発されている

0.13um, Cu 6Layer, 24MTr

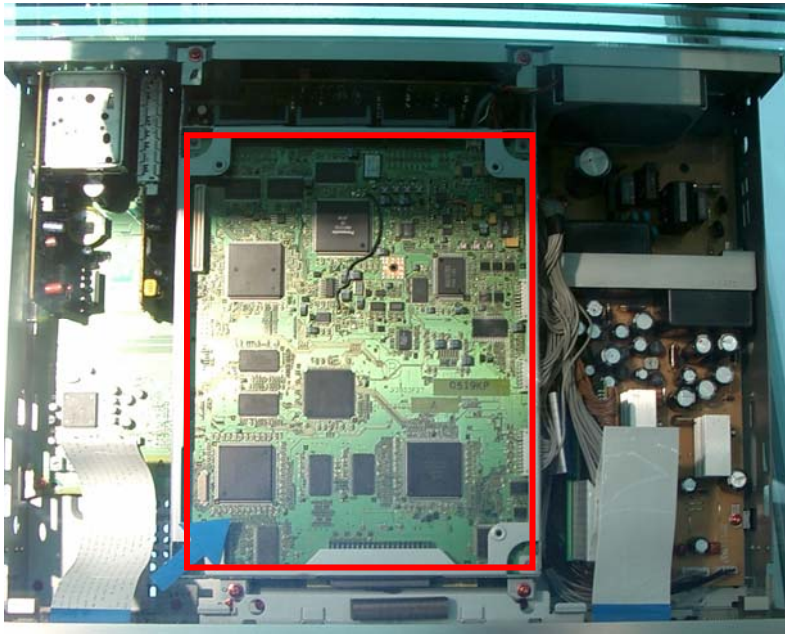




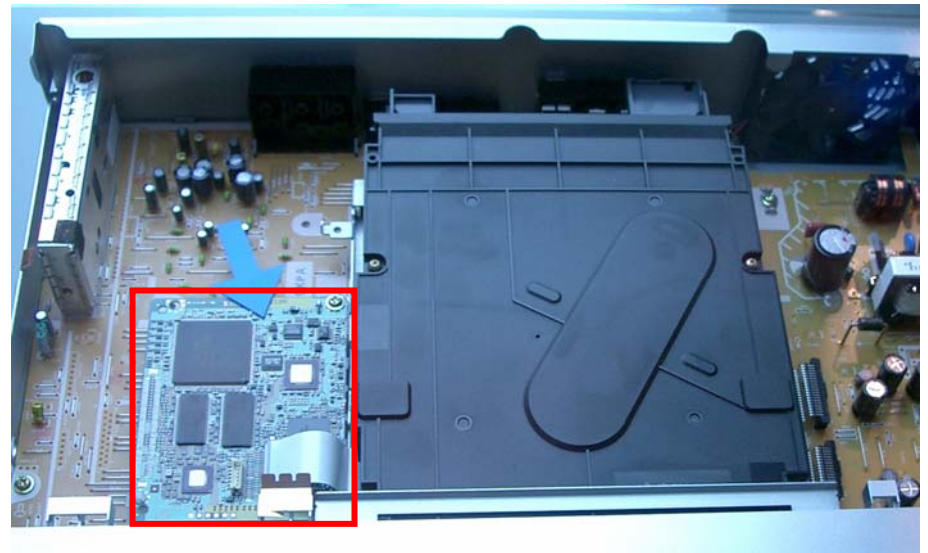
# SoCによる部品削減効果

- ・VLSIの進展により従来3チップ必要だったものが1チップに集積可能になった。
- ・このためケース内部のボードは驚くほど簡単になっている。
- ・これが性能向上とコストダウンに寄与している。

2000年モデル



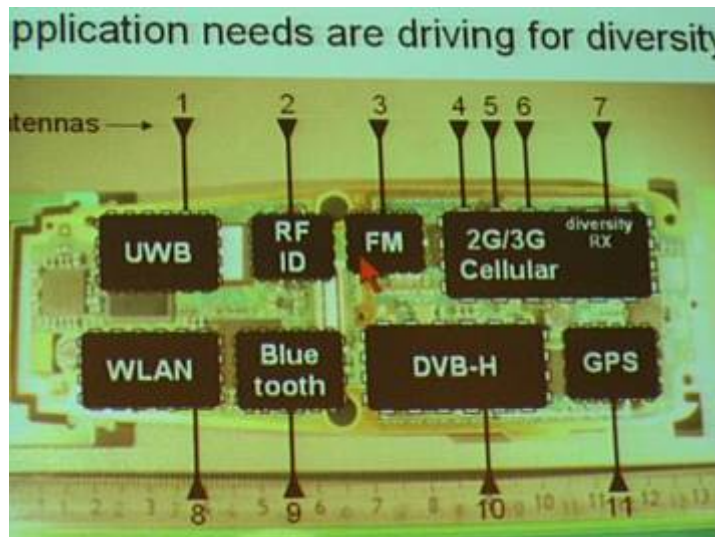
2003年モデル



# マルチスタンダード化

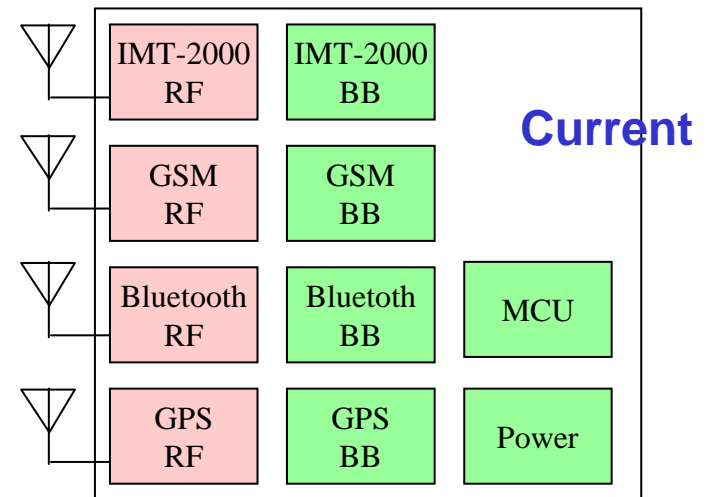
たくさんのワイアレス規格を携帯に実装する必要が出てくる

The cellular phone needs  
11 wireless standard in the future!!

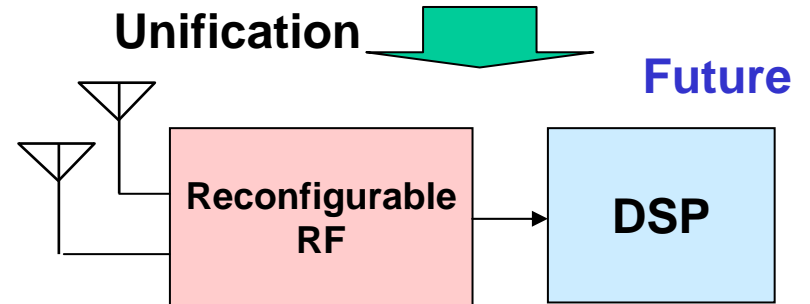


Yrjo Neuvo, ISSCC 2004, pp.32

Multi-standards and multi chips



Unification



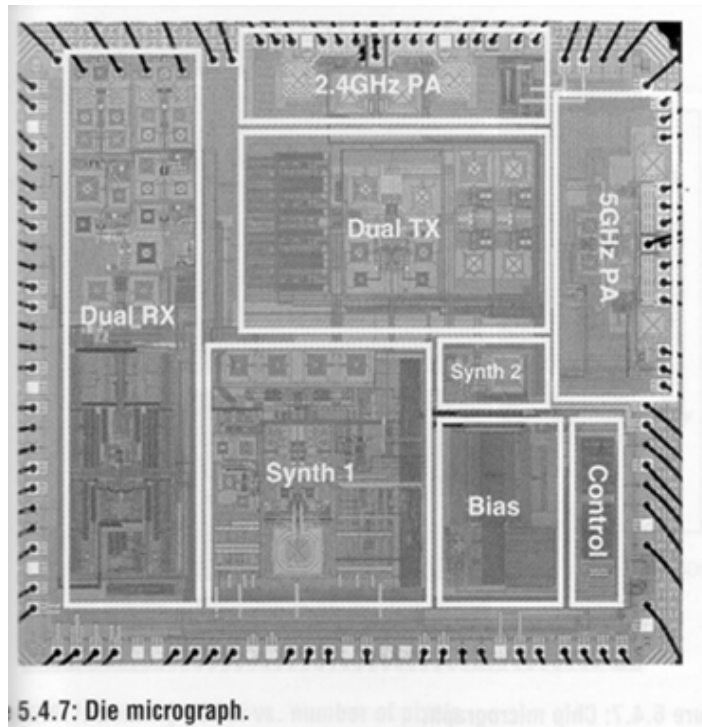
RF部分の統合

BB部分の統合

# ワイアレスSoCの時代へ

アナログ・RF回路から微細・低電圧CMOSを用いたデジタル型アーキテクチャへ

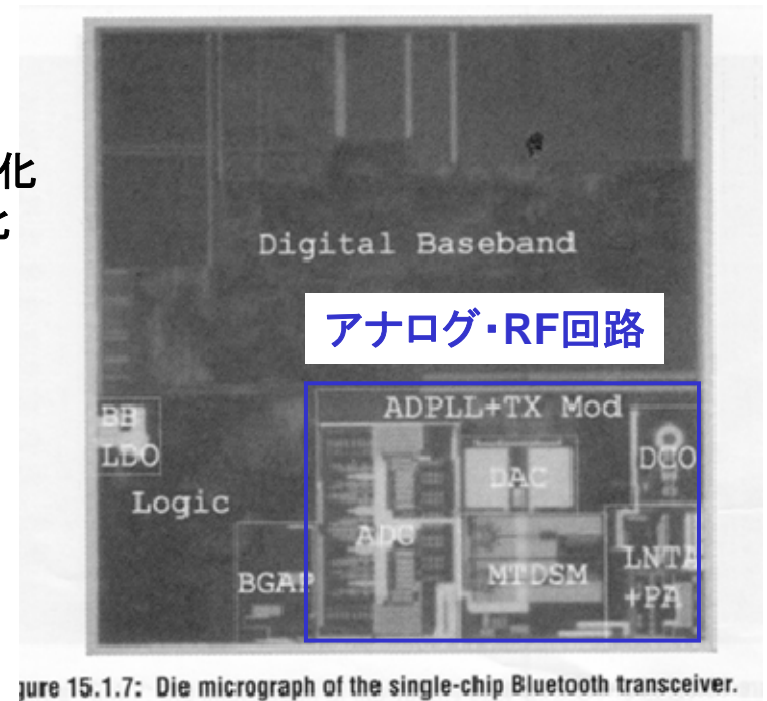
**Wireless LAN, 802.11 a/b/g**  
0.25um, 2.5V, 23mm<sup>2</sup>, 5GHz



SoC化  
デジタル化  
低電圧化



**Discrete-time Bluetooth**  
0.13um, 1.5V, 2.4GHz



M. Zargari (Atheros), et al., ISSCC 2004, pp.96

K. Muhammad (TI), et al., ISSCC2004, pp.268

# 微細・低電圧SoCの アナログの課題と対策

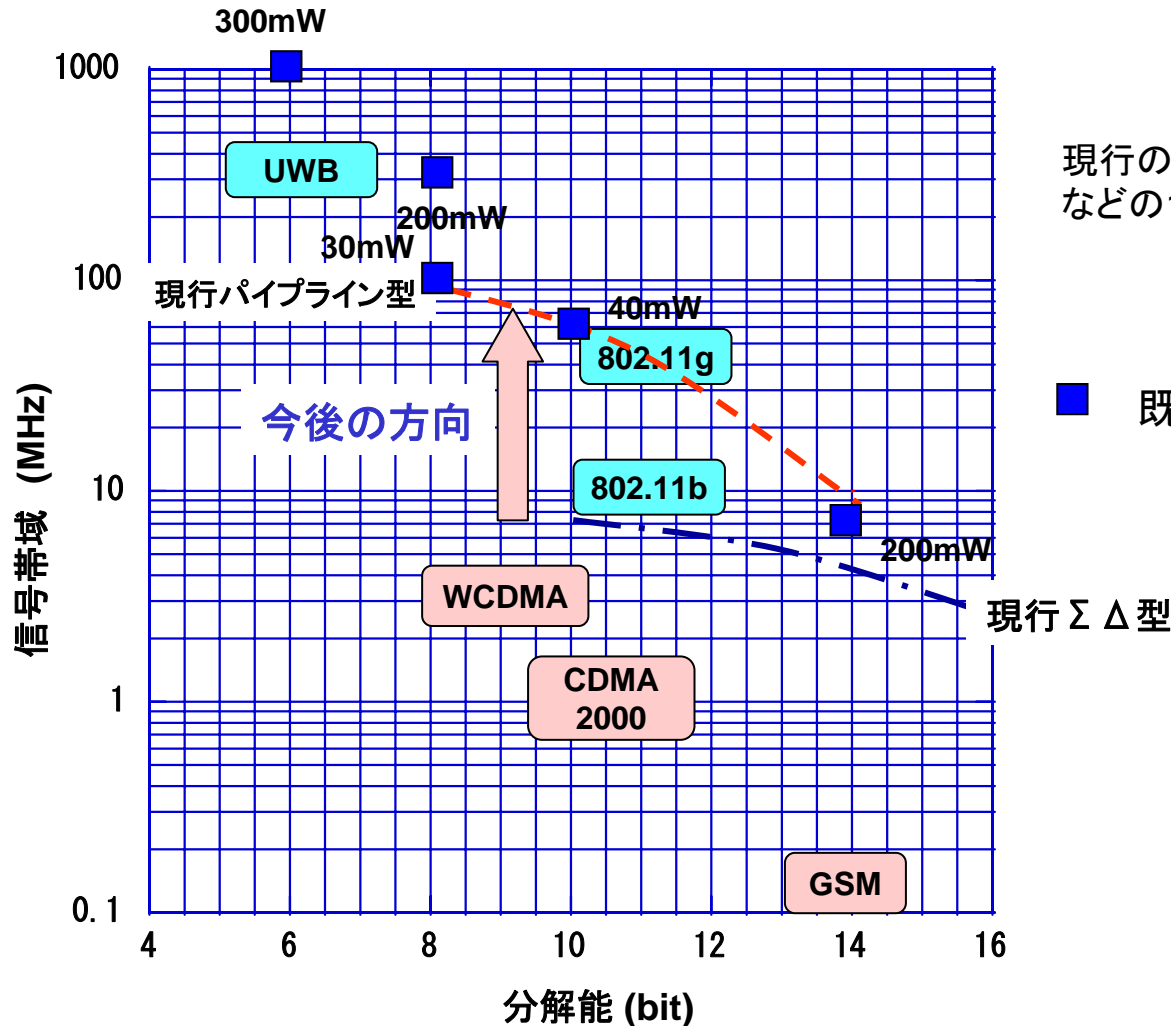
# アナログの課題

---

- 1V程度の低電圧動作
- ばらつきの増大
- 面積縮小困難によるコスト増
- 開発TATの増大
- デジタルノイズ

# ワイアレスシステム用ADC

ワイアレスシステムには高性能ADCが求められる



現行のADCはほとんどが3V, 2.5V, 1.8Vなどの1V以上の電圧を用いている

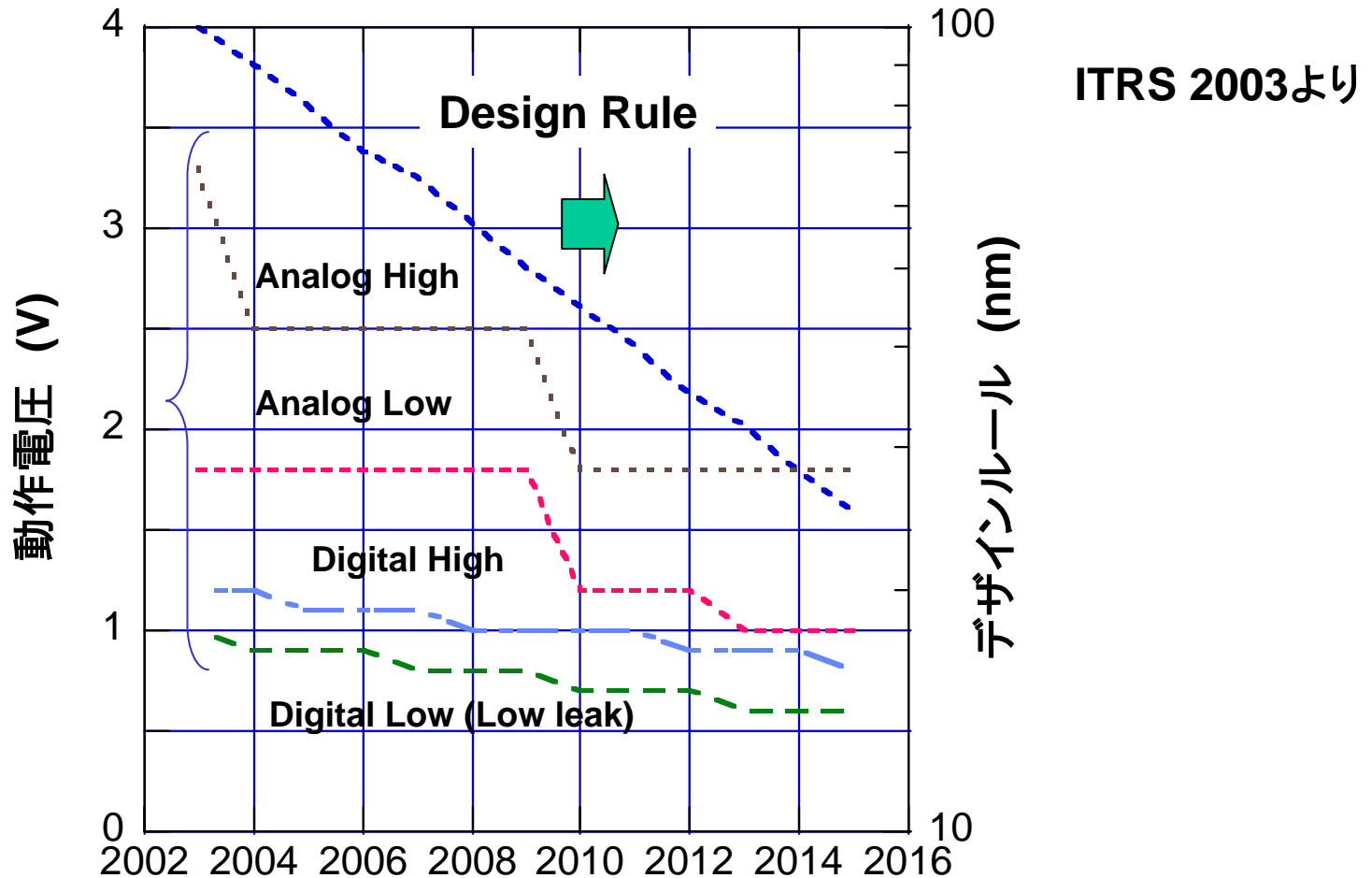
■ 既学会発表

現行ΣΔ型



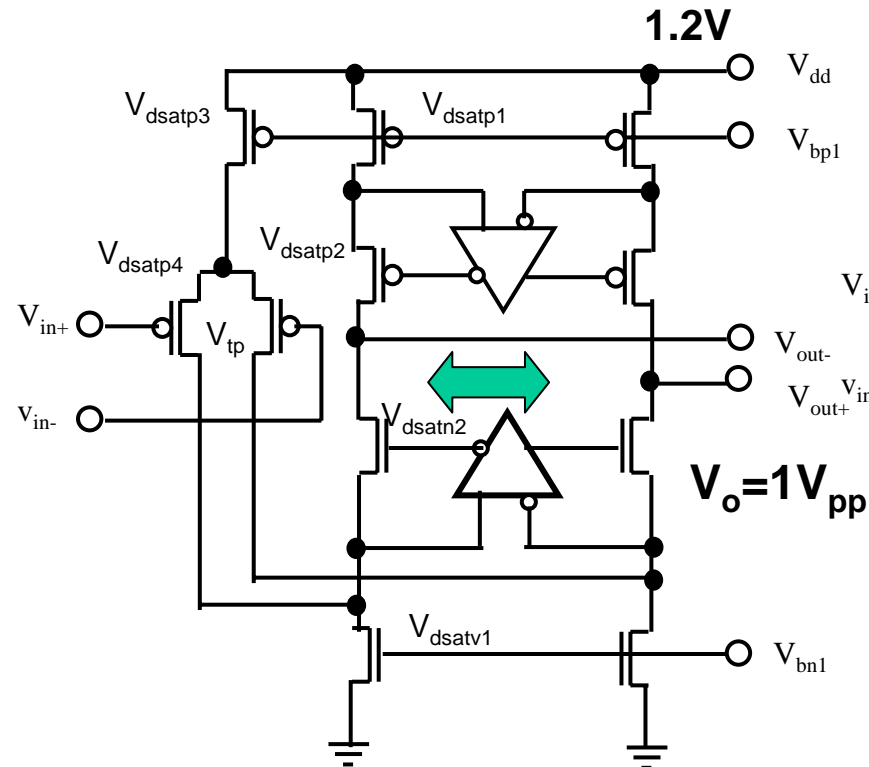
# 今後のSoCの動作電圧

今後は内部コアTrでも1V前後の動作電圧で推移。急激には低下しない。  
コアトランジスタを用いてもかなりのアナログ回路は構成可能と思われる。

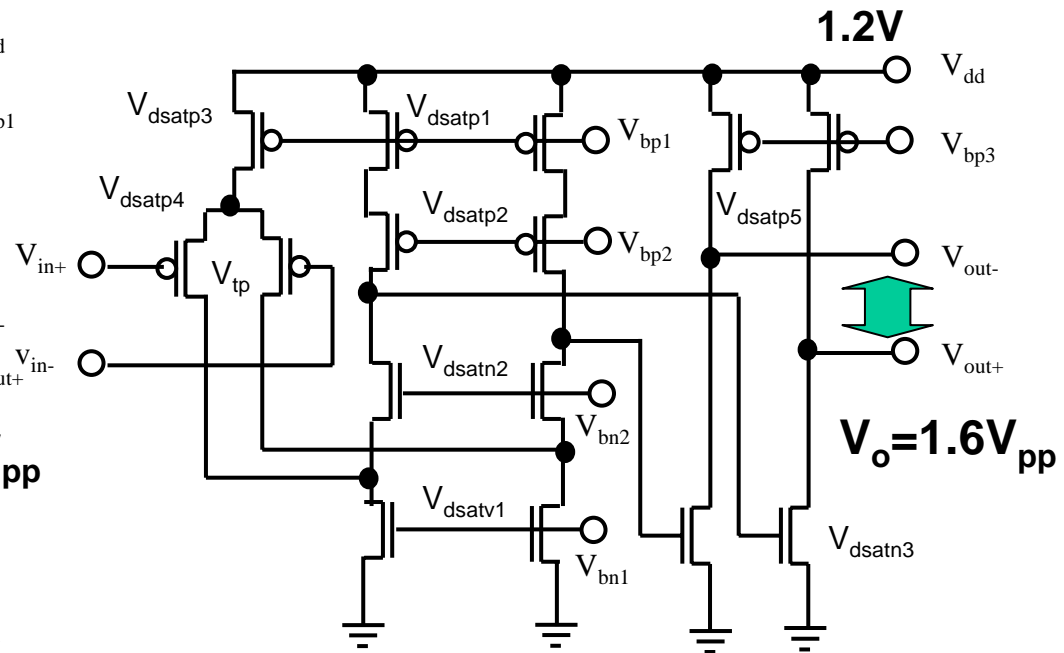


# 低電圧アナログ回路

低電圧アナログ回路もできないことはないが、..



DC gain=70dB  
GBW=10GHz  
90nmCMOS

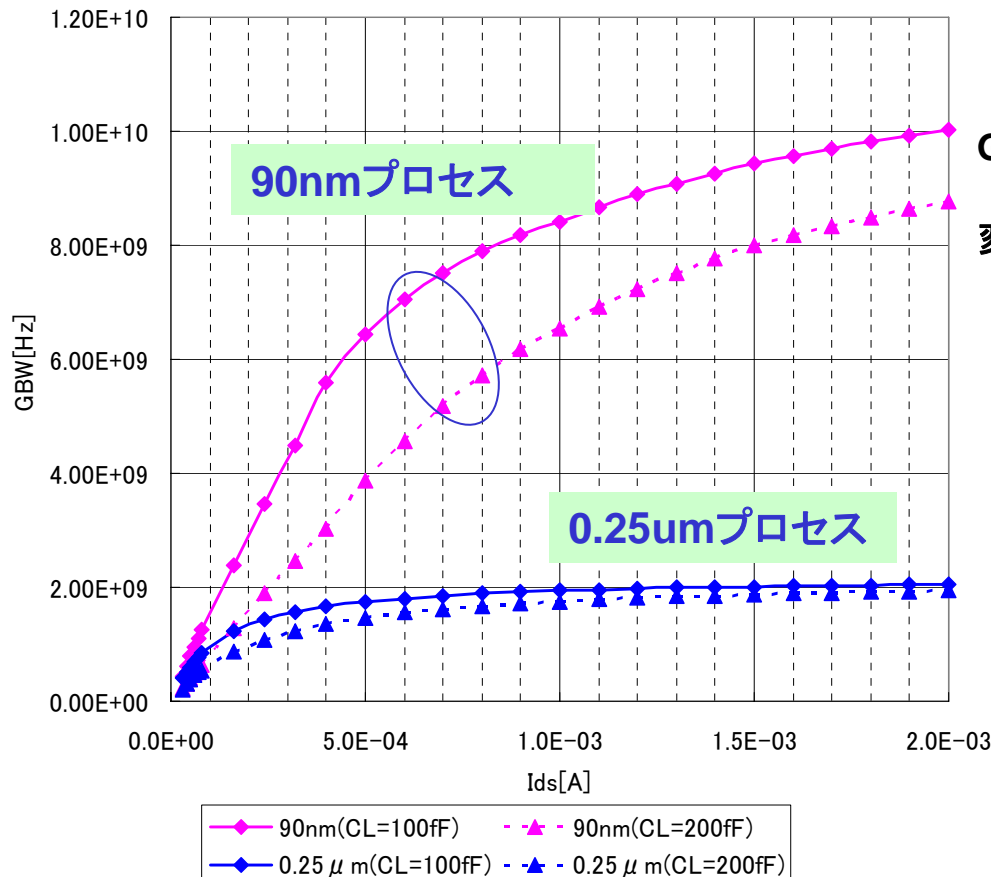


DC gain=90dB  
GBW=5GHz  
90nmCMOS

# 90nm技術の効果

低電圧動作問題を解決すれば90nmを用いて、  
8bitで1GHz, 10bitで800MHz程度のADCが実現可能かもしれない。  
0.25 $\mu$ m技術では200MHzの変換速度が限界である。

Ids-GBW特性



パイプライン型ADCの変換周波数は  
GBWの約1/10

GBW: 10GHz

変換周波数: 1GHz

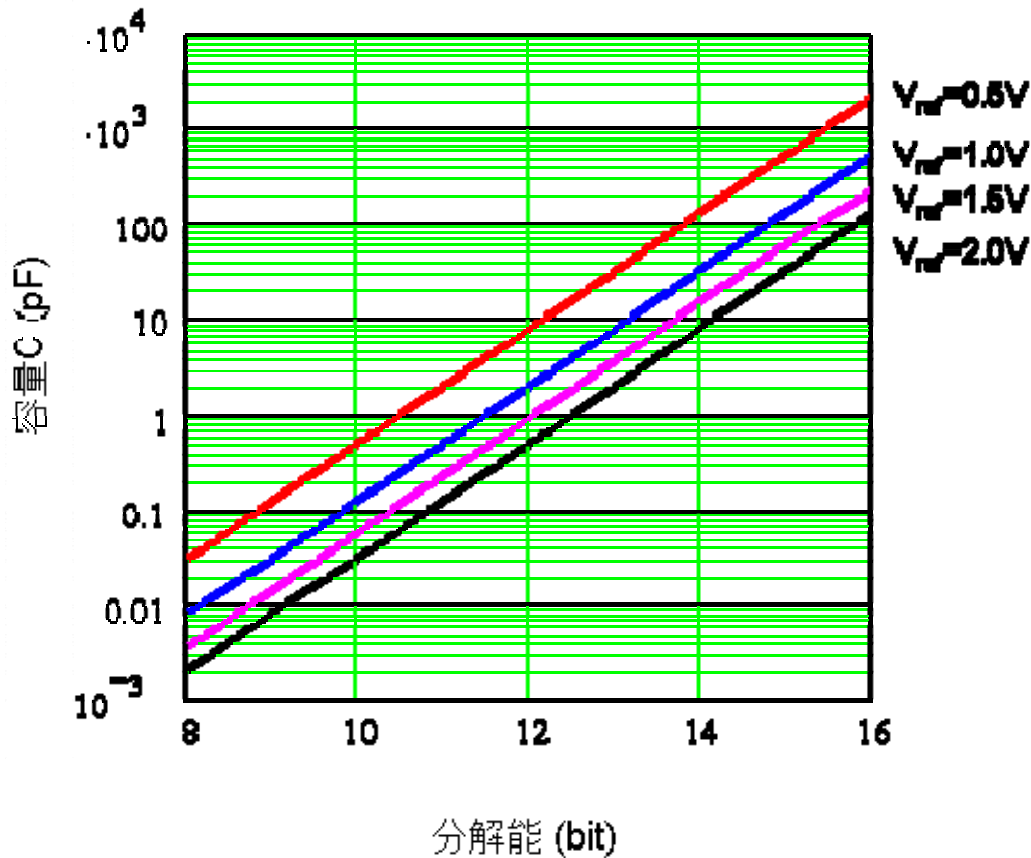
GBW: 2GHz

変換周波数: 200MHz

# 低電圧動作の本質的な課題

アナログ回路の熱雑音は $kT/C$ ノイズで規定される。ノイズ電力は容量に反比例する。

→信号振幅が小さくなると必要容量が大きくなり、高速化・低電力化を阻害する。



$$SNR_{(dB)} = 10 \log \left( \frac{CV_{FS}^2}{8nkT} \right)$$

$$v_n^2 = \frac{kT}{C}$$

$V_{ref} = 1.0V$ とすると、

- 10bit: 0.1pF
- 12bit: 2pF
- 14bit: 30pF

$V_{ref} = 2.0V$ とすると、

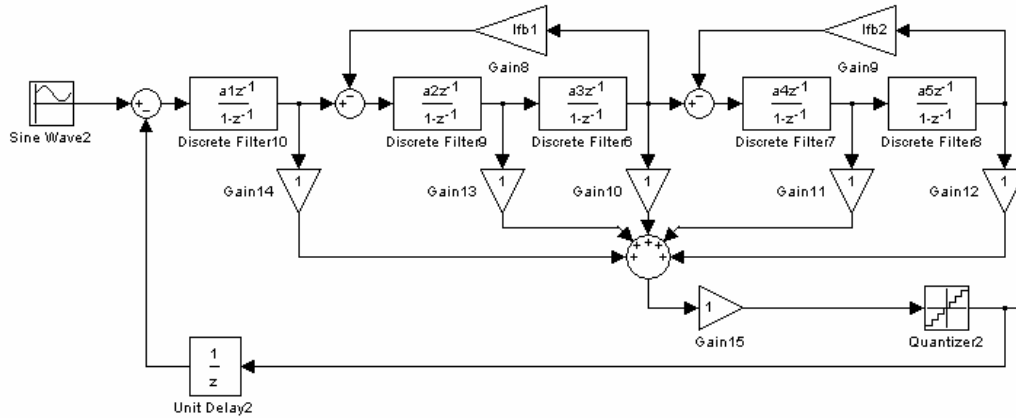
- 10bit: 0.025pF
- 12bit: 0.5pF
- 14bit: 8pF

# Σ Δ 型ADC

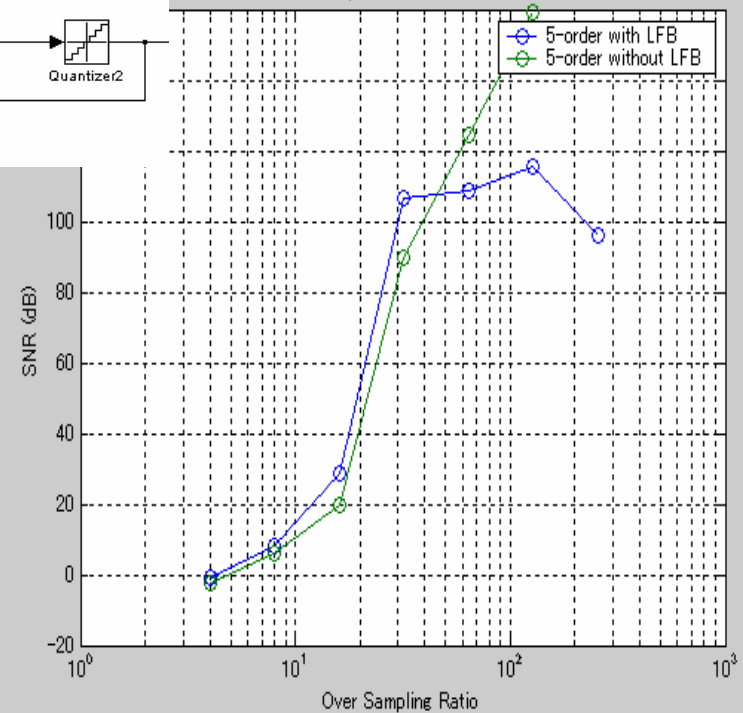
Σ Δ 変調はノイズを高域に拡散できるため高速動作が実現できれば高SNRが得られる。

## 5次のΣ Δ 型ADC

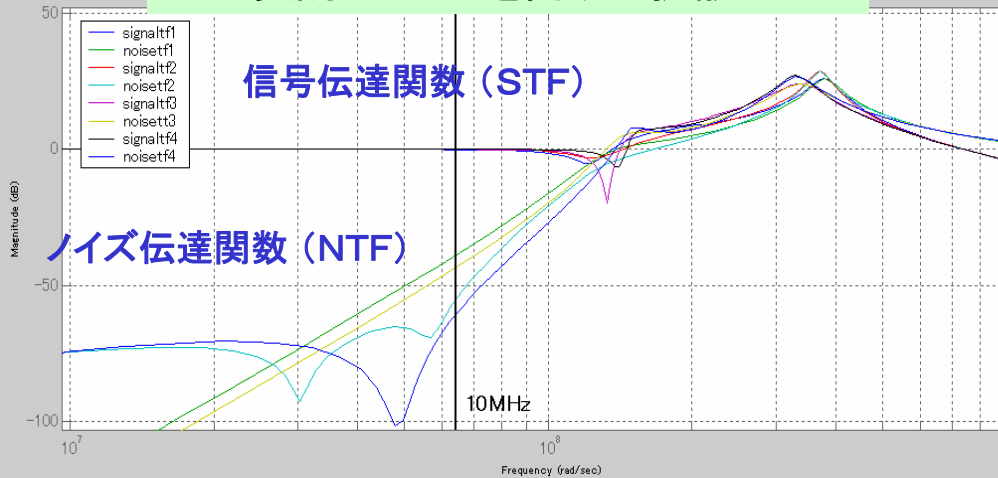
動作周波数/信号帯域を64倍  
に取れば80dB以上のSNR  
が得られる



SNR vs Over Sampling Ratio with No Other Noise



Σ Δ 変調はノイズを高域に拡散できる



信号伝達関数 (STF)

ノイズ伝達関数 (NTF)

Frequency (rad/sec)

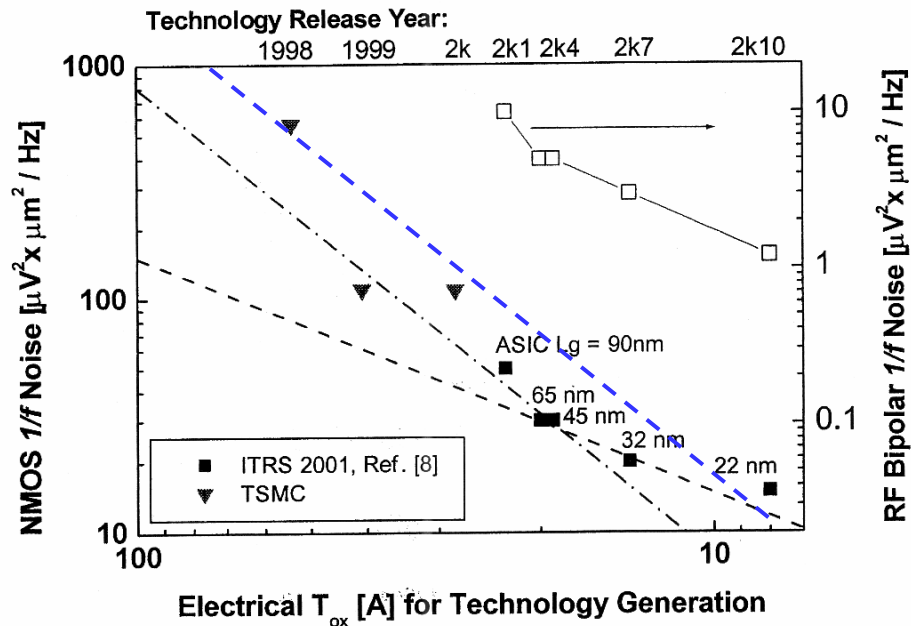
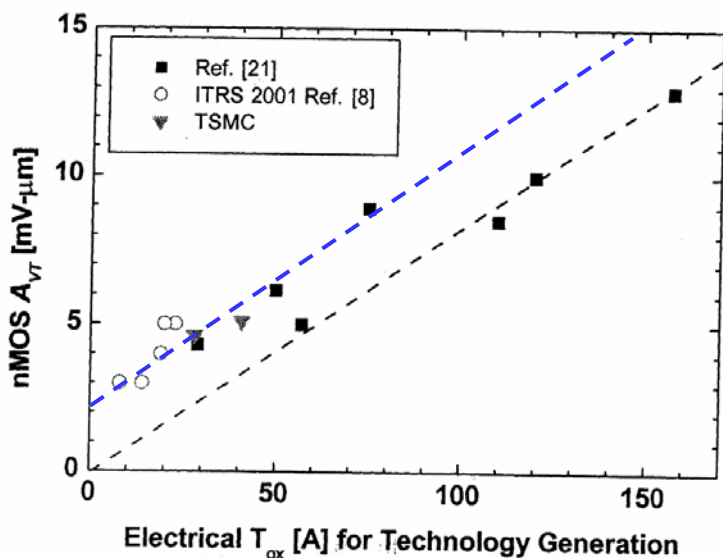
# MOSの $V_T$ ばらつきと1/fノイズ

MOSの $V_T$ ばらつき係数は飽和する

1/fノイズ係数は穏やかに減少

$$\Delta V_{TH} (mV) \approx \frac{1}{\sqrt{2}} \left( \frac{T_{ox} (nm) + 2}{\sqrt{LW} (\mu m)} \right)$$

$$V_{flick}^2 (uV^2 / Hz) = \frac{16T_{OX}^2 (nm)}{LW (\mu m^2) \cdot f (Hz)}$$

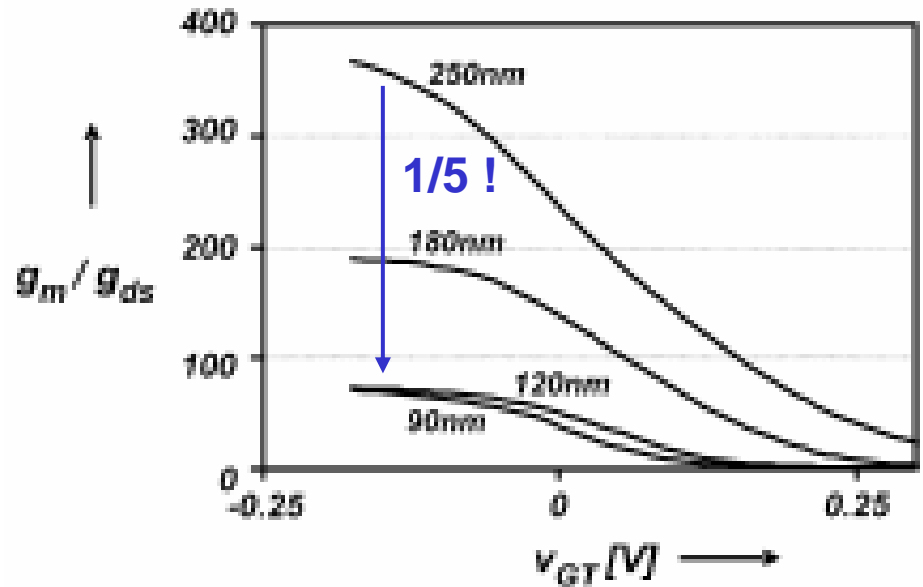
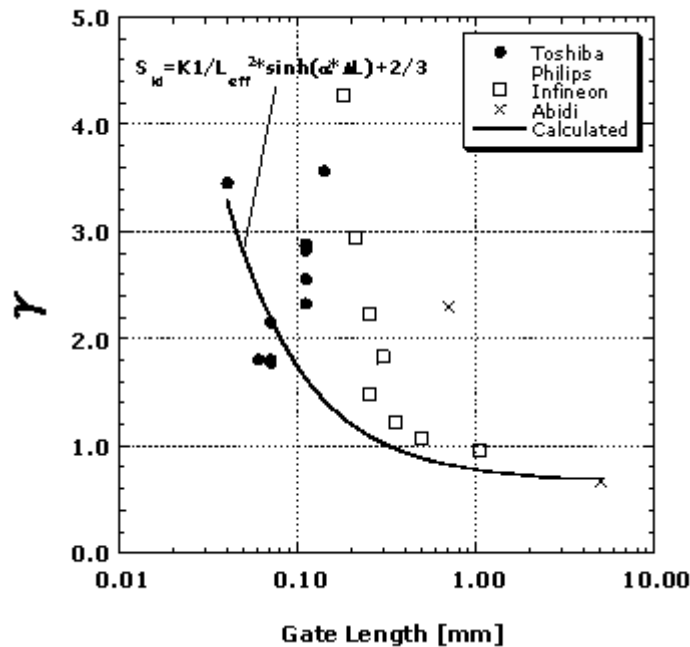


C. H. Diaz, et al., "CMOS Technology for MS/RF SoC," IEEE Tran. Electron Devices, Vol. 50, No.3, March, 2003.



# 微細化とノイズ・ドレイン抵抗

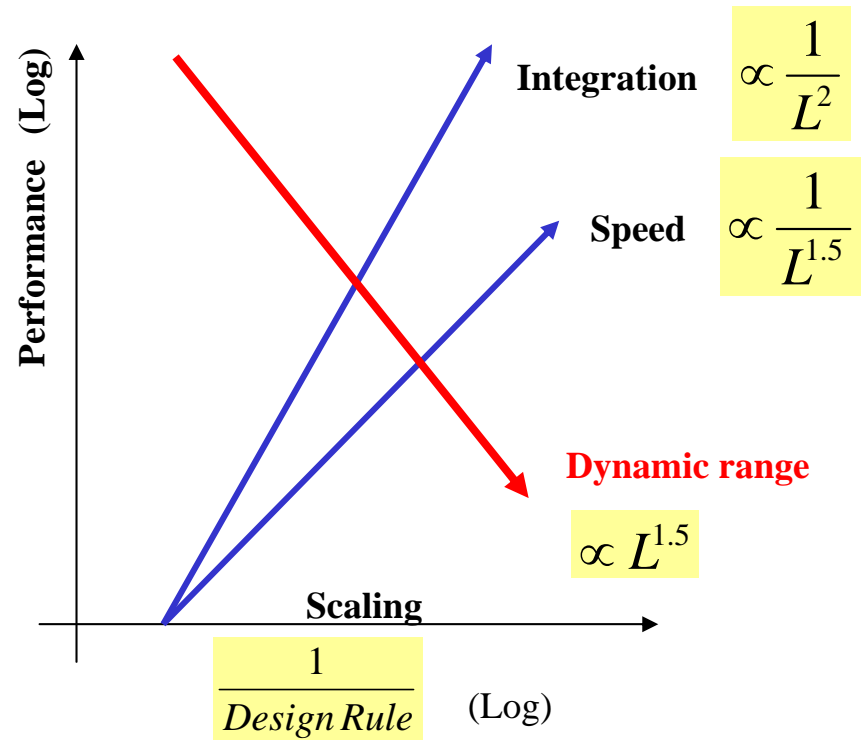
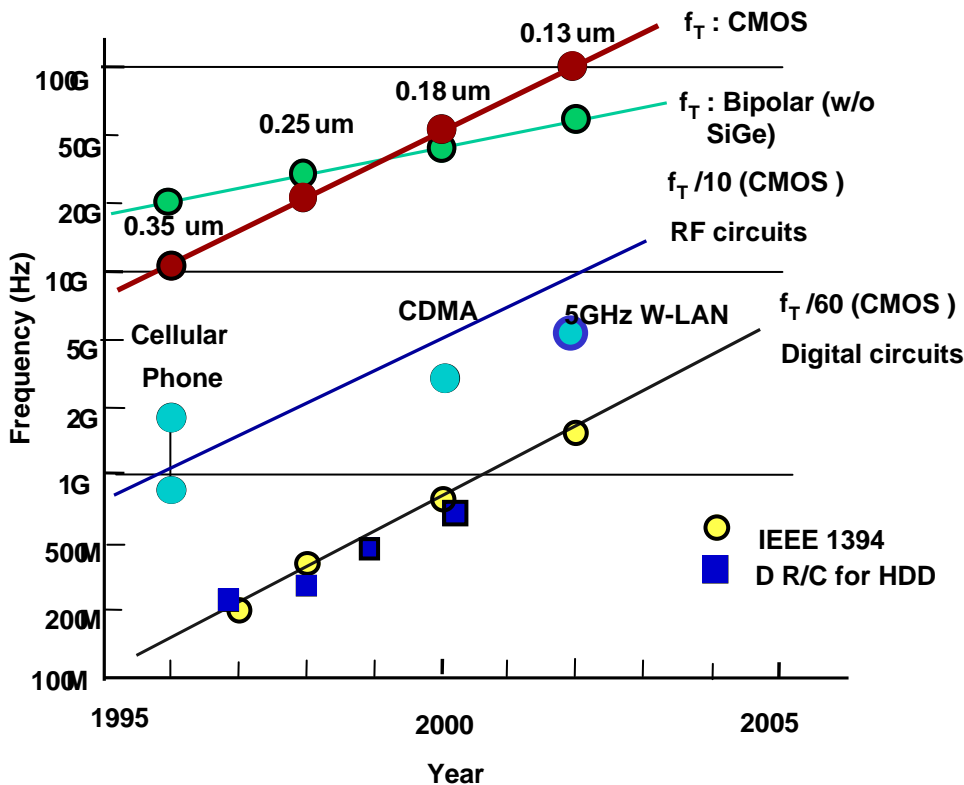
微細化とともに熱雑音係数は増大 微細化とともにドレイン抵抗が下がり利得が取りにくくなる



A.J. Annema, JSC 2005, pp132-143

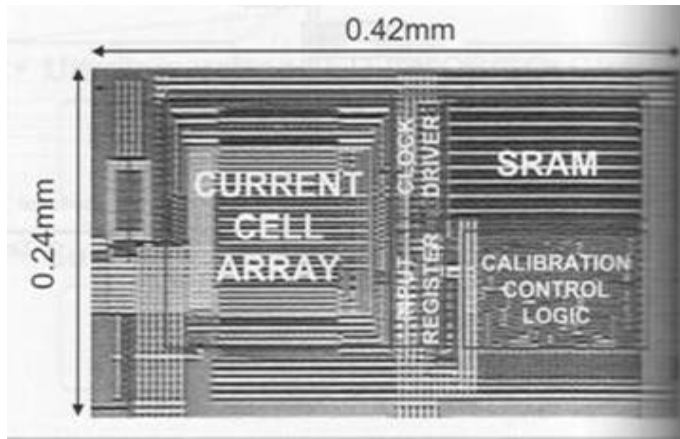
# CMOSの高周波化とアナログの困難さ

微細化によりMOSの高周波特性は向上し、高周波応用が可能になった。  
 しかし、電源電圧の低下はダイナミックレンジの低下を招き、アナログ混載を難しくしている。



# ばらつきの抑制：デジタル補正技術

微細化技術を用いると周波数特性が向上し、低消費電力になるが、ばらつきが増大する。そこでデジタル補正技術でこれに対処することが盛んになっている。微細化によりデジタル部のオーバーヘッドが小さくなっている。



Y. Cong and R. L. Geiger, Iowa state university, ISSCC 2003

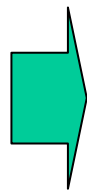
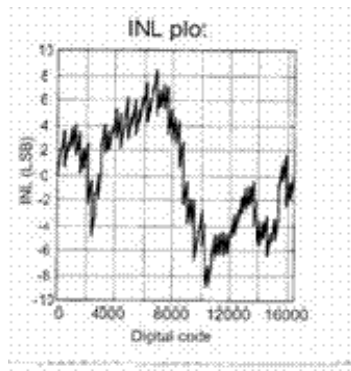
14b 100MS/s DAC

1.5V, 17mW, 0.1mm<sup>2</sup>, 0.13um

0.5 LSB INL,

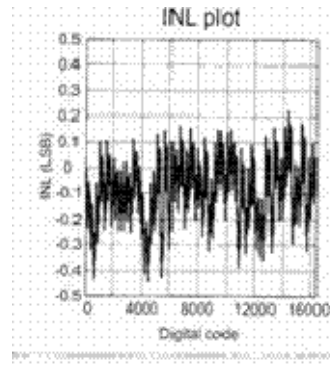
SFDR=82dB at 0.9MHz, 62dB at 42.5MHz

+/- 9 LSB



Digital Calibration

+/- 0.4 LSB

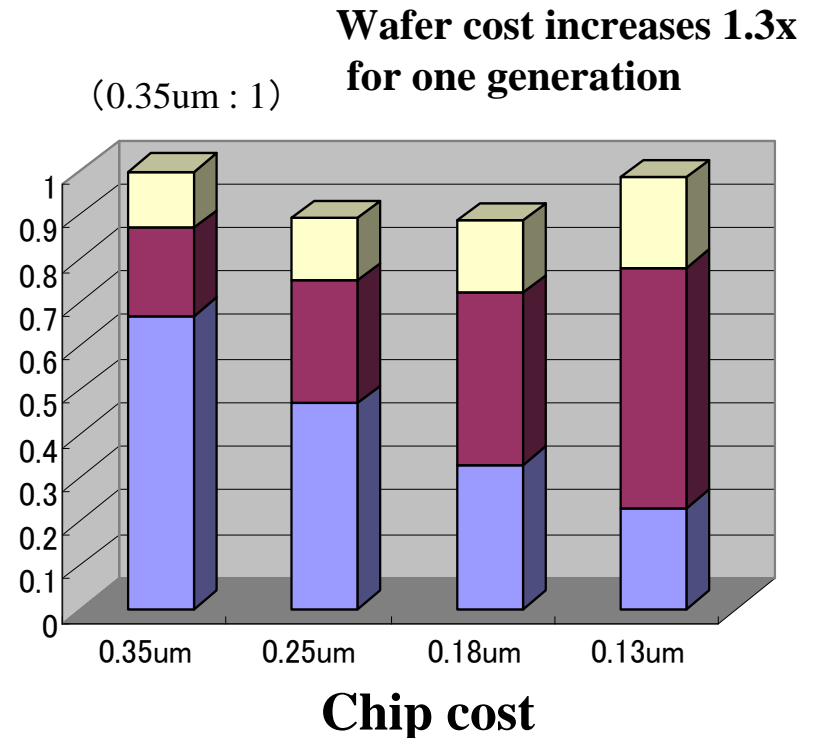
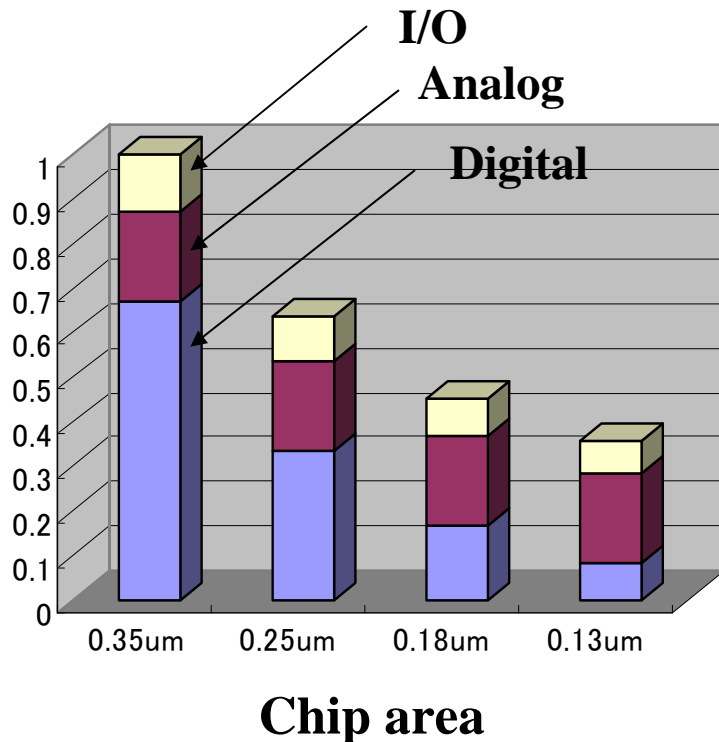


面積: 1/50

消費電力: 1/20

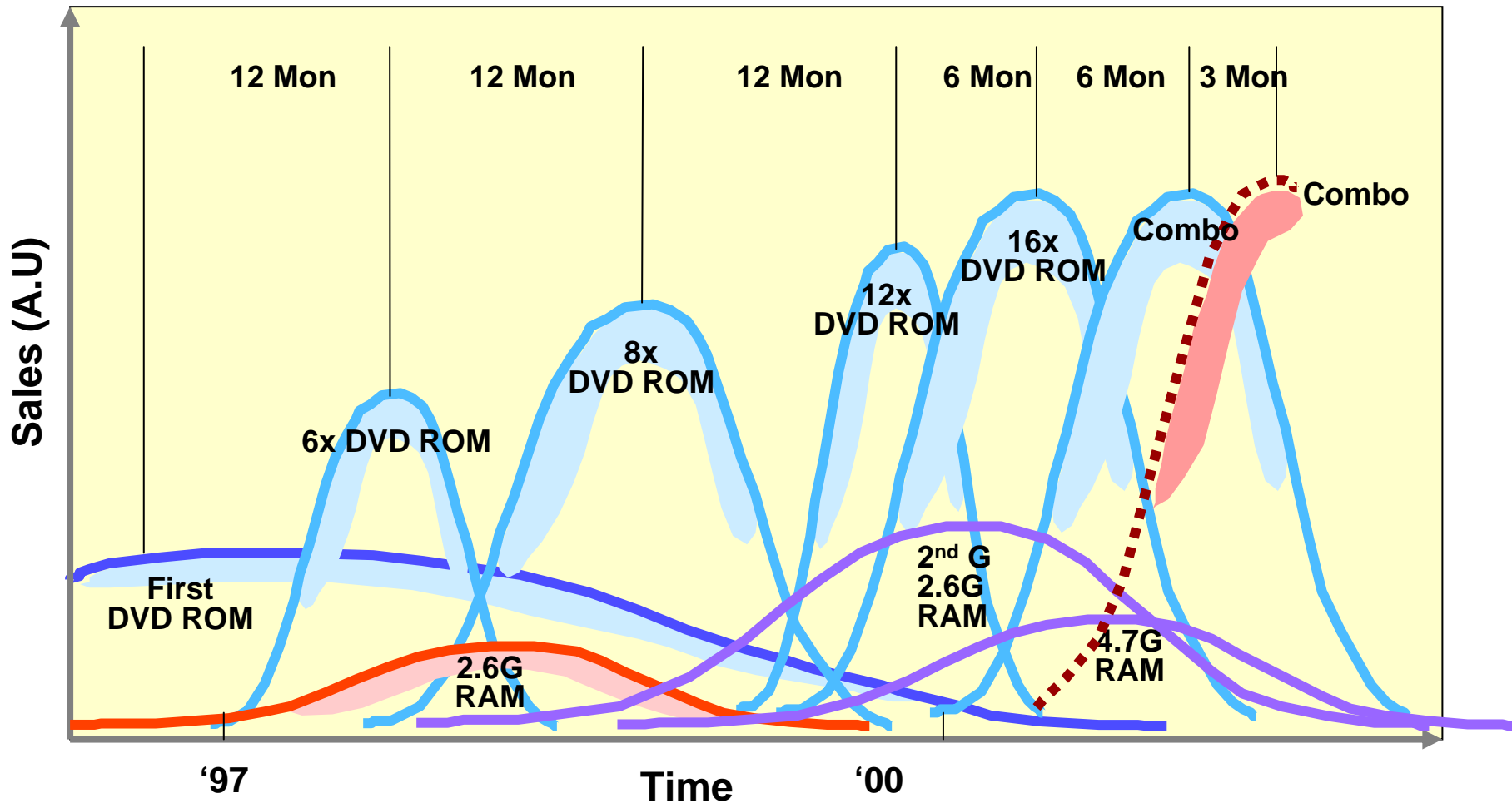
# 面積縮小困難によるコスト増

アナログ回路、特にインダクタなどの受動部品は面積の縮小は困難だがこれを放置すると微細化とともにコストアップを生じてしまう。  
微細化・SoC時代にはアナログ面積の削減が大きな課題である。



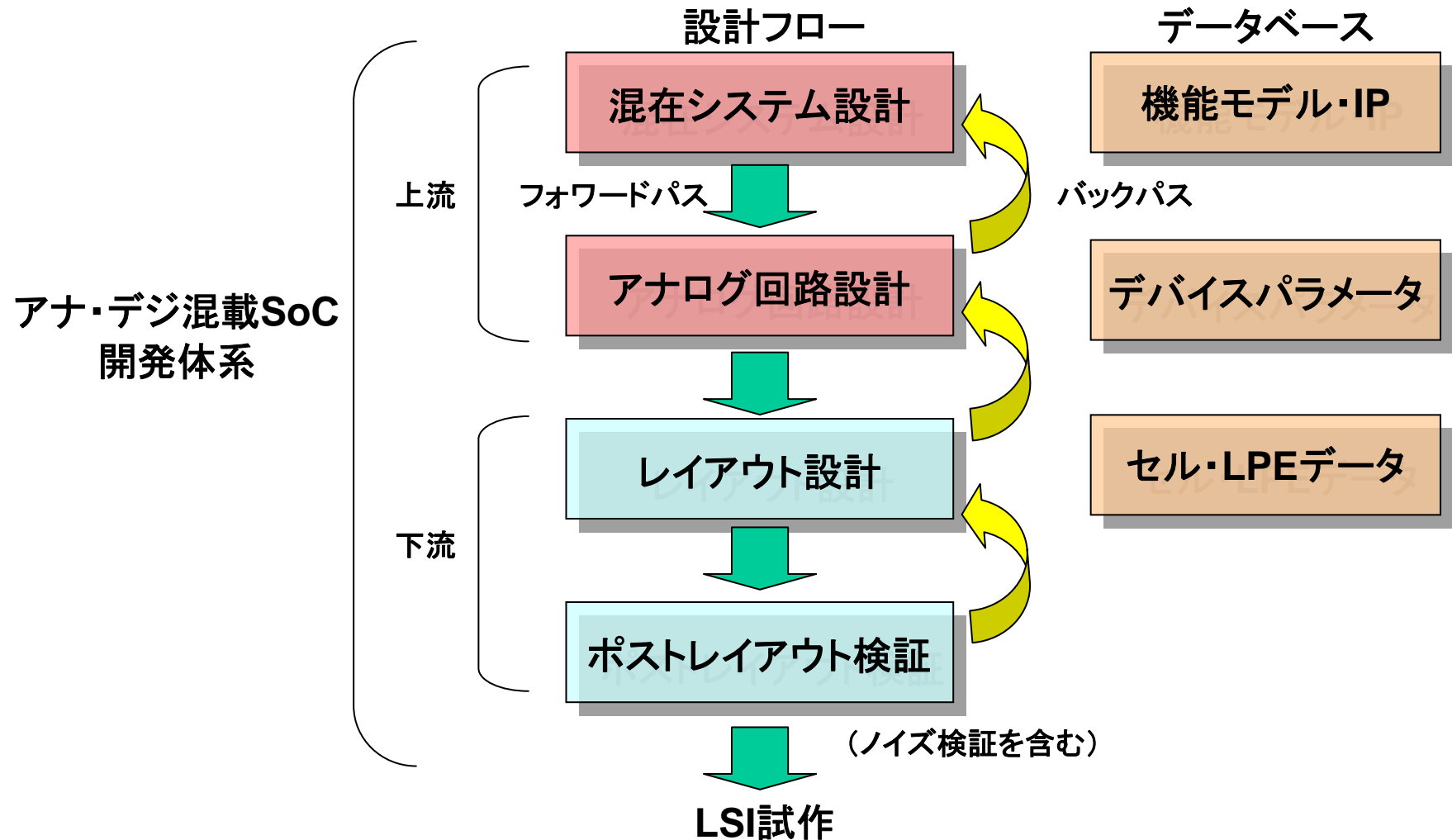
# 製品サイクルの短期化

製品サイクルの短期化に対応した迅速かつ正確なアナログ開発が求められる



# アナログEDAの階層

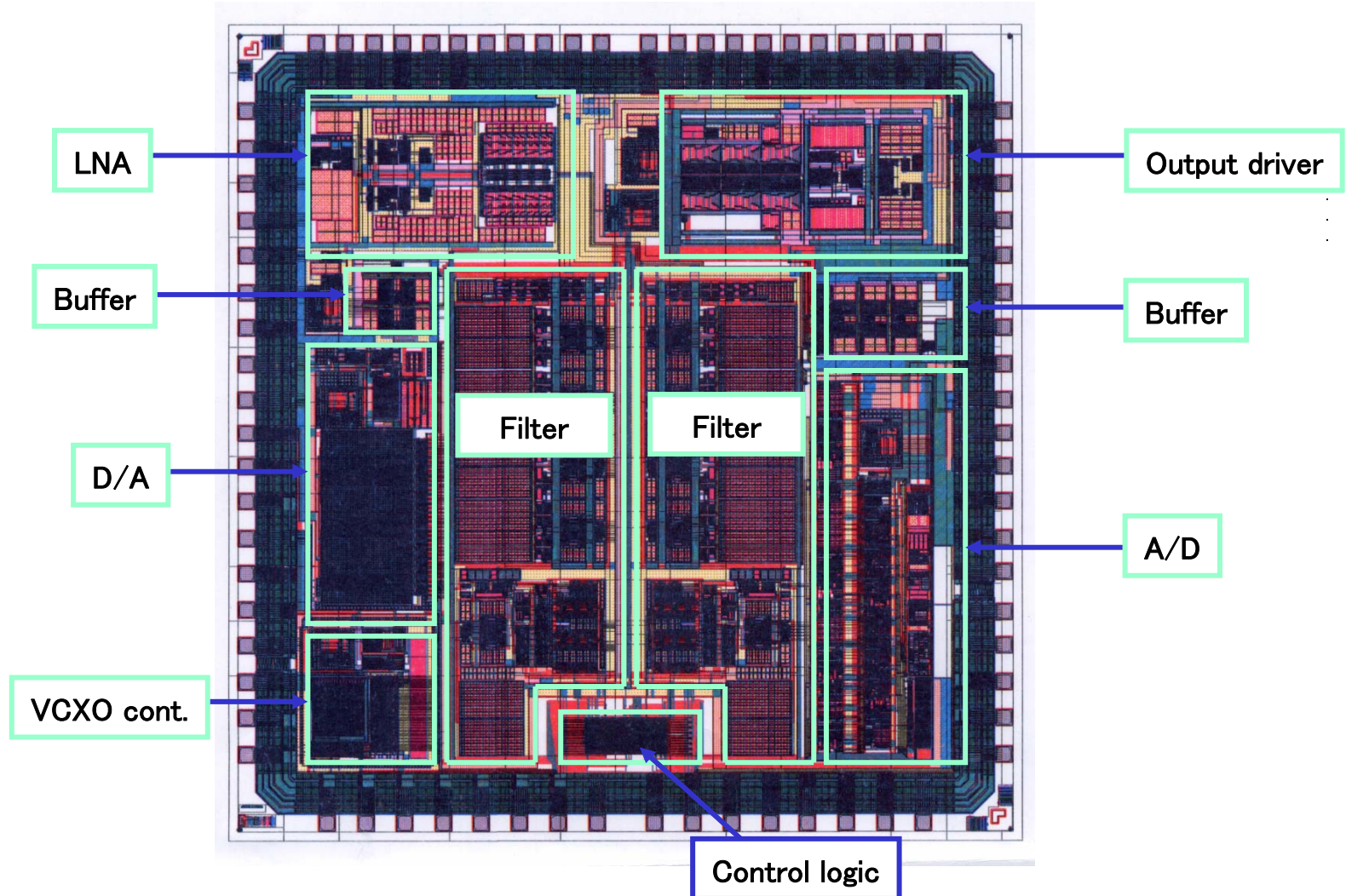
統合化された設計フローとデータベースが必要





# アナログ機能記述言語を用いた設計

Example: Analog Front End chip for ADSL system.



# アナログ機能設計

アナログの場合も回路設計の前に機能設計を行う。

The image shows a screenshot of the Virtuoso Schematic Editor interface. The main window displays a schematic diagram of an analog circuit. The circuit includes a 4-pole Butterworth filter (labeled '4 pole IIR F0=1560kHz') and a 4-pole Chebyshev filter (labeled '4 pole chebycheff(ripple=0.5) F0=15.18kHz'). The circuit is connected to various power and signal nodes, including AVDD5, AVSS5, AGND, and several differential signal inputs (FR4T6IN, FR4T6IP, FR5T7IN, FR5T7IP, FR5T7M, FR5T7IP, FR5T7M, FRAT8IN, FRAT8IP, FRAT8M, HCSC, PODNRC). The circuit is connected to a digital block labeled 'hcscltrix'.

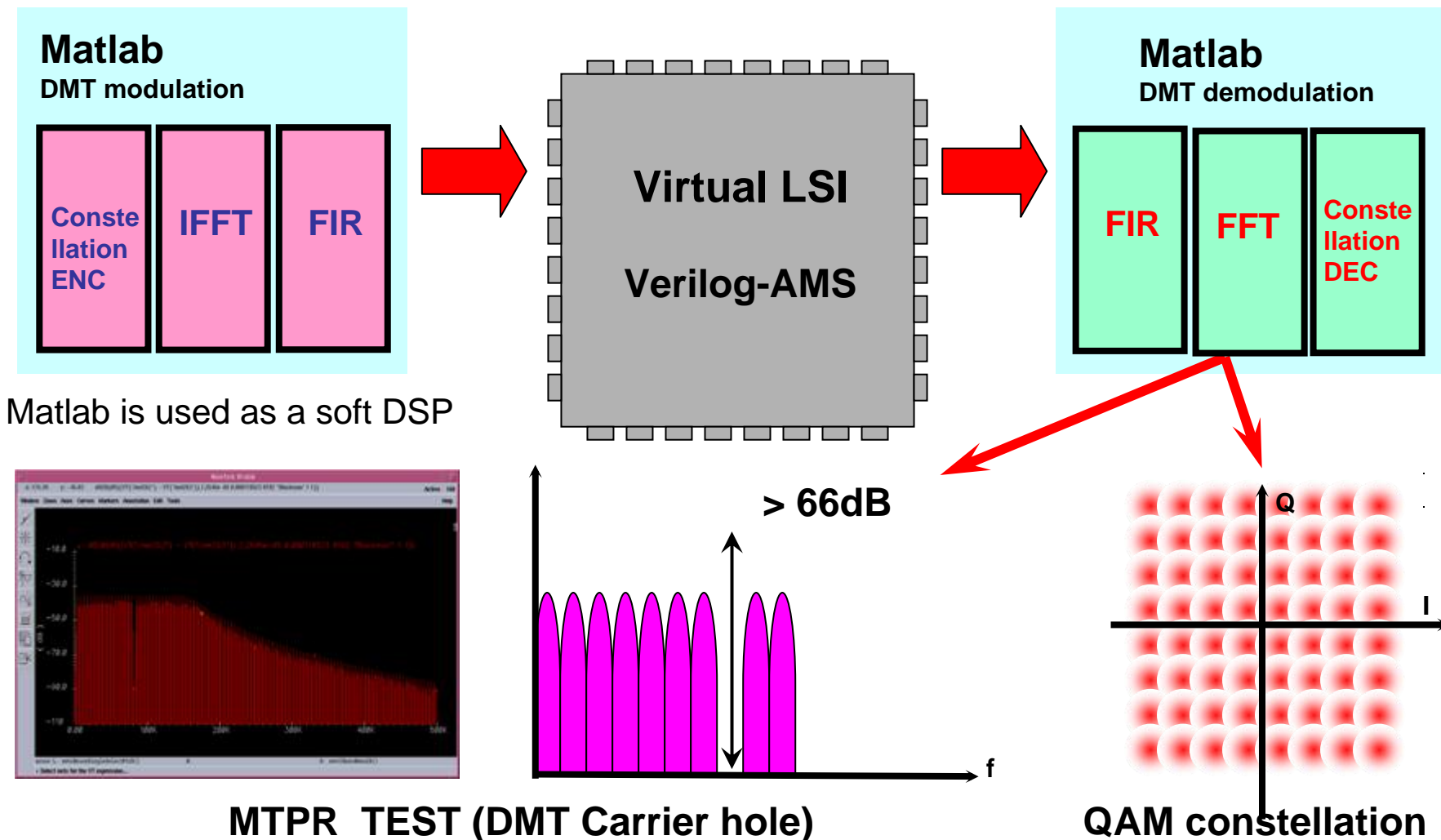
Overlaid on the schematic is a text editor window showing the Verilog code for the circuit. The code defines the module 'hcscltrix' and includes various electrical and parameter definitions.

```
//*****  
`include "constants.h"  
`include "discipline.h"  
  
module hcscltrix(AGND, AVDD5, AVSS5, FLTON, FLT0P, IVBP, VTUNE1, VTUNE2,  
FR4T6IN, FR4T6IP, FR4T6M, FR5T7IN, FR5T7IP, FR5T7M, FRAT8IN, FRAT8IP,  
FRAT8M, HCSC, PODNRC);  
  
//***** Define port *****  
//power node  
inout AVDD5, AVSS5;  
  
//analog node  
inout FR4T6IP, FR4T6IN;  
inout FR5T7IP, FR5T7IN;  
inout FRAT8IP, FRAT8IN;  
inout AGND;  
inout VTUNE1, VTUNE2;  
inout IVBP;  
inout FLT0P, FLTON;  
  
//digital node  
input FR4T6M, FR5T7M, FRAT8M;  
input PODNRC;  
input HCSC;  
  
electrical AVDD5, AVSS5;  
electrical FR4T6IP, FR4T6IN;  
electrical FR5T7IP, FR5T7IN;  
electrical FRAT8IP, FRAT8IN;  
electrical FR4T6M, FR5T7M, FRAT8M;  
electrical AGND;  
electrical VTUNE1, VTUNE2;  
electrical IVBP;  
electrical FLT0P, FLTON;  
electrical SETFC0, SETFC1, SETFC2;  
electrical PODNRC;  
electrical HCSC;  
  
electrical mux2fltp, mux2fltn; //mux to filter differential node  
  
//***** Define parameter *****  
// Consumption current  
parameter real ron = 100;  
parameter real roff = 10e9;  
parameter real ritot_on = 200 from [0:inf]; // enable  
parameter real ritot_off = 1e6 from [0:inf]; // disable  
parameter real fo1_P4 = 8.531164e+04 from [0:inf]; // fo1 SCFZ=0  
parameter real fo3_P4 = 1.473685e+05 from [0:inf]; // fo3 SCFZ=0  
parameter real fo1_P5 = 8.053562e+04 from [0:inf]; // fo1 SCFZ=1  
parameter real fo3_P5 = 1.391184e+05 from [0:inf]; // fo3 SCFZ=1  
parameter real fo1_P6 = 7.629691e+04 from [0:inf]; // fo1 SCFZ=2  
parameter real fo3_P6 = 1.317964e+05 from [0:inf]; // fo3 SCFZ=2  
parameter real fo1_P7 = 7.247609e+04 from [0:inf]; // fo1 SCFZ=3  
parameter real fo3_P7 = 1.251962e+05 from [0:inf]; // fo3 SCFZ=3
```

Analog

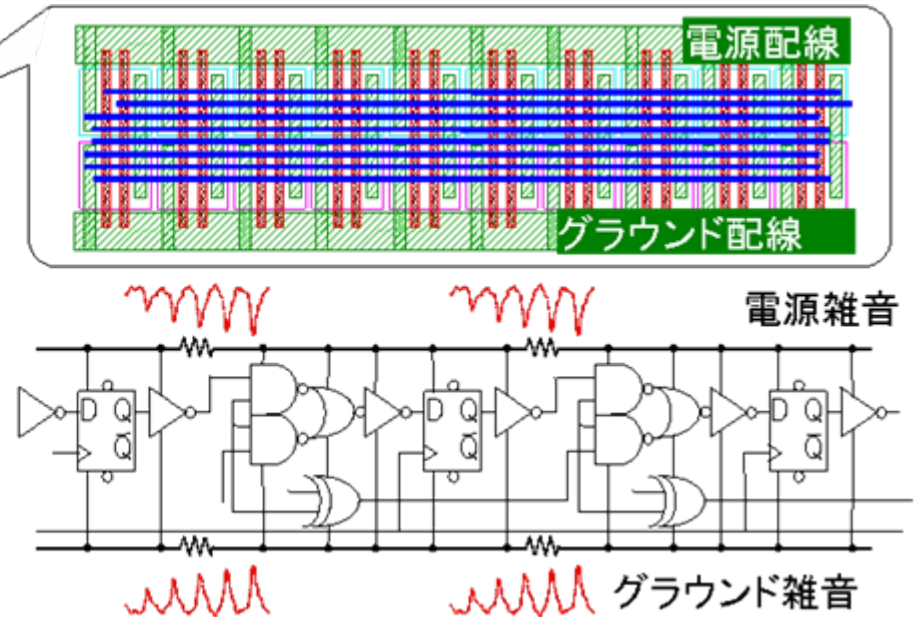
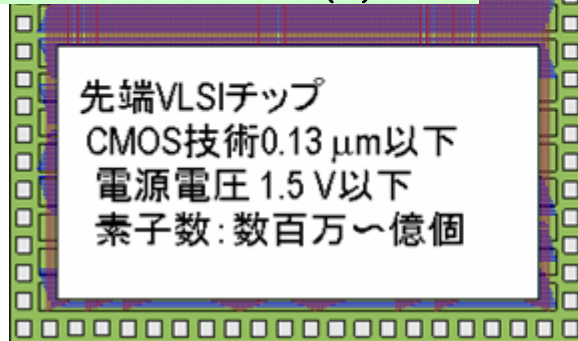
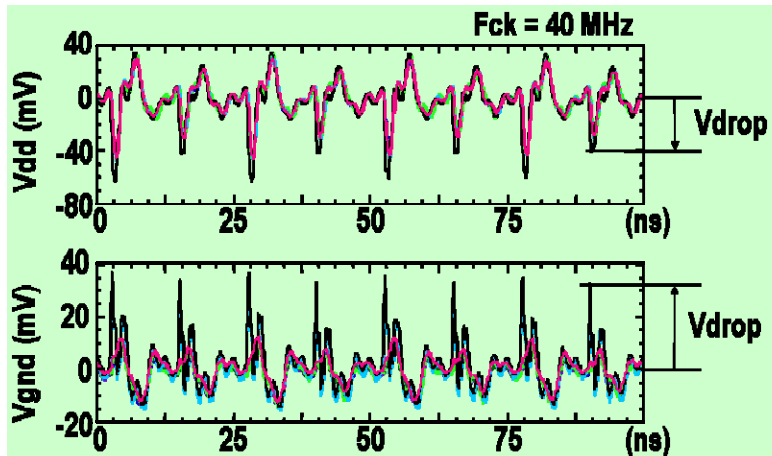
# 仮想LSIを用いたアナデジ混載システム検証

回路設計の前にアナログを含むシステムの機能検証を十分に行うことが重要



# デジタルノイズ

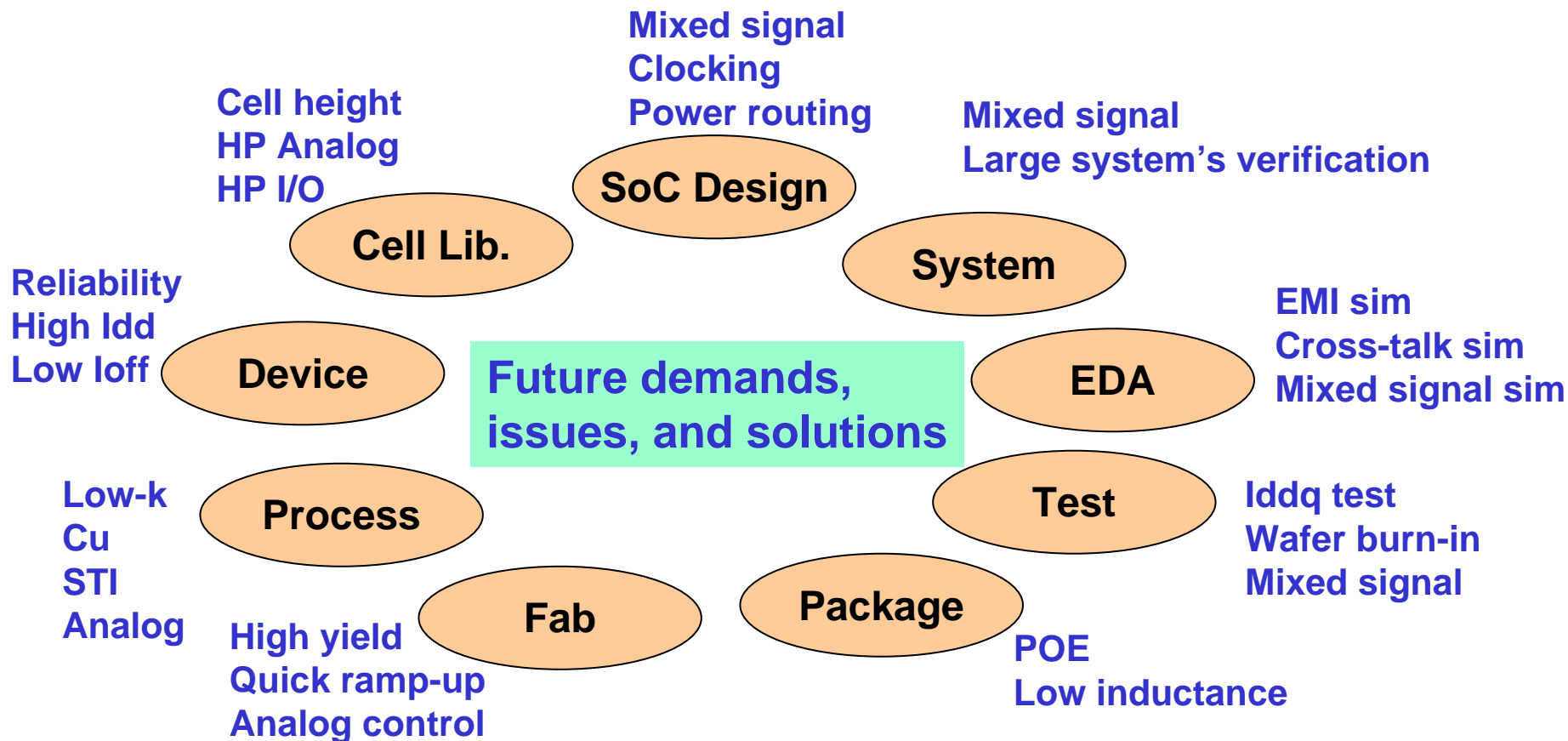
アナ・デジ混載SoC時代にはデジタルノイズ対策が重要になる



- ▶ デジタルLSI内部では論理ゲート回路群が高密度に配置配線
- ▶ 大規模回路動作により電源/グラウンド配線電位が変動

# SoC開発における様々な技術分野の力の結集

SoCの開発はシステムから工場までの最適化が必要である。

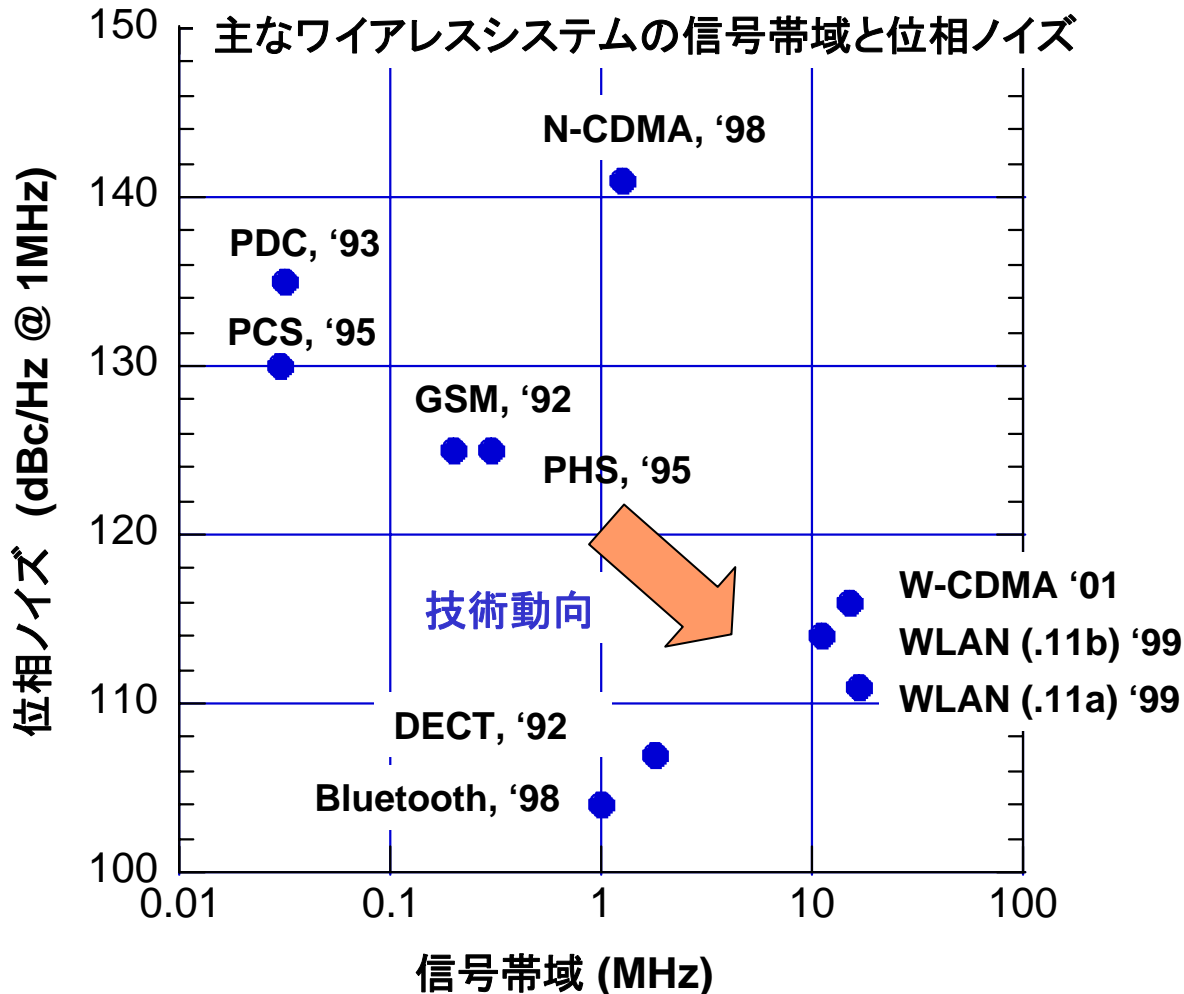


# 今後の方向性



# ワイアレスシステム仕様の動向

ワイアレスシステムは広帯域・低ダイナミックレンジの方向へ



# まとめと今後の方向性

## デバイス動向

- ・微細化
- ・高速・高周波・広帯域化
- ・低電圧化
- ・ばらつき・ノイズの増大
- ・面積コストアップ

## 回路動向

- ・高速・高周波・広帯域化
- ・高利得困難
- ・高ダイナミックレンジ困難
- ・高精度化困難

## システム動向

- ・高速・高周波・広帯域化
- ・低ダイナミックレンジ化
- ・マルチバンド・マルチスタンダード化
- ・SoC化
- ・低コスト化・省面積化
- ・短開発TAT
- ・テスト容易化
- ・ノイズ耐性強化

## 今後の方向性

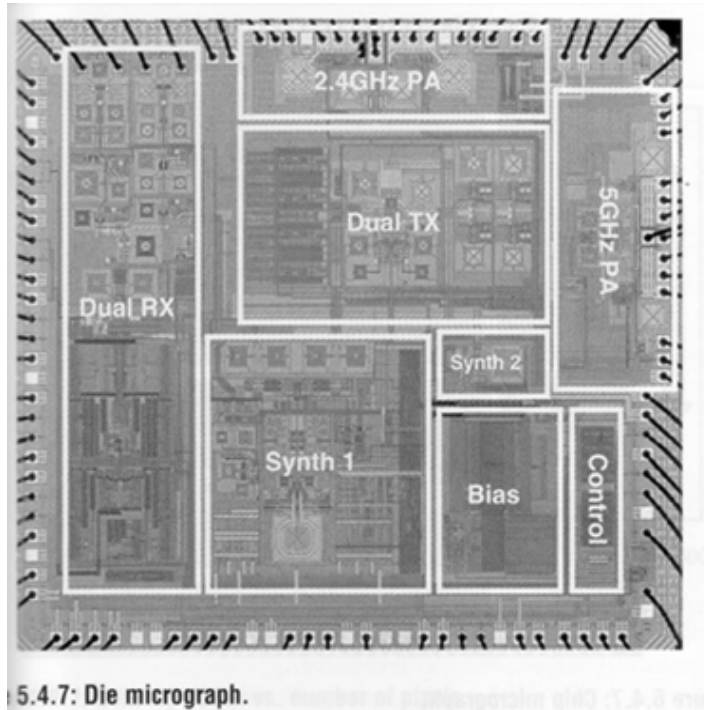
- ・デジタル技術の徹底活用
- ・デジタル制御・補正の活用  
(ばらつきや不安定性の克服と最適化)
- ・ $\Sigma \Delta$  変調技術による高精度化
- ・本質的に必要なアナログのみを残す
  - ・インダクタなどの受動部品の削減
- ・微細化による高速・高周波・広帯域化を活かす



# 最近のワイアレスLSI

アナログ・RF回路から微細・低電圧CMOSを用いたデジタル型アーキテクチャへ

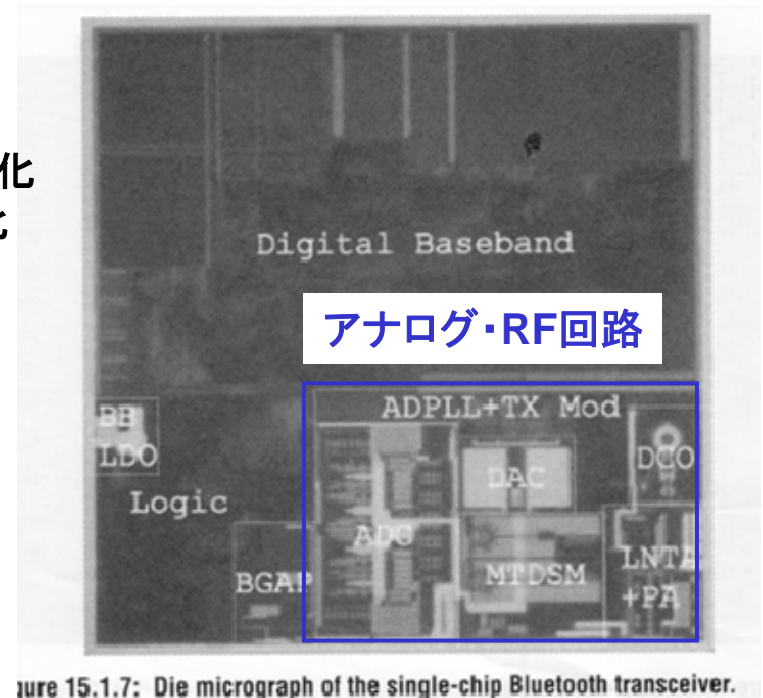
Wireless LAN, 802.11 a/b/g  
0.25um, 2.5V, 23mm<sup>2</sup>, 5GHz



アナログリッチでインダクタだらけの設計

M. Zargari (Atheros), et al., ISSCC 2004, pp.96

Discrete-time Bluetooth  
0.13um, 1.5V, 2.4GHz



アナログを最小にし、デジタルを活用した設計

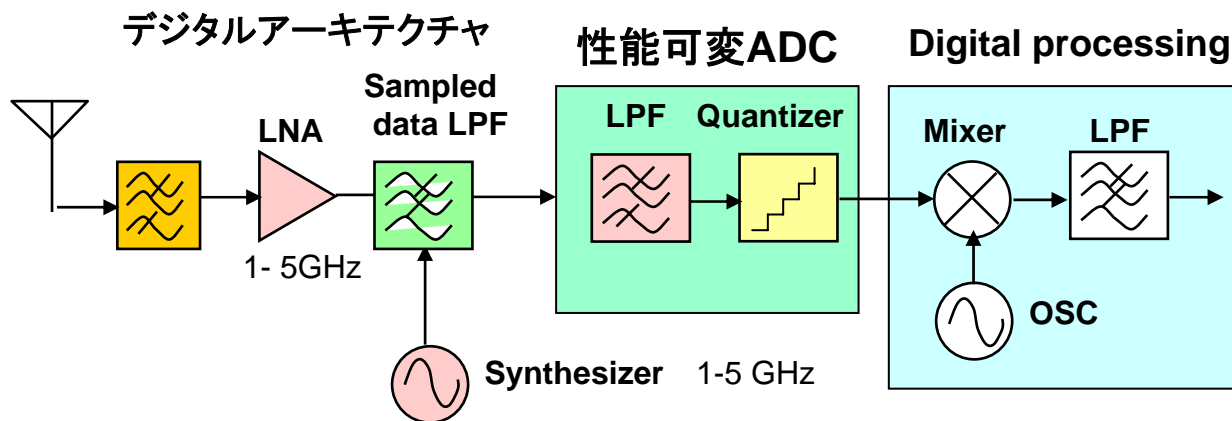
K. Muhammad (TI), et al., ISSCC2004, pp.268

SoC化  
デジタル化  
低電圧化

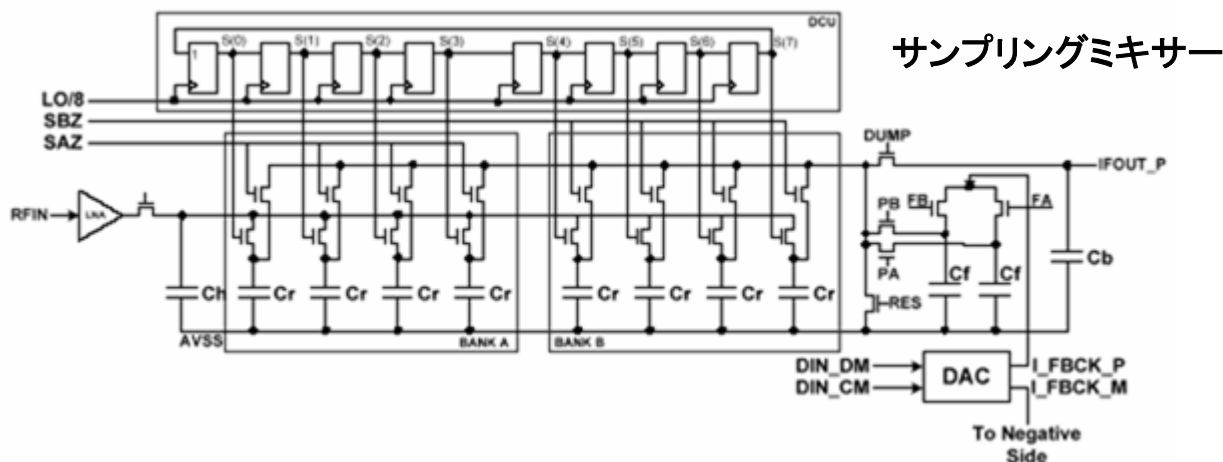


# 今後のワイアレスシステム

アナログ回路をできるだけデジタル回路に置き換える方向。  
 90nm程度の微細・低電圧CMOSを用いた高性能・性能可変ADCの開発が鍵になる。



K. Muhammad (TI), et al., ISSCC2004, pp.268

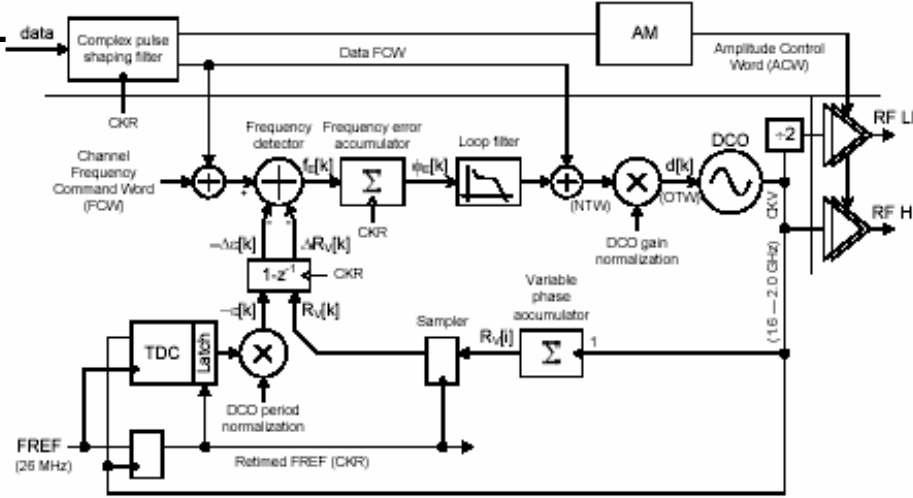


サンプリングミキサー

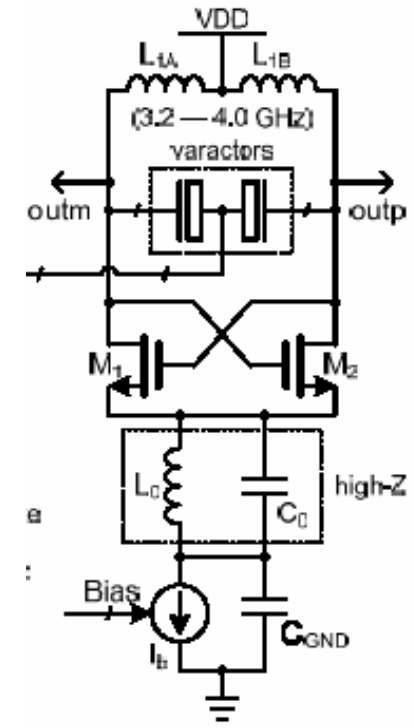
# デジタルアーキテクチャ

ワイアレスシステムのデジタル化は急速に進展している。  
 この開発は単なるデジタル技術ではだめで、微細・低電圧・超高速アナログ技術が不可欠である。

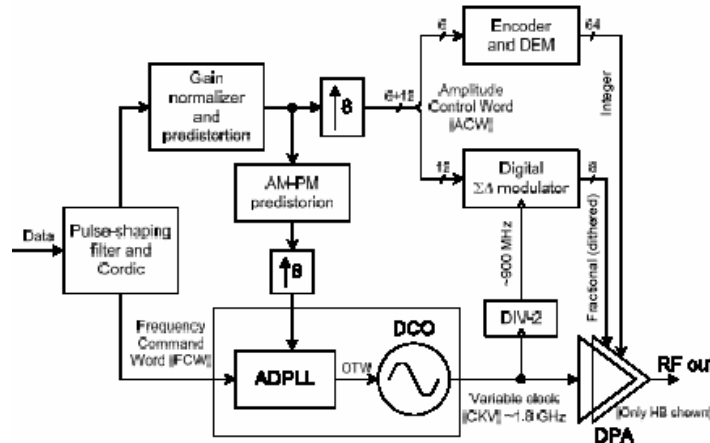
デジタルPLL



デジタルVCO



ポラーラ-TX



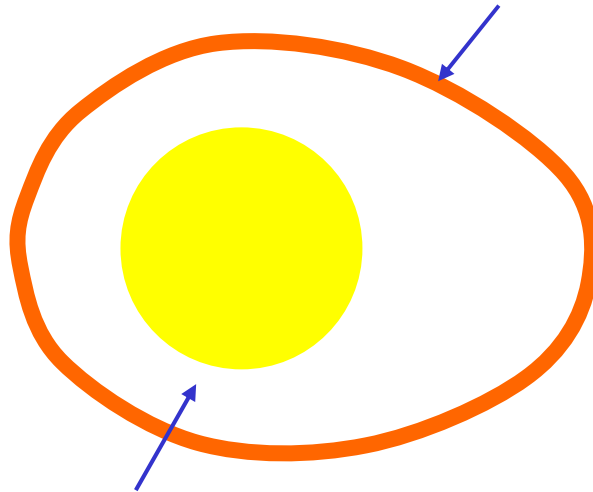
TI, ISSCC 2005, pp.316-317

# アナデジ混載技術の方向性

現在はアナログがデジタル技術を支えている。  
今後はデジタル技術をアナログのために活用することが重要。

## アナ・デジ混在エッグ

デジタルの殻: 一見不要だがこれがないと卵を食べられない



アナ・デジ混在信号処理

$\Sigma \Delta$  変調技術  
デジタル制御・補正

アナログの黄身と白身: おいしいがデリケート