

# 超LSI配線技術の今後のあり方

-- VLSI設計技術の観点より --

松澤 昭

Akira Matsuzawa

東京工業大学

Tokyo Institute of Technology

# 内容

---

- LSI技術の基本
  - トランジスタスケールリング
  - ゲート遅延
  - 配線遅延
  - 配線のスケールリング
  - リピータバッファ
- 多層配線とレイアウト
- インダクタを考慮した分布定数線路
- 配線の性質の比較
- LSIアーキテクチャと性能・消費電力

# 今後の超LSI配線のありかた

---

- VLSIの超高速化要求の緩和
  - 配線の厚膜化などの要求は緩和
- ローパワー化要求は極めて強い
  - Lo-k 技術への要求が継続
- 配線の微細化要求は穏やかに継続
  - 細線効果の克服
  - 多層化の穏やかな継続
- 3次元積層技術が本格化

# VLSI設計と配線

---

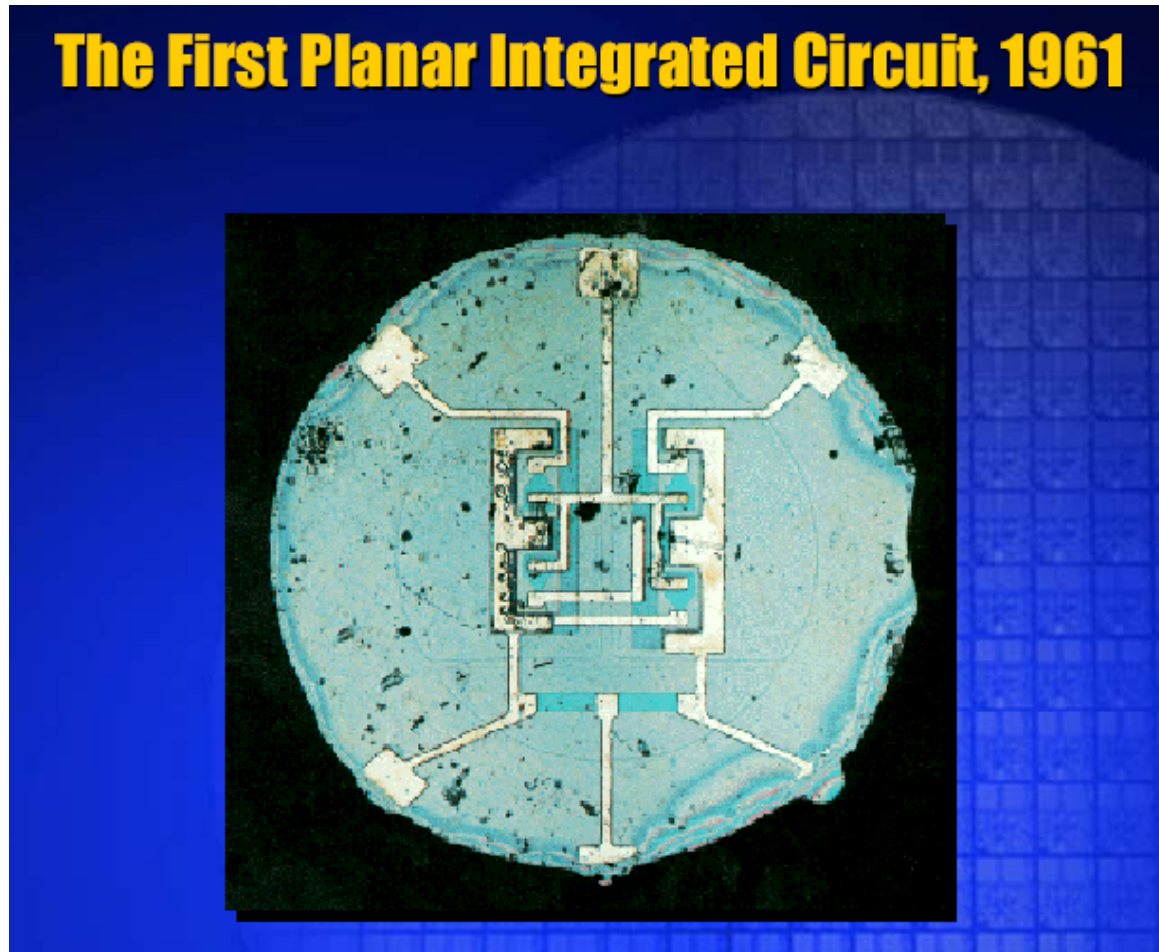
- 殆どのVLSI設計者にとって配線技術は遠い存在
  - 超高速VLSI設計者のみに関心  
[配線がクロックスピードを決定]  
日本にはこのようなビークルが殆ど無い、IBM, Intelの仕事。現在は高速CPUはIntelとAMDのみ。
- 日本の設計者にとってはコスト(配線層数)と信頼性のみが関心事
  - 配線は単にトランジスタ間を接続するもの？



日本には配線設計を専門とする研究者が殆どいない。

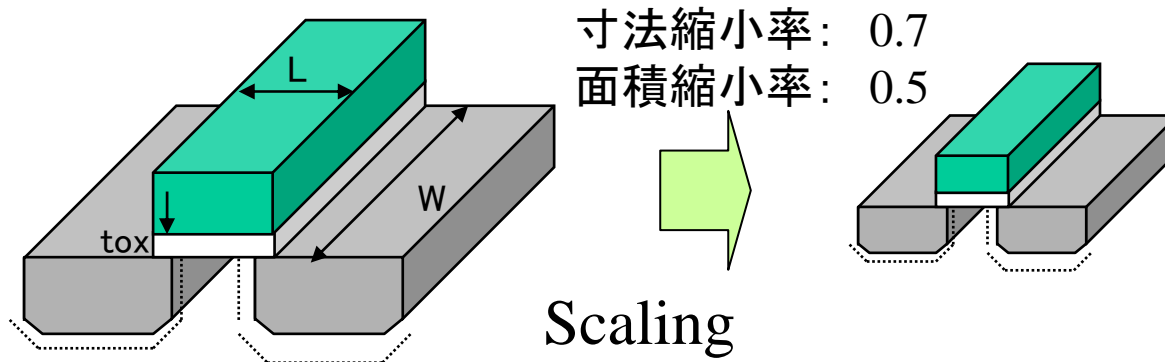
# 最初の集積回路

最初の集積回路はトランジスタ4個程度を集積した簡単なものであった。



# スケーリング則:LSI技術の基本原則

スケーリングによりLSIの集積度と性能が向上し、コストが下がった。



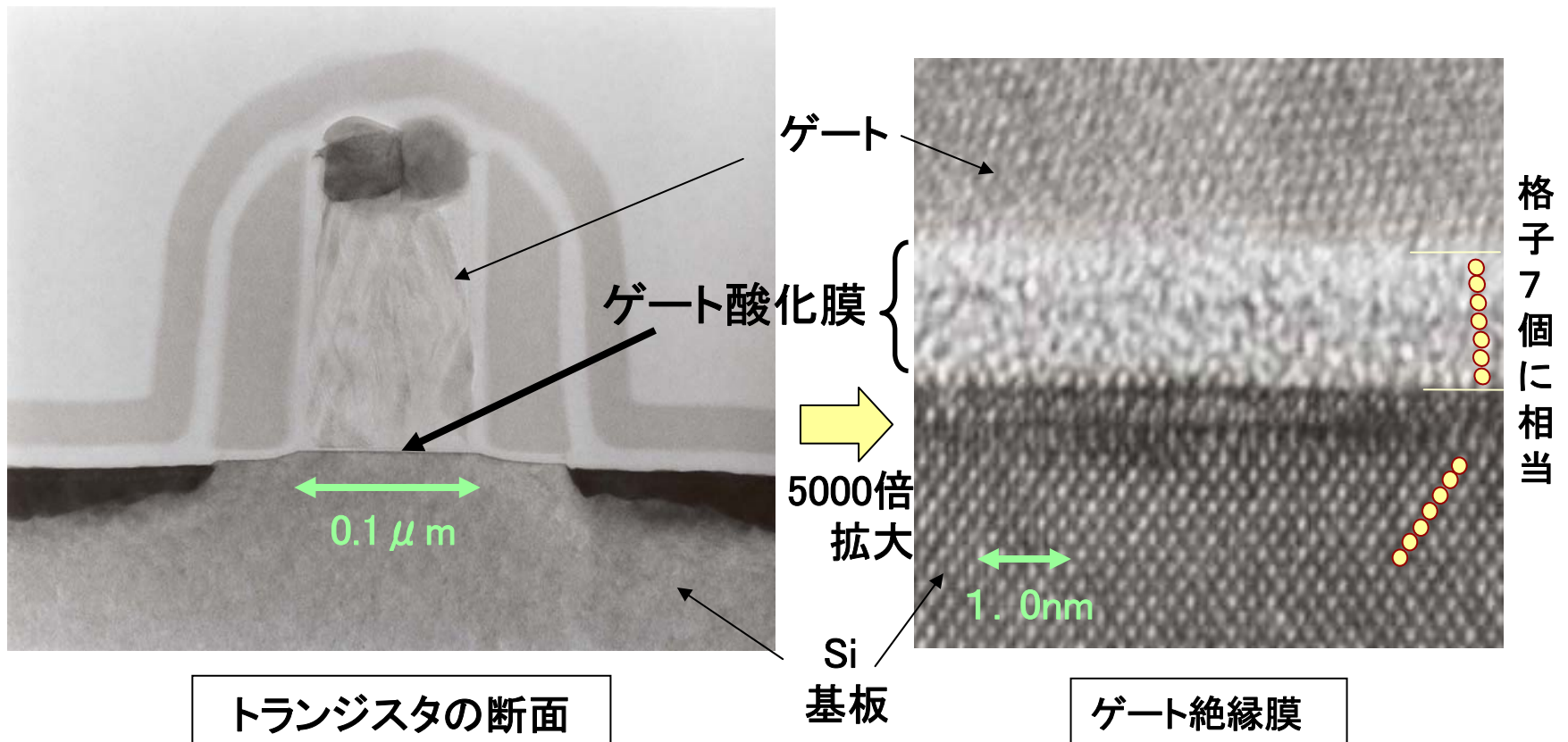
Device/Circuit parameter	Scaling Factor
Device dimensions L, W, Tox	1/S
Doping concentration	S
Voltage	1/S
Field	1
Current	1/S
Gate Delay	1/S
Power dissipation/device	1/S <sup>2</sup>

$$S \approx \sqrt{2}$$

スケーリングにより殆どすべての性能を向上できる

# 現在のSoC用トランジスタ

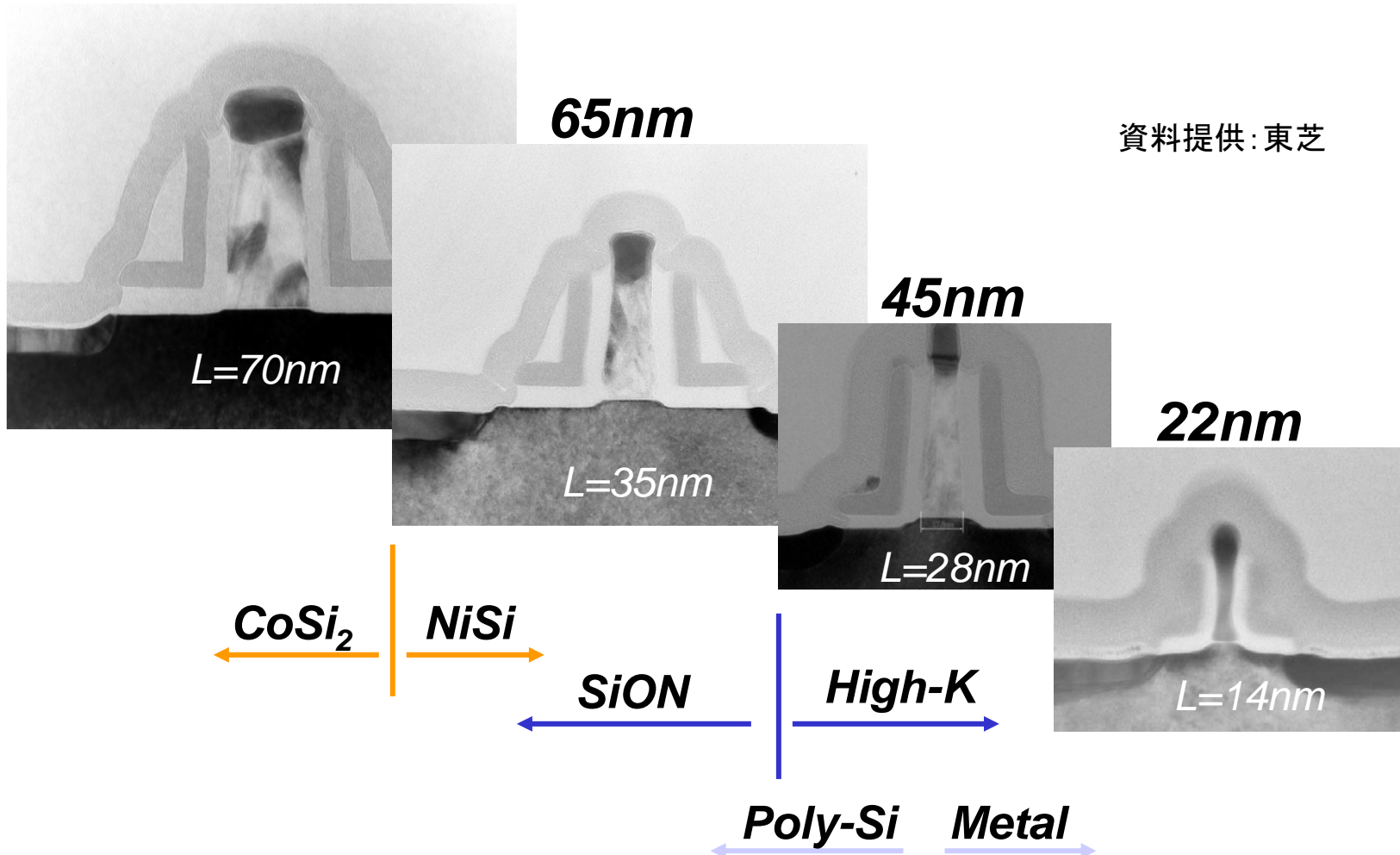
現在のSoCの量産プロセスである0.13umルールのトランジスタ  
原子レベルの制御が求められる。



松下電器

# 微細化

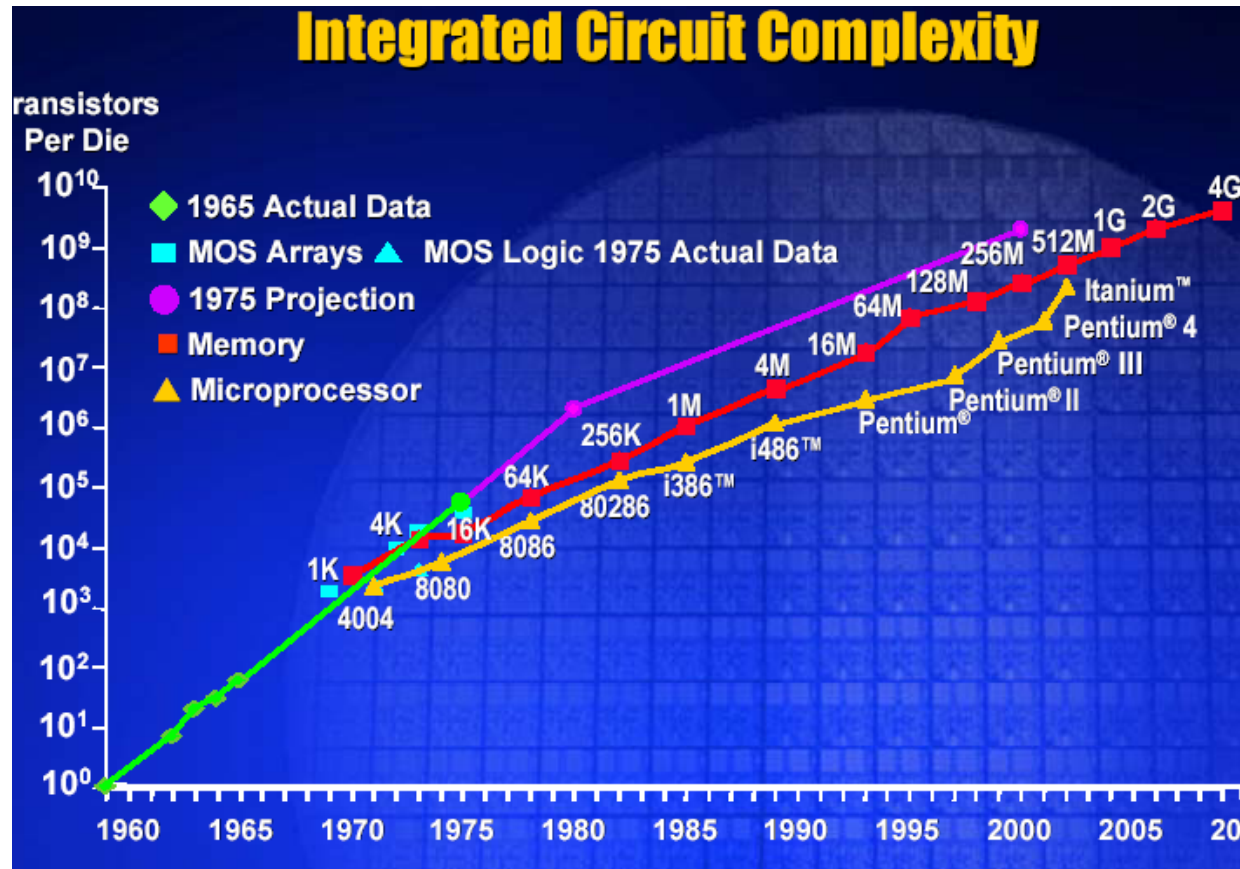
**90nm** トランジスタレベルでの微細化は進められているが、、、





# 集積度の推移

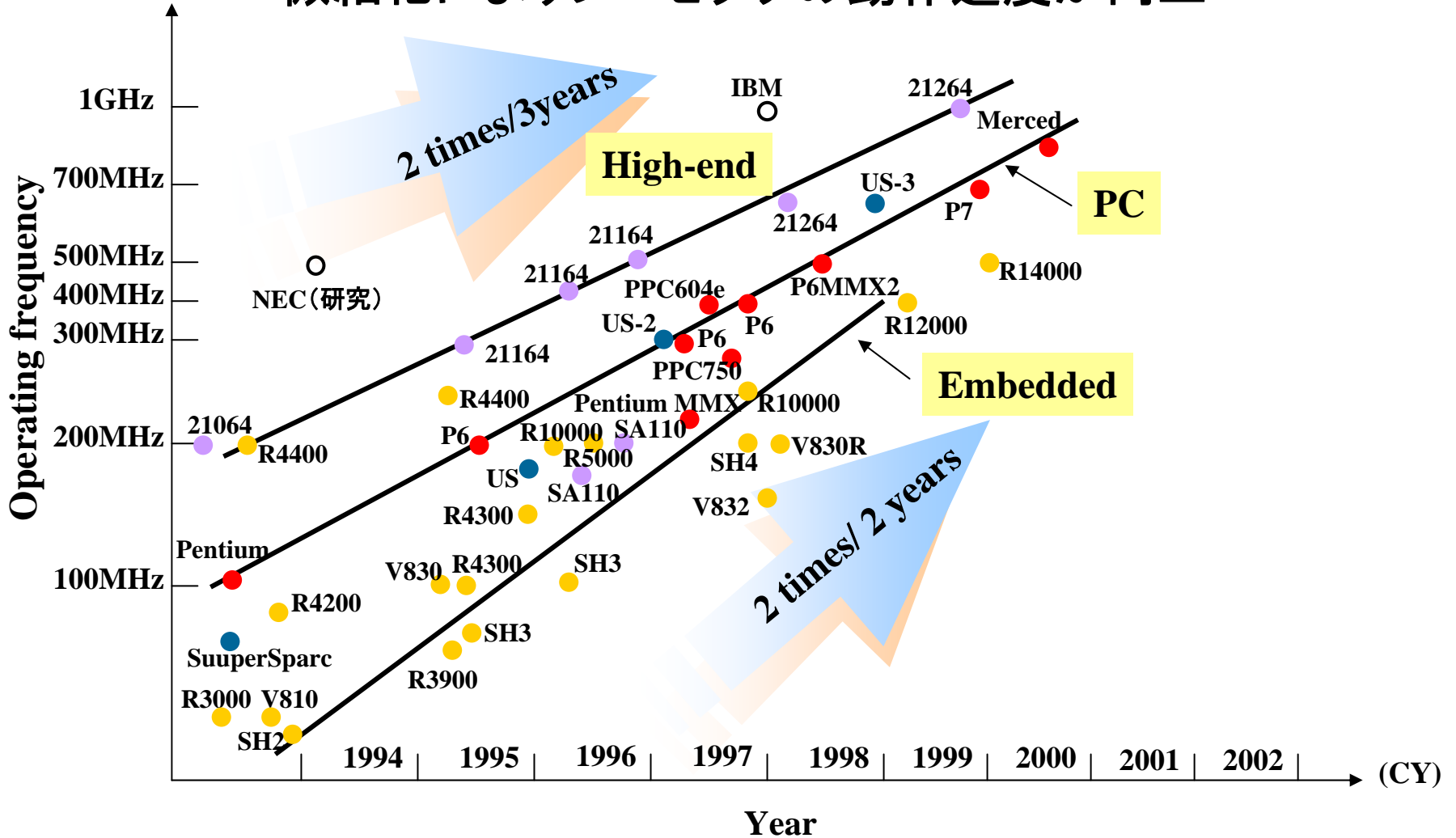
- ・チップに集積されるトランジスタは数億個レベルになった
- ・30年間で6桁上昇した 年率60%アップ, 1.5年で2倍



Gordon E. Moore, ISSCC 2003.

# 動作速度の向上

微細化によりプロセッサの動作速度が向上



# VLSI配線技術

---

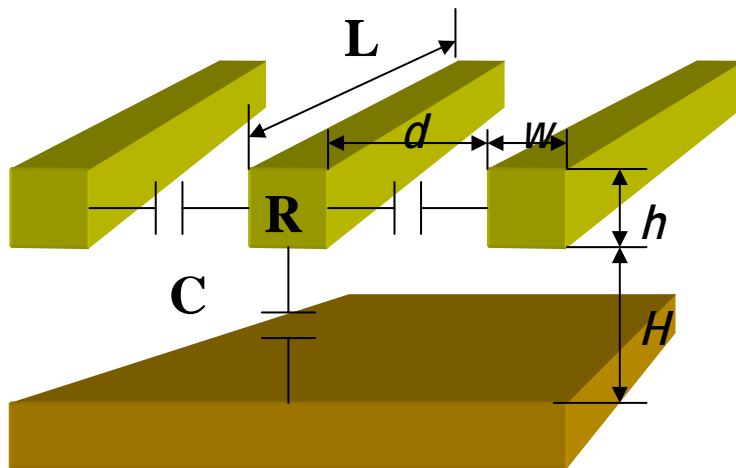
- VLSIの基本原理は「スケーリング則」である
  - スケーリング則により集積度・速度は桁違いに向上、コスト・消費電力は大幅に低下。
  - 今日の電子産業の最も重要な法則「ムーアの法則」 -- 集積度と速度は1.5年で2倍になる --- を推進した。
  - しかしながら、配線の性能はスケーリング則では向上できる見通しはなかった。

# 配線のスケーリング

- ローカル配線: RC遅延はスケーリングに対して一定
- グローバル配線: RC遅延はスケーリングに対してむしろ増加  
更にチップサイズの増加がこれに拍車をかけている

ローカル配線の容量は低下しているが、これは配線長短縮の効果で、単位長さ当たりの容量は一定

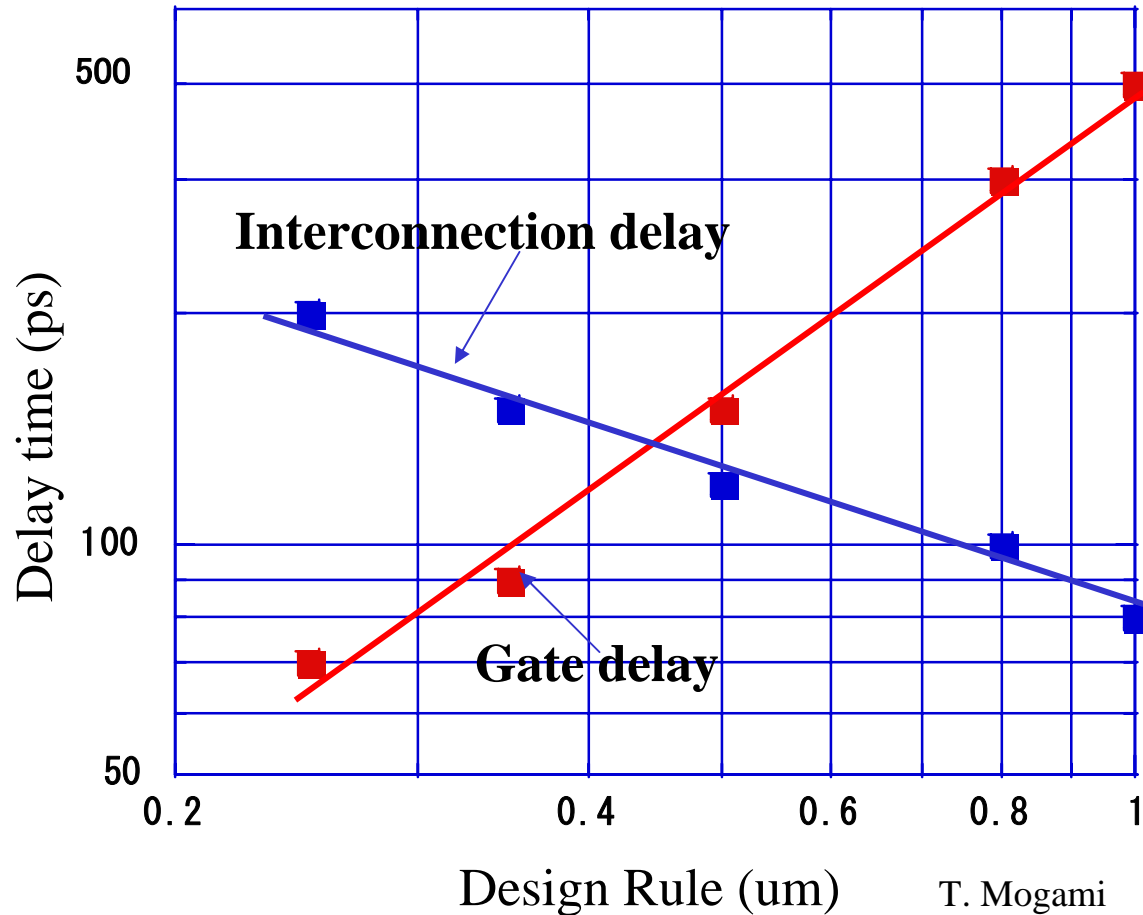
**S: Device scaling factor**  
**Sc: Chip size scaling factor**



Parameters	Local	Global
L	$1/S$	$Sc$
W, d	$1/S$	$1/S$
H, h	$1/S$	$1/S$
R	S	$S^2Sc$
C	$1/S$	$Sc$
Td (=RC)	1	$(SSc)^2$

# ゲート遅延と配線遅延

ゲート遅延は減少しているが配線遅延は増加している。



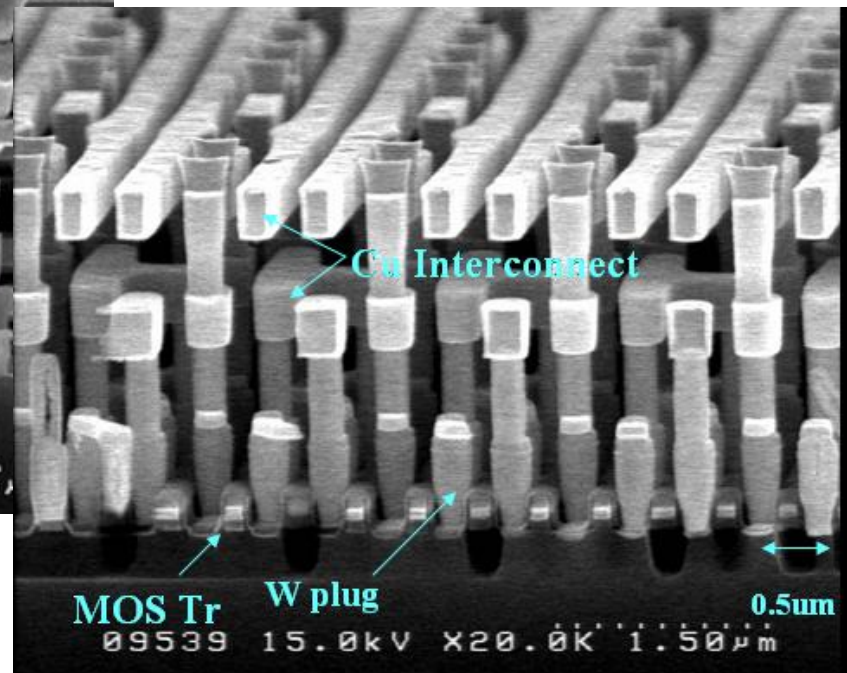
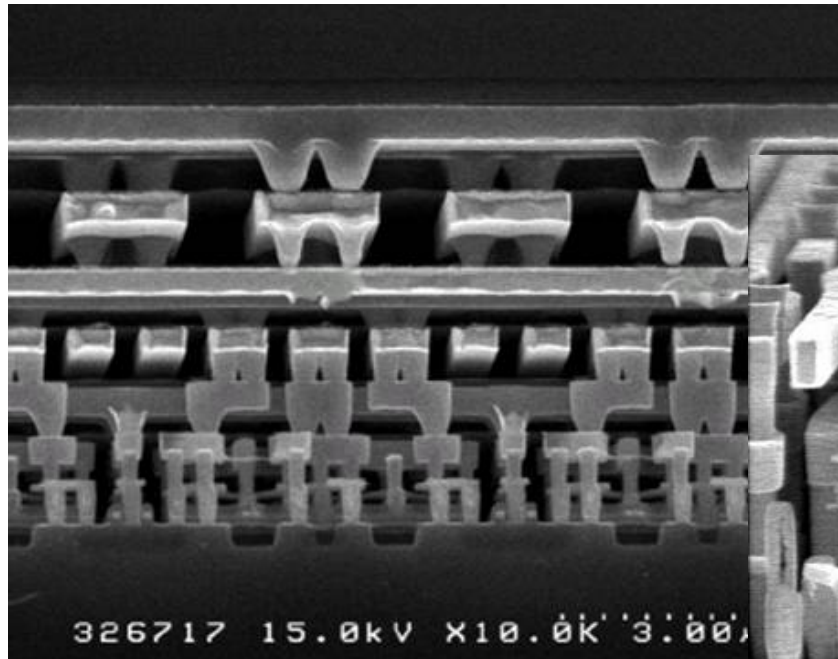
T. Mogami  
“LP & HS LSI Circuit & Technology”  
pp. 547-560, Realize Inc. 1998.

# 現在のSoC用多層配線

現在のSoCでは民生用途でもCu, 6層程度の配線が使用されている。

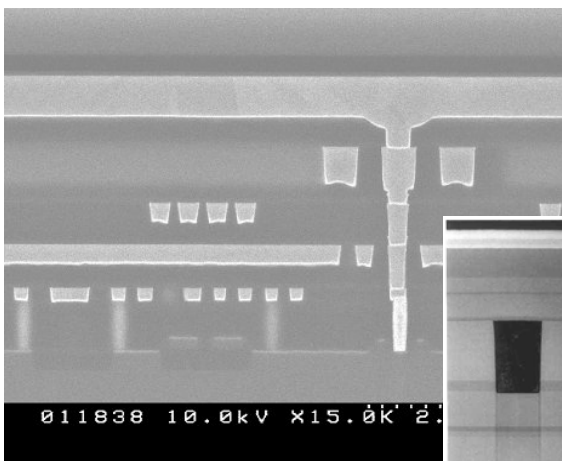
資料提供: 松下電器

**Ratio: 2x**



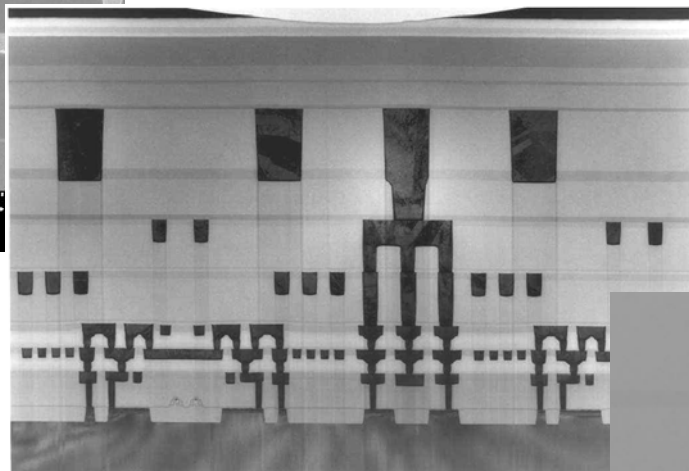
# 微細化と配線の逆スケールリング

130nm Node 5層Cu配線構造

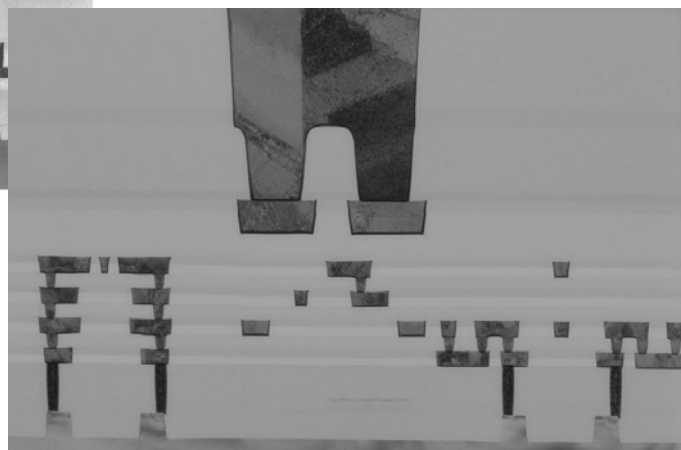


長距離Global配線におけるRC遅延の深刻度を反映して、逆スケールリングの程度は世代が進むとともに大きくなっている

90nm Node 6層Cu配線構造



65nm Node 6層Cu配線構造



資料提供: 東芝



# 配線のロードマップ

Low-k化や電流密度の増大、バリアメタル膜圧低減が課題である。

Year of 1st Product shipment	2001	2004	2007	2010	2013	2016
Technology Node(nm)	130	90	65	45	32	22
Power supply voltage(V)	1.2	1.0	0.8	0.6	0.5	0.4
Clock frequency(GHz)	1.7	2.9	4.3	6.1	8.6	12.2
Band width(Gbyte/sec.)	1.6	1.9	2.3	2.7	3.2	3.8
Max. power consumption(W)	70.0	94.1	104.2	93.1	121.3	137.9
Logic transistors(M/cm <sup>2</sup> )	89	267	801	2404	7212	21635
Max. chip size(mm <sup>2</sup> )	310	310	310	310	310	310
<b>Number of metal levels</b>	8	9	10	10	11	11
Local wiring pitch(nm)/A.R	350/1.6	210/1.7	150/1.7	105/1.8	75/1.9	50/2.0
Intermediate wiring pitch(nm)/A.R	450/1.6	265/1.7	195/1.8	135/1.8	95/1.9	65/2.0
Global wiring pitch(nm)/A.R	670/2.0	460/2.1	290/2.2	205/2.3	140/2.4	100/2.5
Intermediate wire $\rho_{eff}$ ( $\mu \Omega$ cm)	2.2	2.2	2.2	2.2	2.2	2.2
Barrier/cladding thickness(nm)	16	10	7	5	3.5	2.5
Interlevel metal insulator keff	3.0-3.6	2.6-3.1	2.3-2.7	2.1	1.9	1.8
k(bulk)	<2.7	<2.4	<2.1	<1.9	<1.7	<1.6
Jmax/Imax(E5A/cm <sup>2</sup> /mA@105C)	9.6/0.32	15/0.24	21/0.18	27/0.10	33/0.07	39/0.04

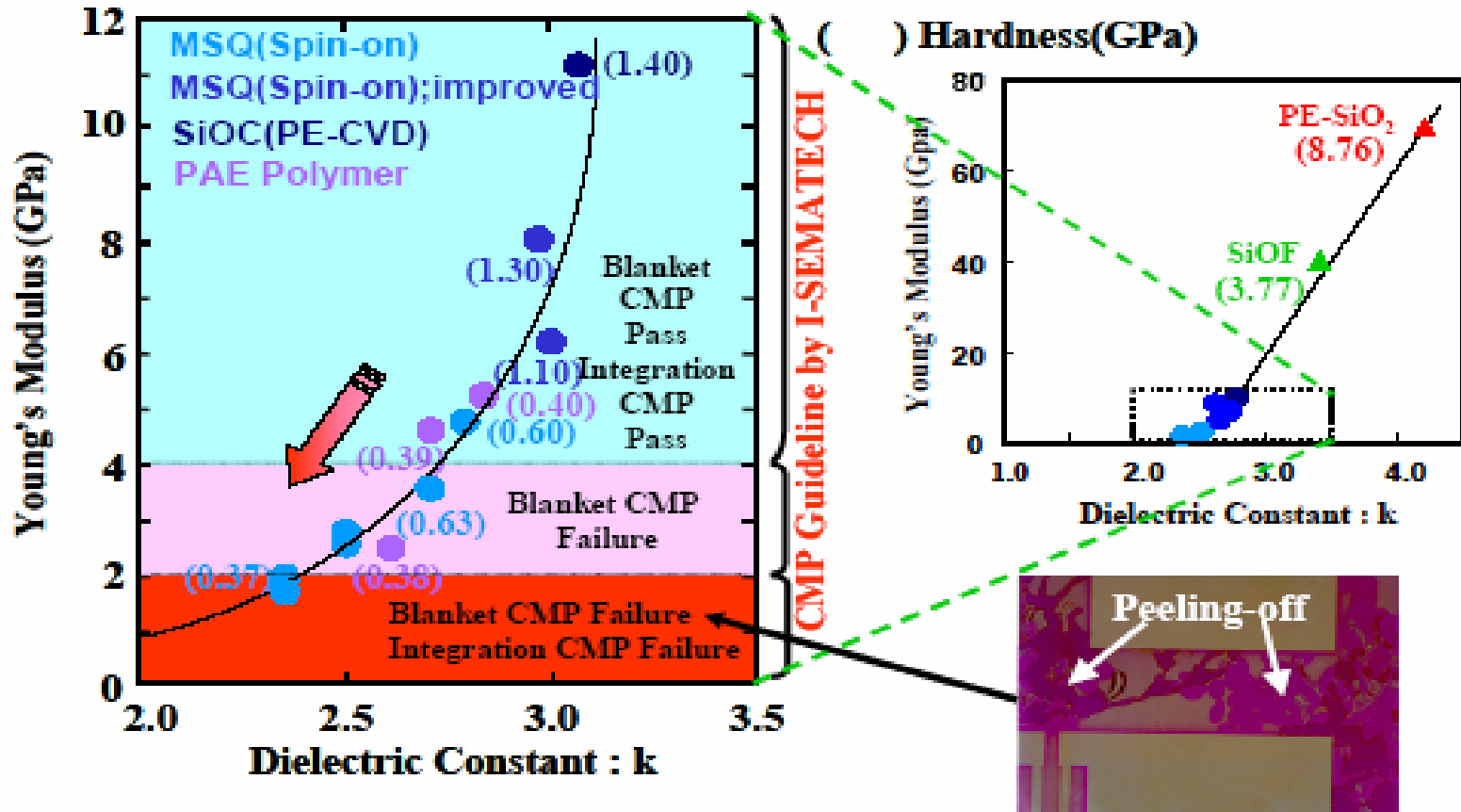
図表 6-1 ITRS2002 MPU Interconnect Roadmap (抜粋版) 半導体技術ロードマップ専門委員会 (STRJ) 2003年度報告より



# Low-k材料の機械強度

Low-k化とともに機械強度は急激に減少している  
 K<3.0では機械強度が持たない。→導入が遅れる

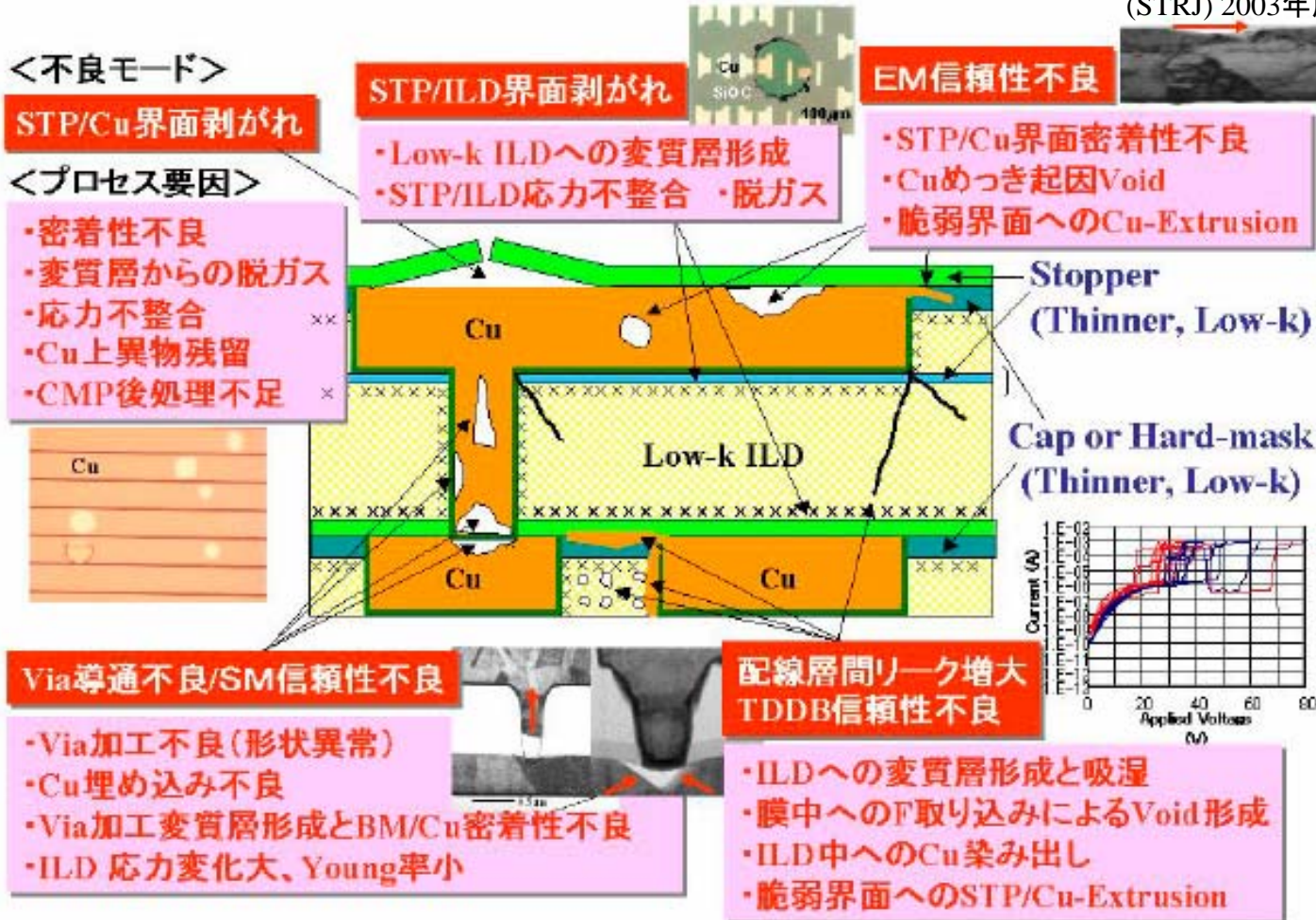
半導体技術ロードマップ専門委員会  
 (STRJ) 2003年度報告より



# Cu/Low-kプロセスインテグレーションの課題

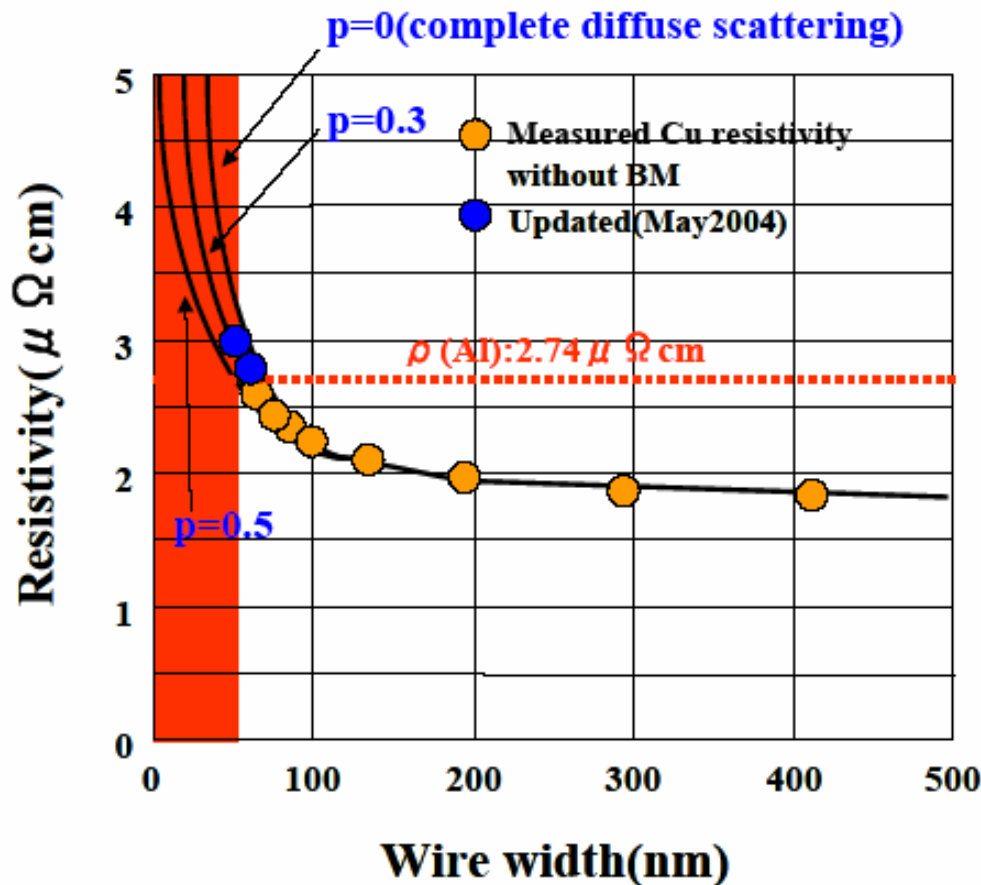
Low-k化に伴う配線の熱的安定性や機械強度不足によりLow-k導入は遅れている。

半導体技術ロードマップ専門委員会 (STRJ) 2003年度報告より



# 配線微細化の本質的な課題

配線幅が電子の平均自由行程程度になると金属の抵抗は急増する



配線幅 < 電子の平均自由行程

表面(界面)散乱が支配的

$$\rho(W) = \rho_0 + \frac{\lambda}{W} \left[ \frac{3}{4}(1-p) + \frac{3r}{2(1-r)} \right]$$

p: 表面(界面)で弾性衝突する電子の割合

r: 結晶粒界での電子の反射確立(=0.2)

$\lambda$ : 電子ガス理論から決まる平均自由行程  
~47nm

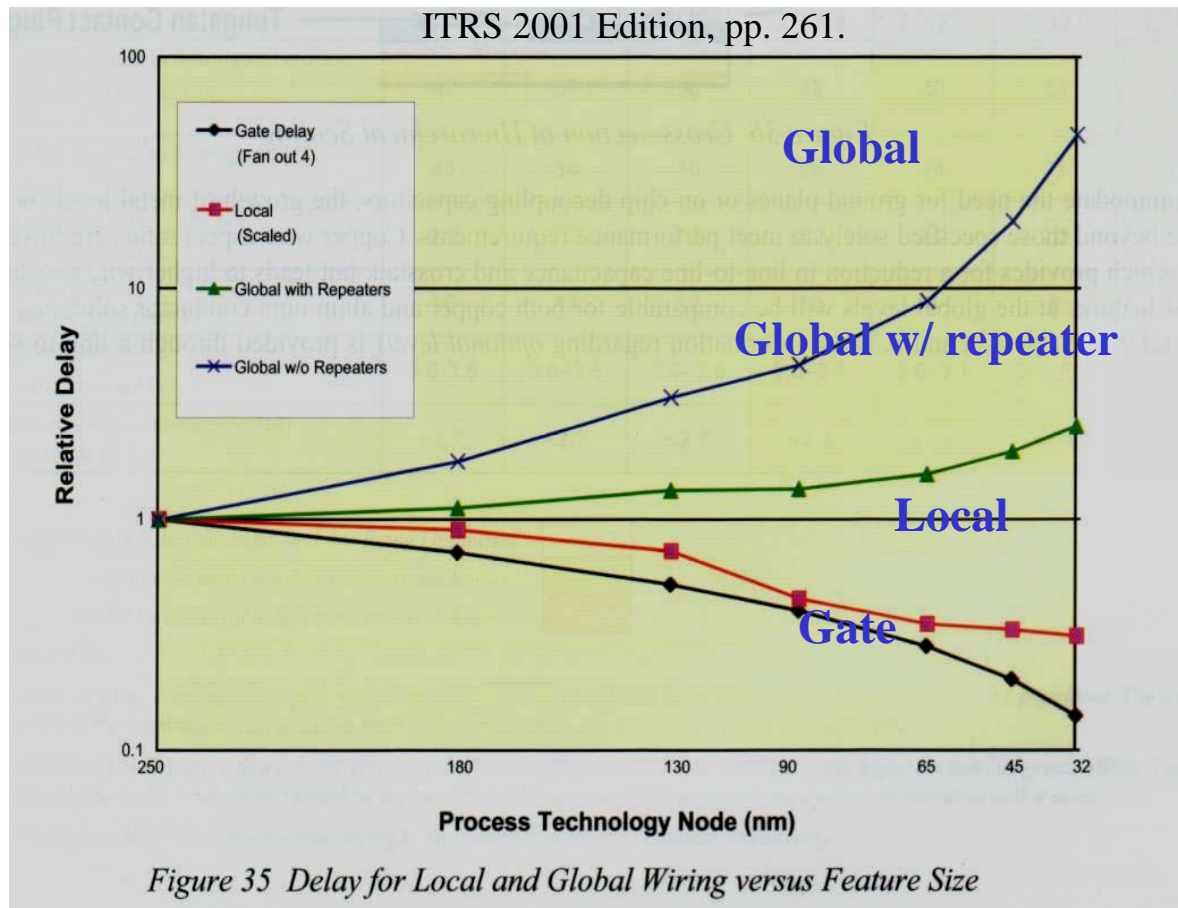
32nm Node以降(2010年)では大きな問題

界面の平滑化が必須だが、抑制は極めて困難

図表 6-23 界面での電子散乱によるCu比抵抗の上昇

# 配線遅延の予測

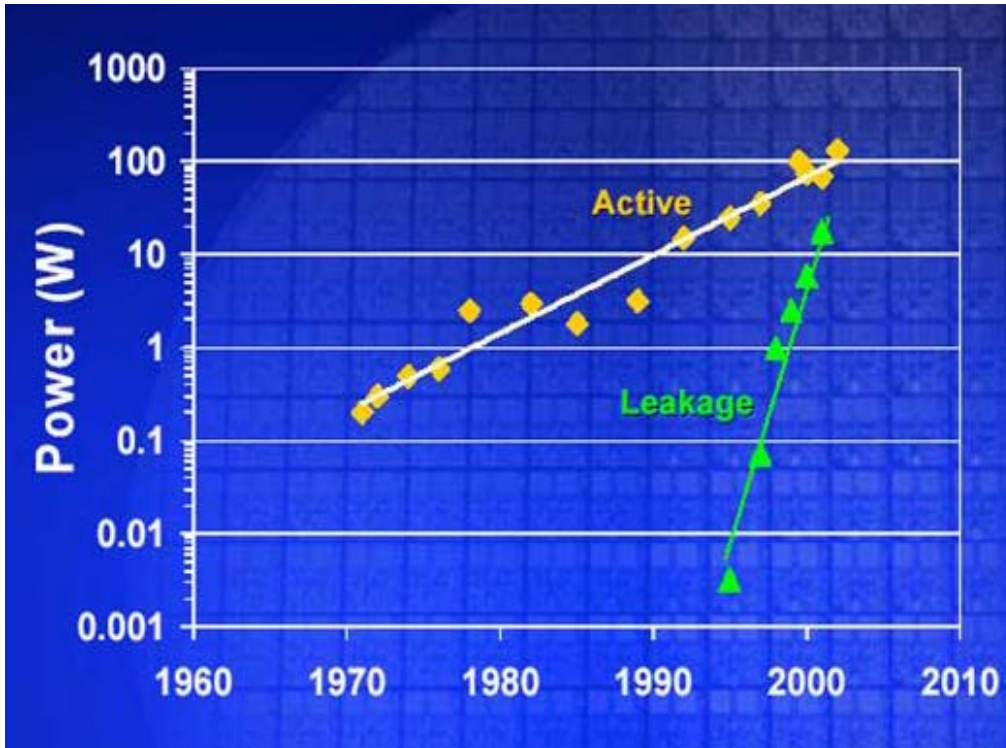
グローバル配線遅延はたとえ、リピータバッファを入れても微細化とともに増大する。配線には更なる配線遅延の要求が強くなるのであろうか？



# VLSI技術最大の危機：消費電力の増大

プロセッサの消費電力は100Wに達し、限界に直面している。  
しかもリーク電流が急速な伸びを示している。

プロセッサの消費電力推移



$$P_d \approx f_{clk} \cdot C \cdot V_{dd}^2$$

・これ以上クロックを上げられない

$$I_{leak} = I_{sub} + I_g$$

$$I_{sub} \approx \exp\left(\frac{-qV_T}{nkT}\right)$$

$$I_g \approx \exp(5.6V_{gd} - 10T_{ox} - 2.5)$$

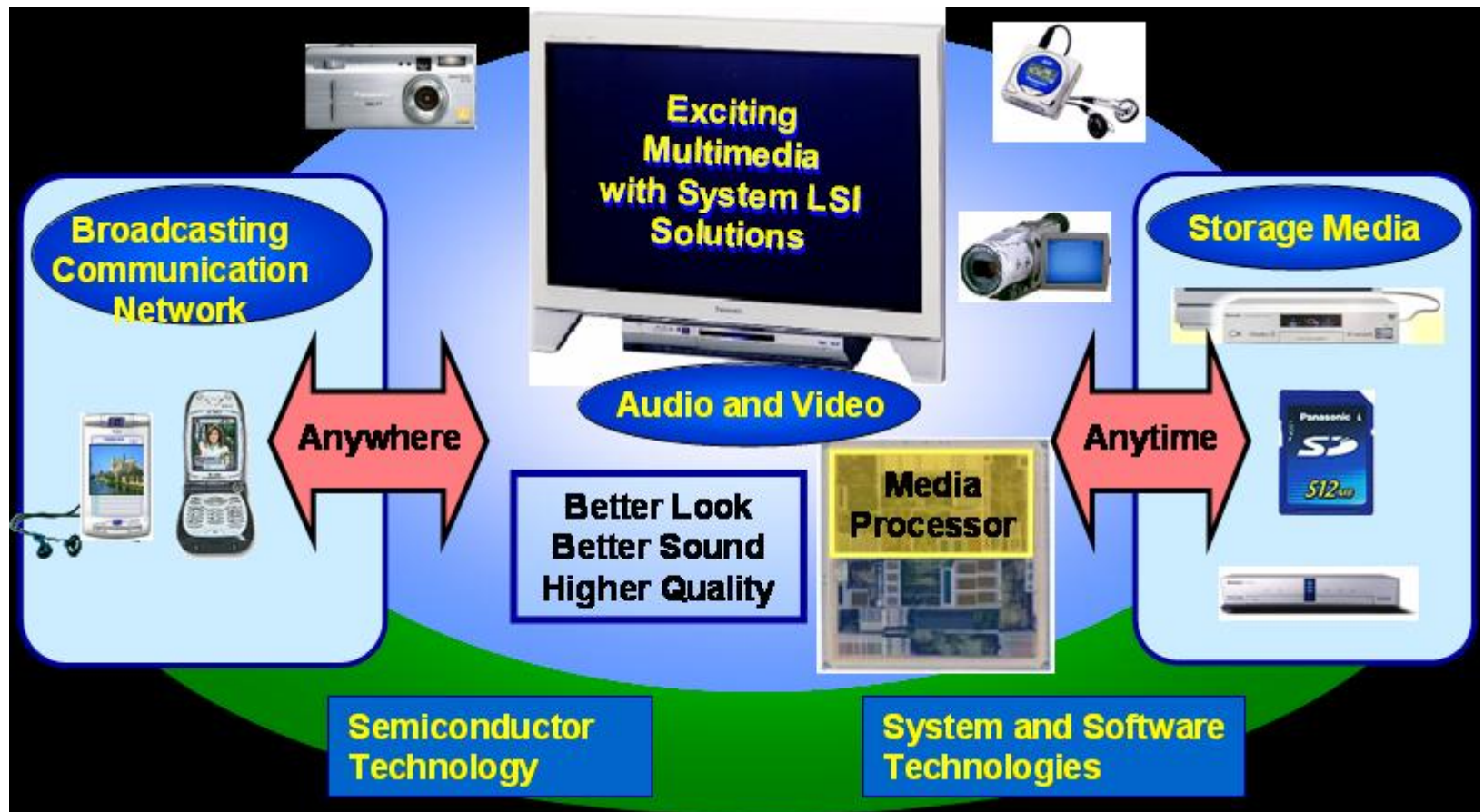
- ・これ以上 $V_T$ を下げられない
- ・これ以上ゲート酸化膜を薄くできない

Gordon E. Moore, ISSCC 2003.



# デジタル情報家電の時代

デジカメ、カメラ付携帯電話、DVDレコーダー、デジタルTV、フラットディスプレイなどのデジタル情報家電機器が大成長。  
これらの機器には1~2個のシステムLSI (SoC)が使用されている。

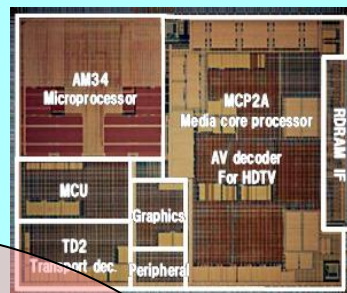


# デジタル情報家電用SoCの分類

デジタル情報家電用SoCは3分野に分類できる。

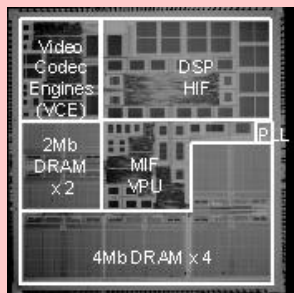
- ・超高速メディアプロセッサ系
- ・ローパワー処理系
- ・アナ・デジ混載系

## 超高速メディアプロセッサ系



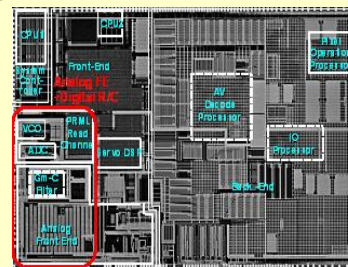
- ・デジタルTV
- ・超高速動作

## ローパワー処理系



- ・携帯機器
- ・低リーク/低電力

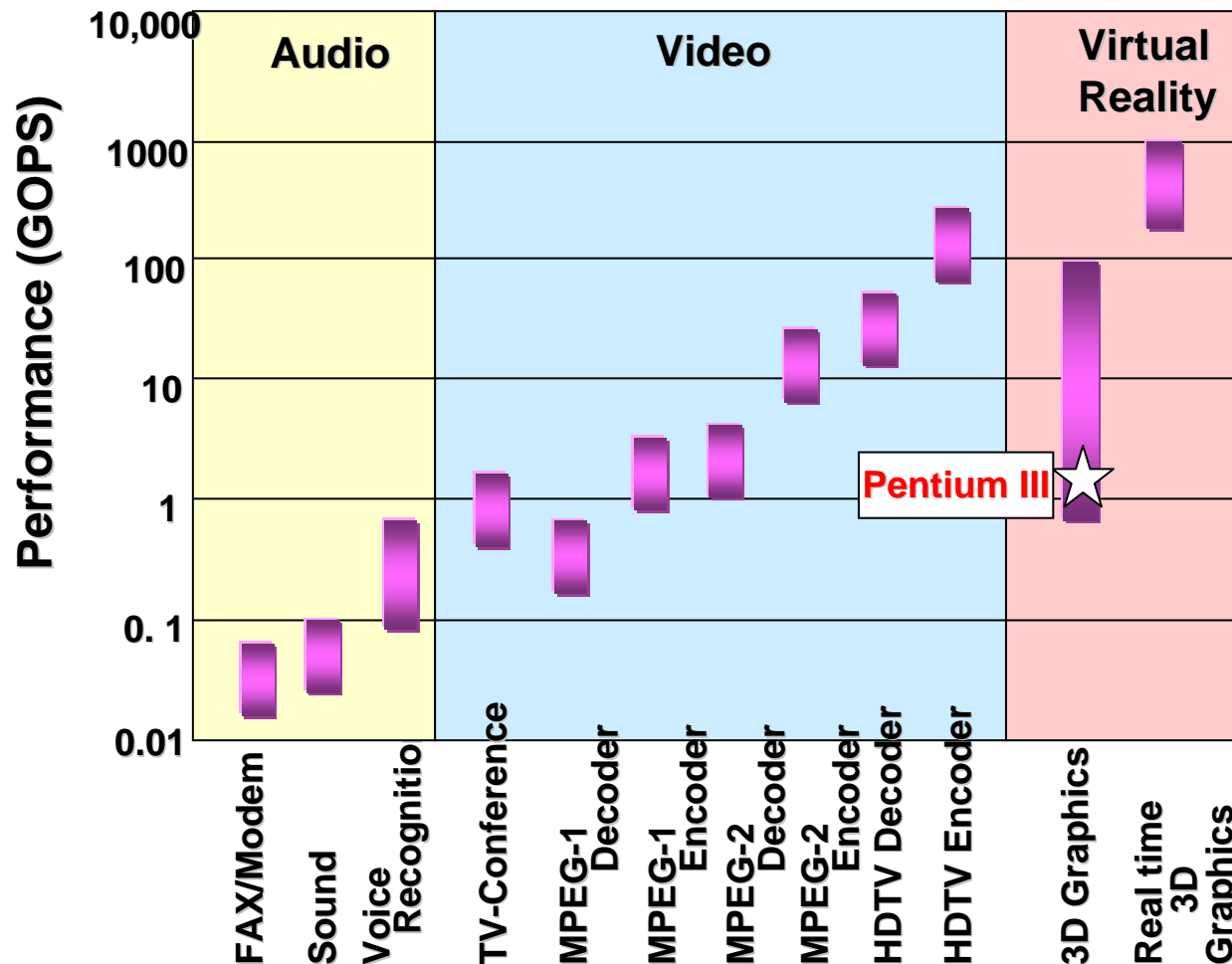
## アナ・デジ混載系



- ・DVD, デジカメ
- ・アナログ混載

# メディアプロセッサの処理能力

メディアプロセッサは汎用プロセッサの1桁以上上の処理能力が求められる。  
デジタル家電には更なる高速化が必要か？

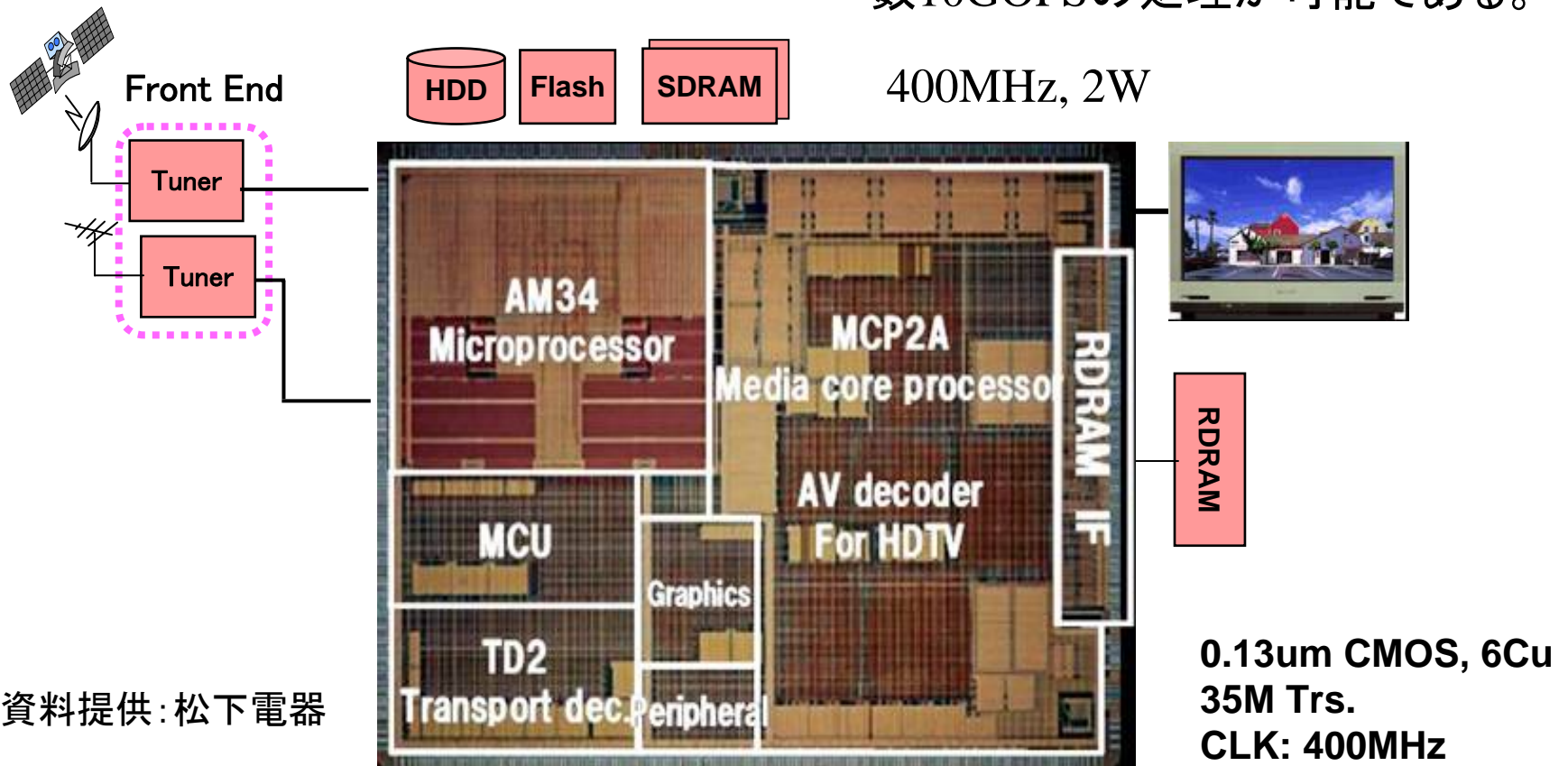




# 超高速メディアプロセッサ型SoC

メディアプロセッサ+マイクロプロセッサによるSoCを用いてデジタルHDTVなどの超高速画像処理ができる。

数10GOPSの処理が可能である。



資料提供: 松下電器

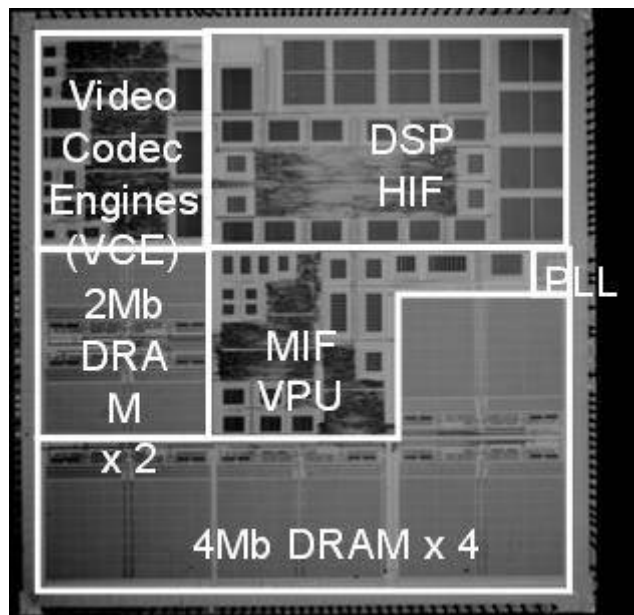
# ローパワー・マルチメディア処理用SoC

携帯型デジタル情報家電機器には超低電力・低リークのSoCが求められる。  
6GOPSのメディア処理を90mWの超ローパワーで実現できる。

## MPEG4 Codec

0.18um e-DRAM  
31M Tr  
90 mW@54MHz

6 GOPS

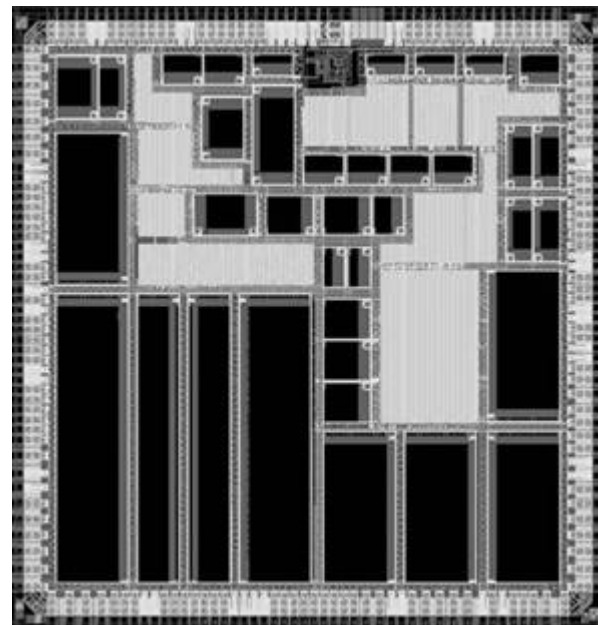


## MPEG4 Decoder

0.18um CMOS  
11M Tr  
11 mW@27/54MHz

1.5GOPS

資料提供: 松下電器

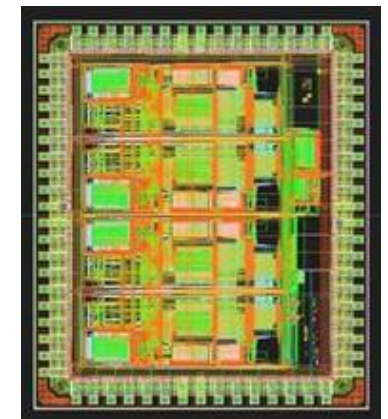
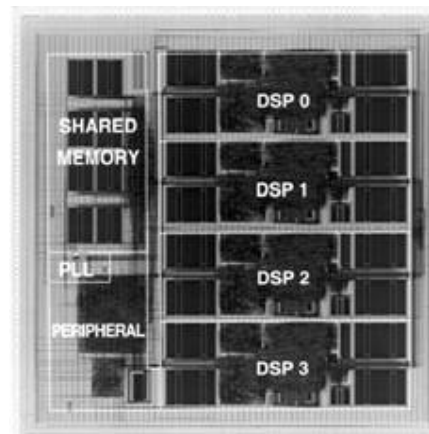
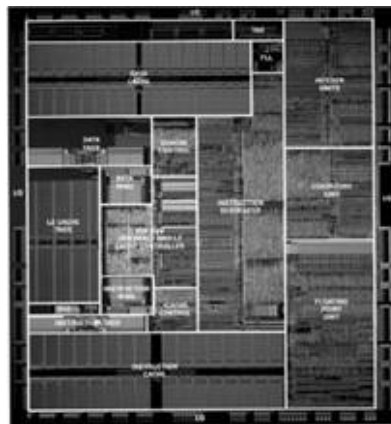


# LSI構成と消費電力

LSIの構成の違いにより同一の処理能力でも消費電力は3桁違う。  
汎用プロセッサが最も電力を消費する。

	MPU	DSP	Dedicated LSI
Clock (MHz)	450	50	25
Parallelism	2	16	96
GOPS	0.9	0.8	2.4
Pd (mW)	7000	110	12
<b>Pd (mW)/GOPS</b>	<b>7800</b>	<b>138</b>	<b>5</b>

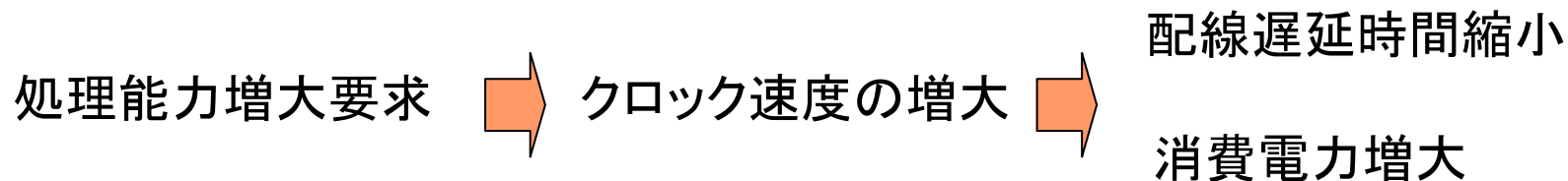
3 order's difference



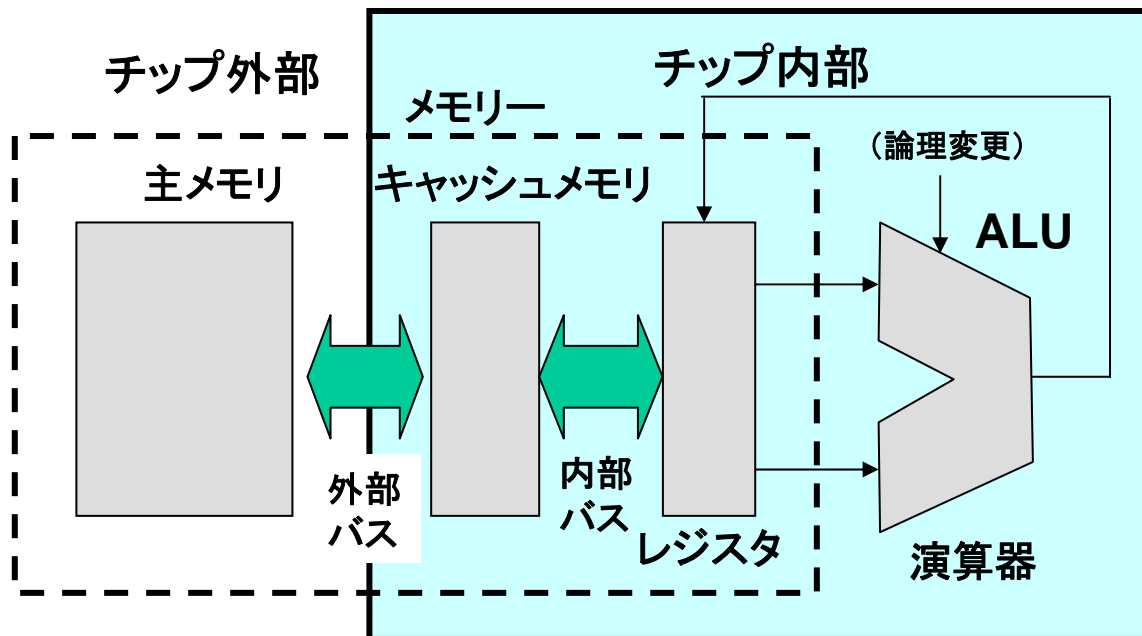
Courtesy,  
Prof. Brodersen,  
UCB

# 超高速動作要求と消費電力増大の主犯

通常のマイクロプロセッサの構成では1クロックあたり3つ程度の処理しかできない。



マイクロプロセッサの構成



# インテルの方針転換

---

プロセッサの超高速化を追求してきたインテルはクロック周波数の上昇のみに頼った高速化を放棄した。



今後、微細化は続くが、配線遅延に対する要求は緩和される。配線は3次元化技術などに向かうのではないか。

- 米Intel Corp.のSr. Vice President, Chief Technology OfficerであるPat Gelsinger氏は3月4日に都内で会見し、将来のLSI技術動向について説明した。

同氏によると、微細化による動作周波数の向上は今後難しくなっていく。微細化と共に電源電圧を下げ続けることが困難になり、チップの消費電力が増えていることが主な理由である。このため、今後は周波数の向上によってチップの処理性能を向上するだけでなく、プロセッサの並列化やマルチスレッド化といった技術を組み合わせていく必要があるという。

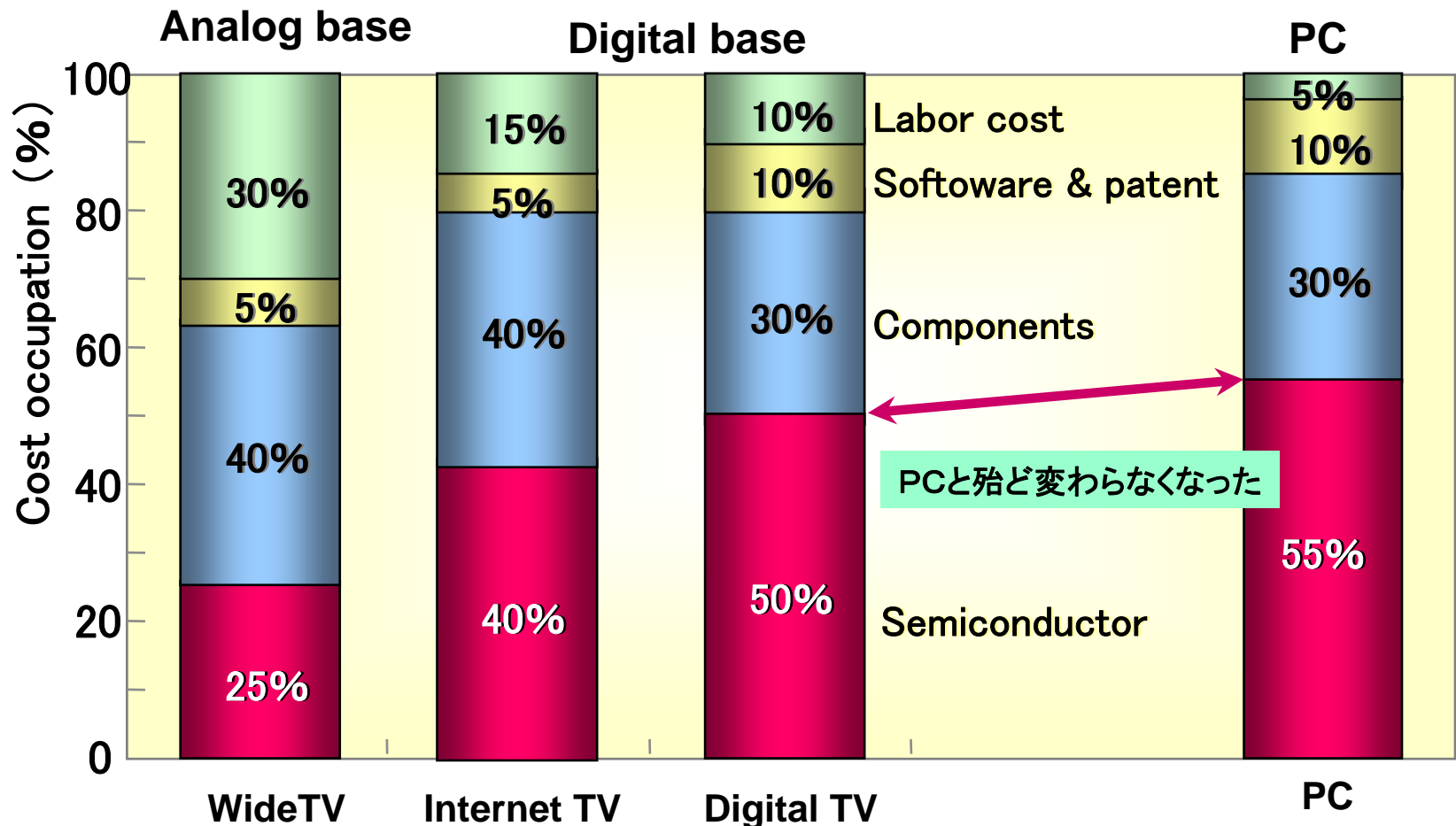
# VLSI設計の大方針転換

---

- VLSIのクロック速度は飽和する
  - 消費電力の限界
  - 低電圧化の限界
  - 配線遅延時間の限界
  - 外部メモリのデータ転送速度の限界
- 今後のVLSIの性能向上はアーキテクチャの見直しと実装技術で達成する
  - パソコンからデジタル家電への大きな流れ
  - 並列処理に向けたマルチメディア(画像)処理要求が増大
  - 家電系は応用特化の最適なアーキテクチャが使用できる
  - コスト重視へ(消費電力大=コスト増)
  - 携帯機器へデジタル家電が集約→低電力と3次元集積

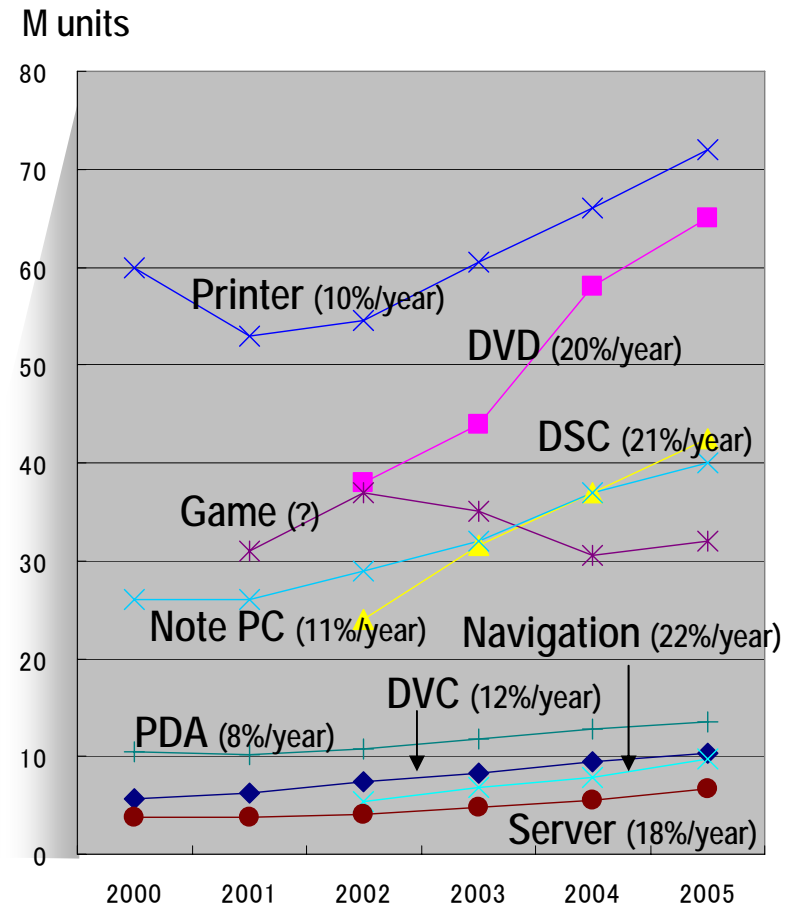
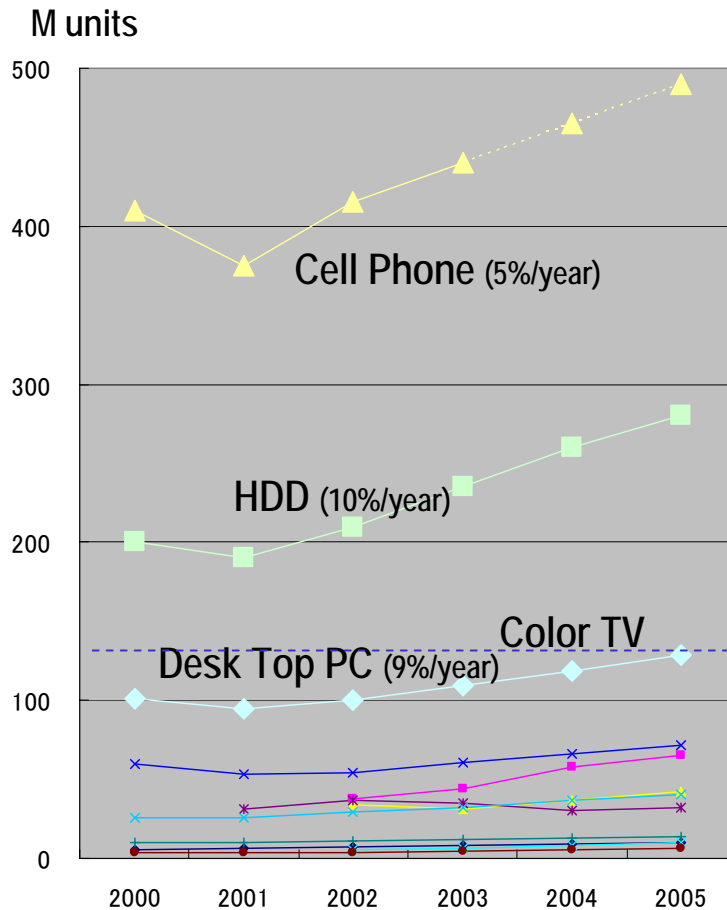
# デジタル情報家電用機器のコスト構成

機器のデジタル化によりコスト構成はPCと殆ど同じになった。  
半導体投入比率は倍増している。  
機器=半導体の時代になった。



# 製品毎のマーケットサイズ

電子機器の最大の市場(台数)はPCではなく、携帯電話。  
デジタル家電が急迫。テレビもフラット化、デジタル化で市場創出。

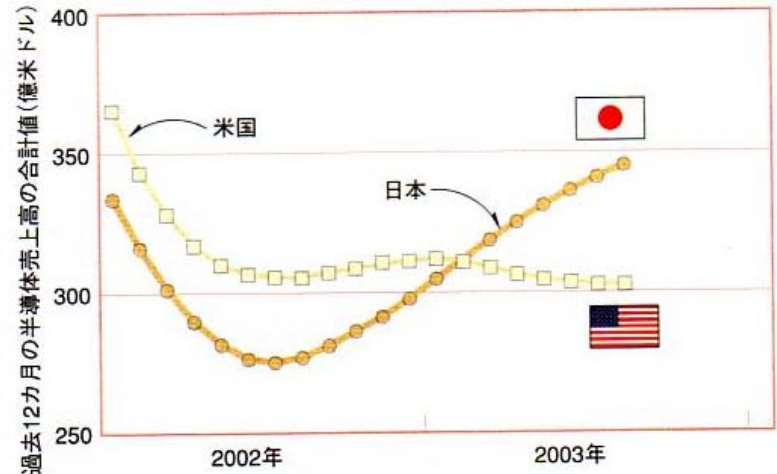
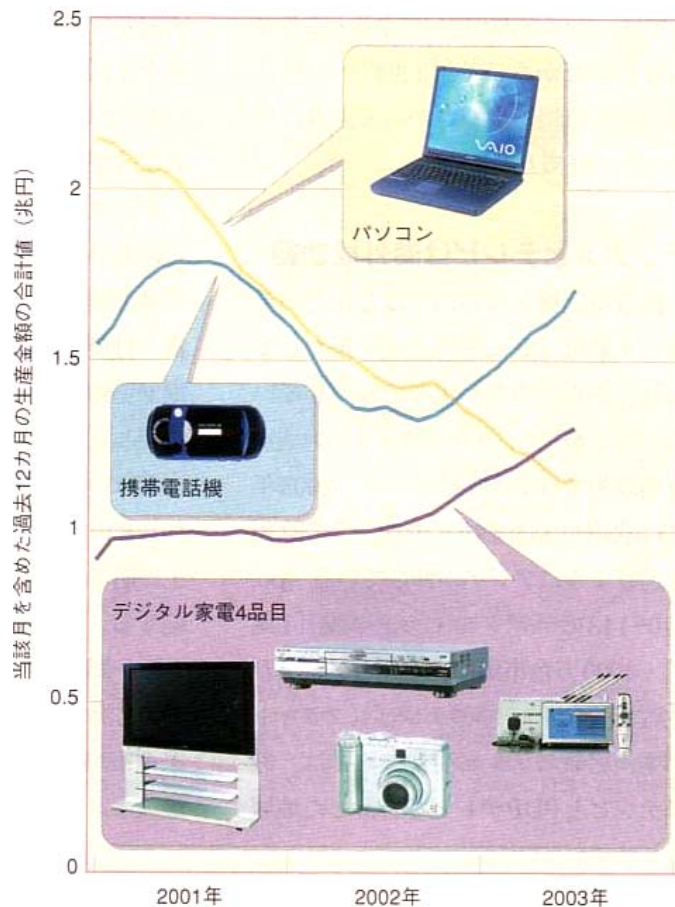


Source: 2003 Japan Semiconductor almanac



# デジタル情報家電と半導体

携帯電話を入れるとデジタル情報家電の生産金額はPCの国内生産を上回った。  
このため、SoC, Flashメモリ, CCDなどの半導体売り上げは米国を抜いた。



# 今後のデジタル情報家電

殆どの機能は携帯電話に集積されていく

データ端末

電話・ファクシミリ

電卓・電子手帳

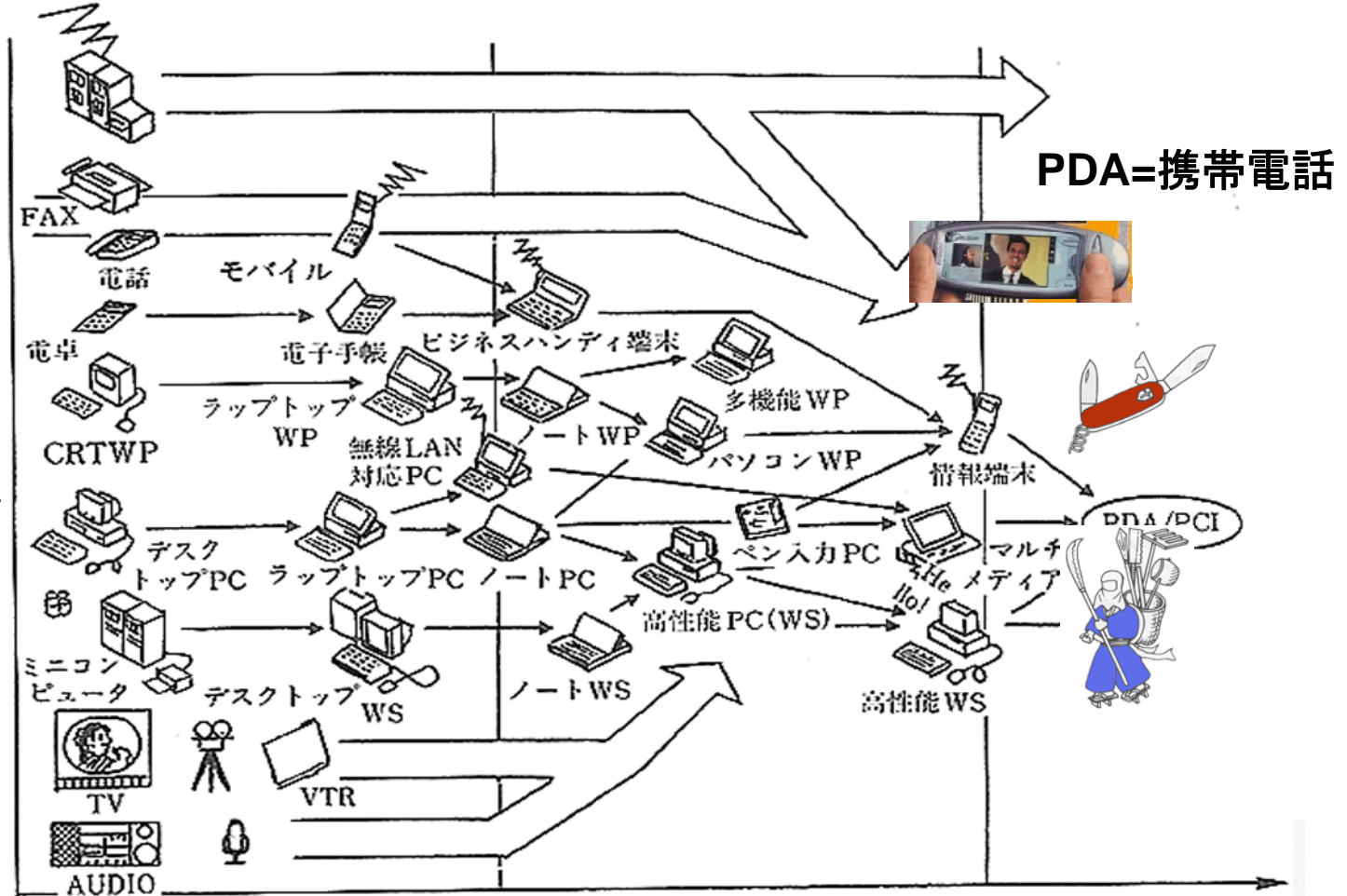
ワードプロセッサ

パーソナルコンピュータ

ワークステーション

映像機器

音声機器



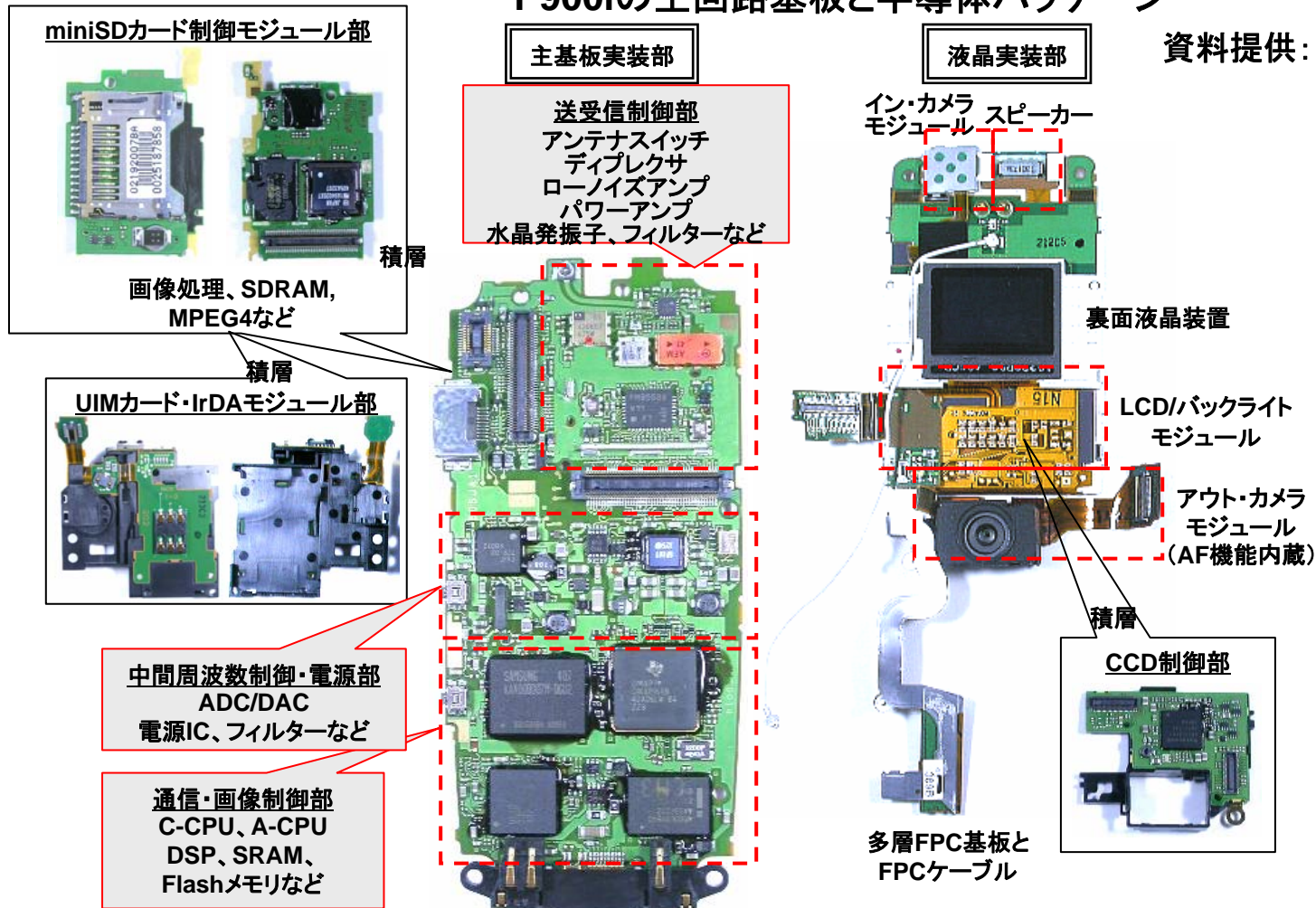
システム機能実装のすべて(畑田賢造 / 工業調査会,98)より

# 携帯電話システム

現代の携帯電話は画像処理回路やデジカメ機能まで集積している。

## P900iの主回路基板と半導体パッケージ

資料提供: SemiConsult



# 3次元集積技術

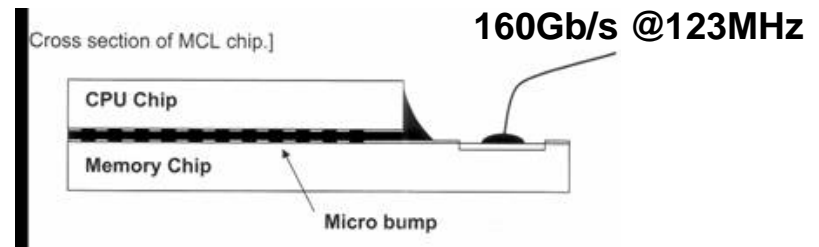
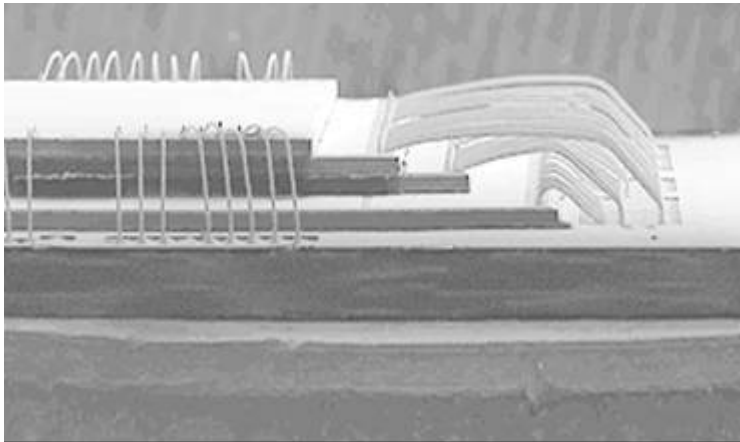
機能集積の加速はムーアの法則をしのご。3次元集積が必要である。

## メモリーの積層集積

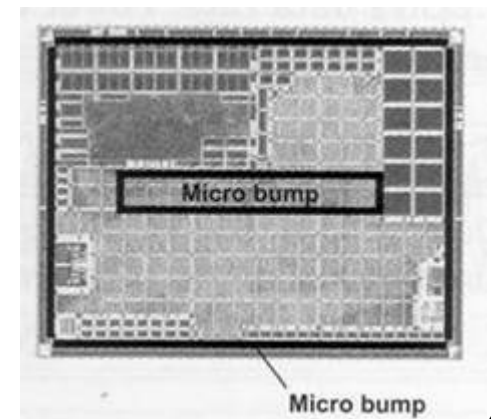
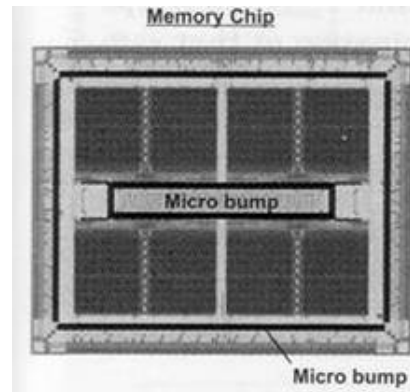
携帯電話では限られた面積に大量のメモリーを集積する必要がある。  
また不揮発メモリーだけでなくSRAM, DRAMなど各種メモリーの組み合わせたシステムになるため混載では難しい。  
高密度化・多層化は加速されるものと思われる。

Chip On Chip 技術を用いた  
CPU・メモリー間的高速・大容量接続

30um 径、60umピッチのCoC  
接続点の電気特性は1<sub>mm</sub>の配線長と同等



T. Ezaki, et al., ISSCC 2004, pp.140



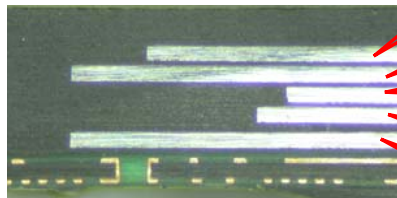


# 携帯電話用チップ積層技術の事例

携帯電話ではすでに多くのチップ積層技術が使用されている。

## チップスタックCSP

フラッシュメモリ、SRAM、疑似SRAM  
SDRAMなどを積層し樹脂封止



100  $\mu$ mT  
100  $\mu$ mT  
Spacer Si  
100  $\mu$ mT  
100  $\mu$ mT  
100  $\mu$ mT

## パッケージスタックCSP

フリップチップとワイヤボンドによるチップを  
積層し、樹脂封止め

130  $\mu$ mT  
230  $\mu$ mT  
Au-Stud フリップチップ



資料提供: SemiConsult

## チップスタックCSP

ベースバンドICとメモリチップの積層  
ワイヤリングの自由度確保、熱特性向上のため、  
小型チップに大型チップを搭載し樹脂封止

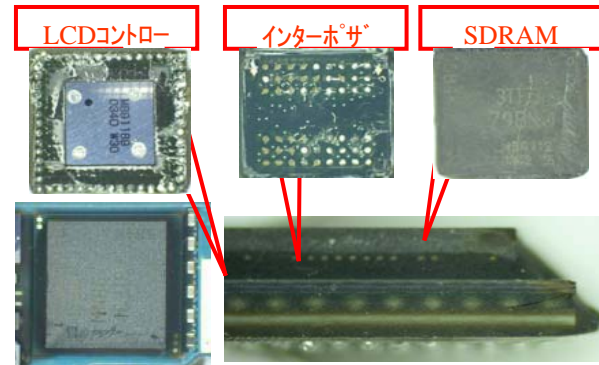


Au wire

250  $\mu$ mT  
Spacer Si  
80  $\mu$ mT  
90  $\mu$ mT  
120  $\mu$ mT

## パッケージスタックCSP

液晶コントローラ(フリップCSP)上にインターホーザ  
基板を介して汎用SDRAMを積層



LCDコントローラ インターホーザ SDRAM

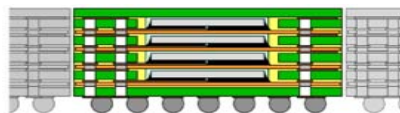
# 各種3次元集積技術

さまざまな3次元集積化技術が提案されている。

## [1] Package

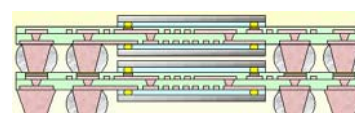
レベル3D:

**System Block Module (東芝)**



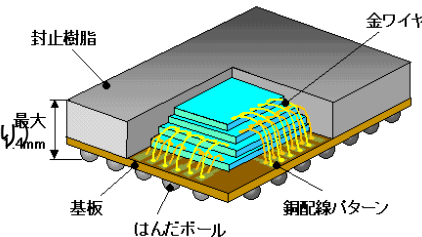
(ECTC2001 Proceedings, p555 より)

**NMTI(ノース社)**

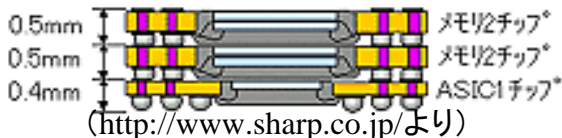


(<http://www.northcorp.co.jp/>より)

**Stacked CSP**



([tp://www.sharp.co.jp/](http://www.sharp.co.jp/)より)



メモリチップ\*  
メモリチップ\*  
ASICチップ\*

(<http://www.sharp.co.jp/>より)

## [2] Chipレベル

3D:

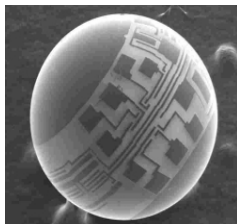
- ピラミッドタイプ(大小チップ混合)
- Face-to-Faceタイプ
- チップ側面接続タイプ
- 貫通電極接続タイプ

① **Chip積層**

② **Wafer積層**

## [3] 回路面3D化:

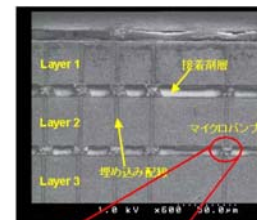
- 球状タイプ



資料提供: ASET盆子原氏

(<http://www.ballsemi.com/>より)

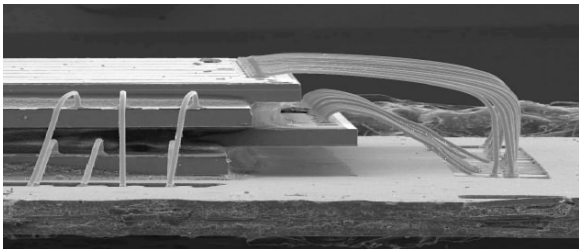
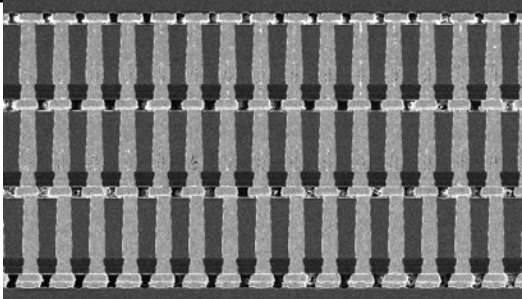
東北大 小柳研  
**Wafer積層品**



(<http://www.sd.mech.tohoku.ac.jp/research/3d/index.htm>より)

# マイクロバンプと貫通配線を用いたチップ積層

マイクロバンプと貫通配線を用いたチップ積層ではオンチップ並みの電気特性が実現できる。

	Conv. SiP	TCV
外観		
接続方法	ワイヤボンディング+基板上の配線	貫通電極+バンプ
チップ間配線長さ	数mm~数10mm (写真では約10mm)	100 μm以下 (写真では60 μm)
配線のインダクタンス	10 nH	<b>19 pH</b>
配線のキャパシタンス	8 pF	<b>0.1 pF</b>
最小パッケージサイズ	チップサイズ+5 mm以上	チップサイズ
厚さ(4チップ)	490 μm	240 μm

# インテルのSiP・チップ積層技術開発

---

チップの微細化を推し進めるインテルは同時にSiPやチップ積層技術を開発している。

- ロジックLSIとメモリーを一つのパッケージに統合するSiP(system in package)の採用が本格化する。それをけん引するのがインテルである。まず、携帯機器向けプロセッサにSiPを採用した。

インテルは、SiPの要素技術として、チップ積層技術、パッケージ積層技術、フレキシブル基板上のフリップチップ接続技術、チップ薄型化技術などを開発している。ここへ来て、パッケージ積層技術を駆使することにより、携帯機器向けプロセッサとメモリーを統合したSiPを実現した。さらに次世代技術として、Si基板に貫通ビアを形成し、チップ同士を積層する技術を開発中である。このほか、同社はSiPで基本的にPbフリー・ハンダを採用することを表明している。



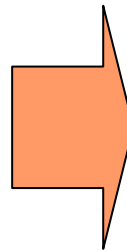
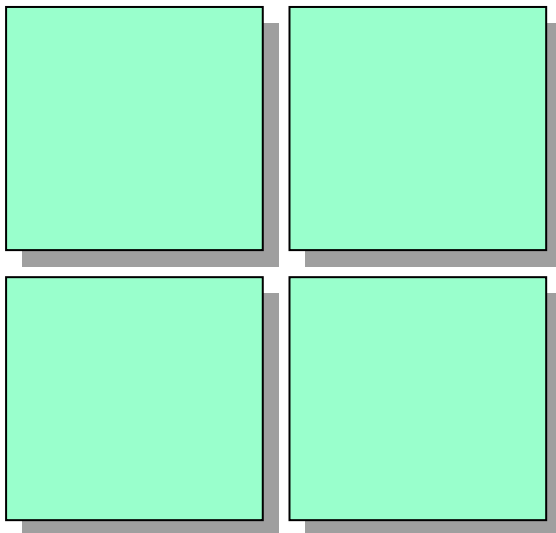
# 今後の集積技術の方向性

不揮発性メモリーの大容量化への爆発的増加(1年で2倍)  
微細化(3年で2倍)では追いつかない

→ 平面集積から立体集積への進展が必要

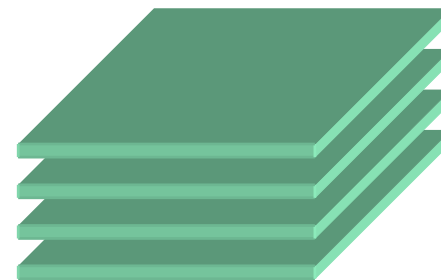
従来： 平面集積

集積度： $\frac{\text{素子数}}{\text{面積}}$



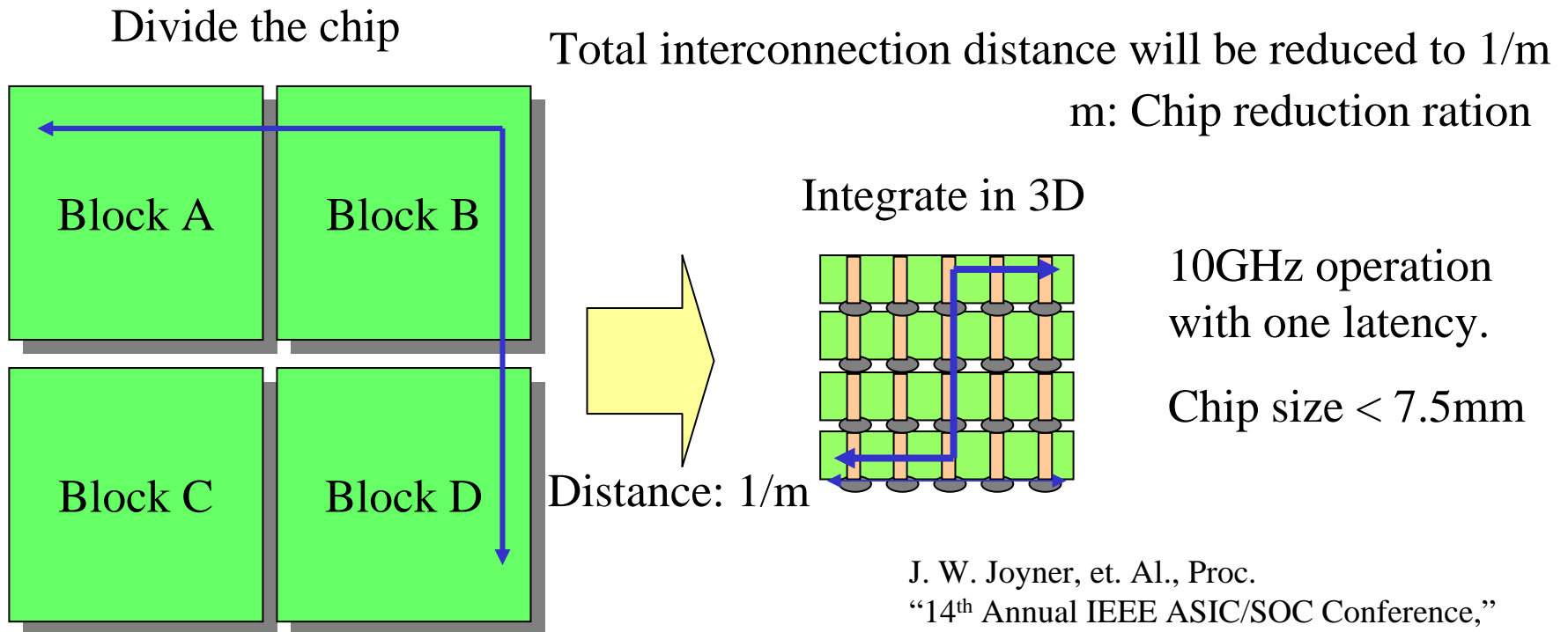
今後： 立体集積

集積度： $\frac{\text{素子数}}{\text{体積}}$



# 3次元LSIへの期待

配線長をもうこれ以上長くしないことが本質的に重要。  
(本来はチップ長もスケールリングしなければならない。)  
チップの大きさを固定して3次元化を図る方法が必要かもしれない。



J. W. Joyner, et. Al., Proc.  
“14<sup>th</sup> Annual IEEE ASIC/SOC Conference,”  
pp.147-151, 2001.

# 今後の超LSI配線のありかた

---

- VLSIの超高速化要求の緩和
  - 配線の厚膜化などの要求は緩和
- ローパワー化要求は極めて強い
  - Lo-k 技術への要求が継続
- 配線の微細化要求は穏やかに継続
  - 細線効果の克服
  - 多層化の穏やかな継続
- 3次元積層技術が本格化