

# デジタル情報家電用SoCの開発と 実装技術への期待

松澤 昭

東京工業大学  
大学院理工学研究科  
電子物理工学専攻

# 内容

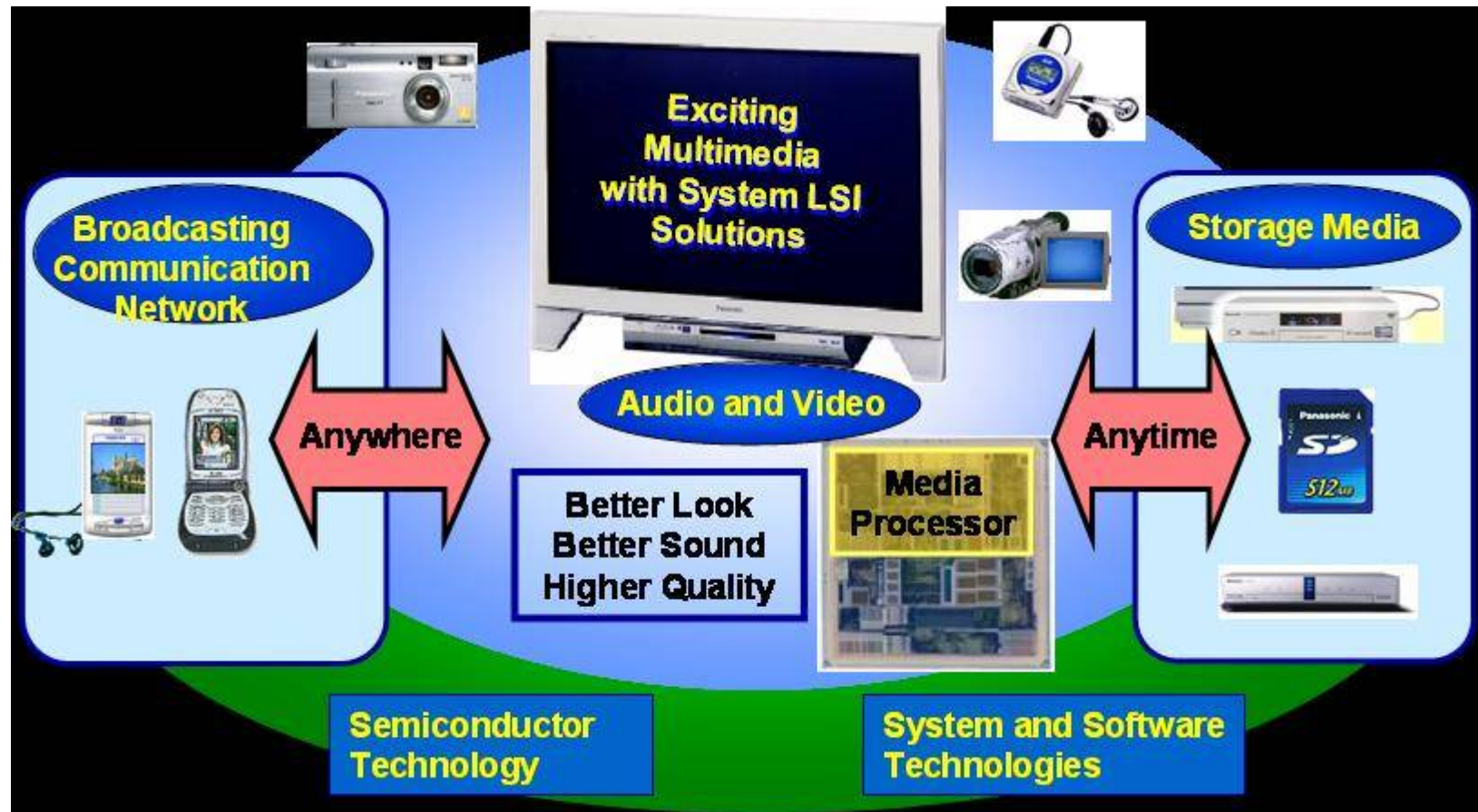
---

- デジタル情報家電時代
- デジタル情報家電用SoC
  - メディアプロセッサ技術
  - ローパワー技術
  - アナログ・デジタル混載技術
- SoCの開発体系
- LSI技術の今後
- 実装技術への期待：3次元集積と統合設計

# デジタル情報家電時代

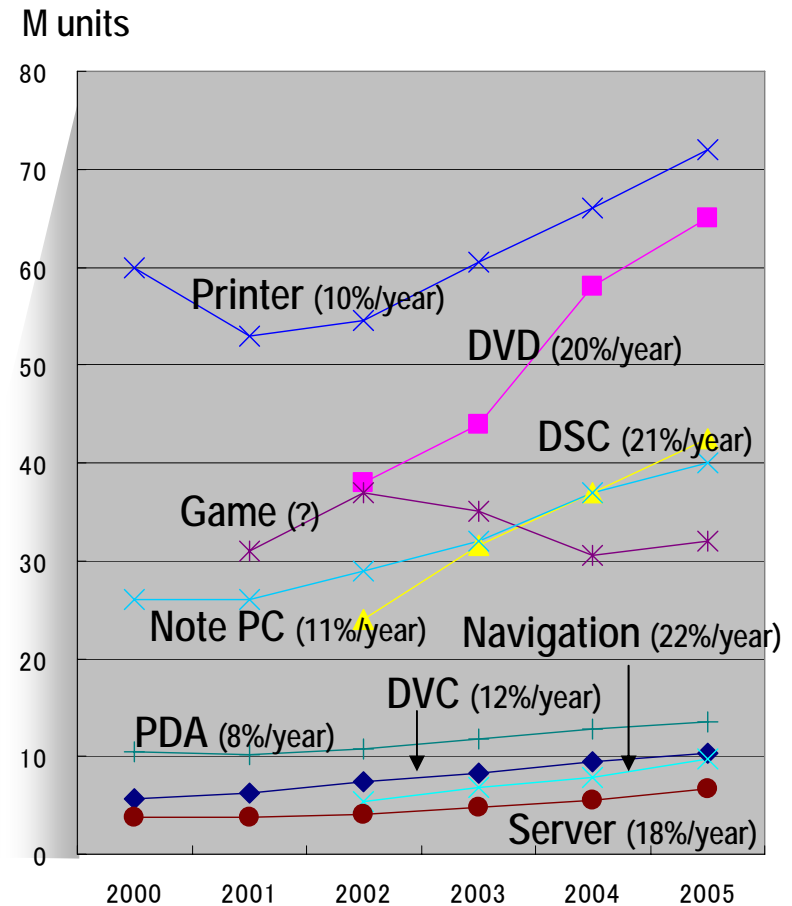
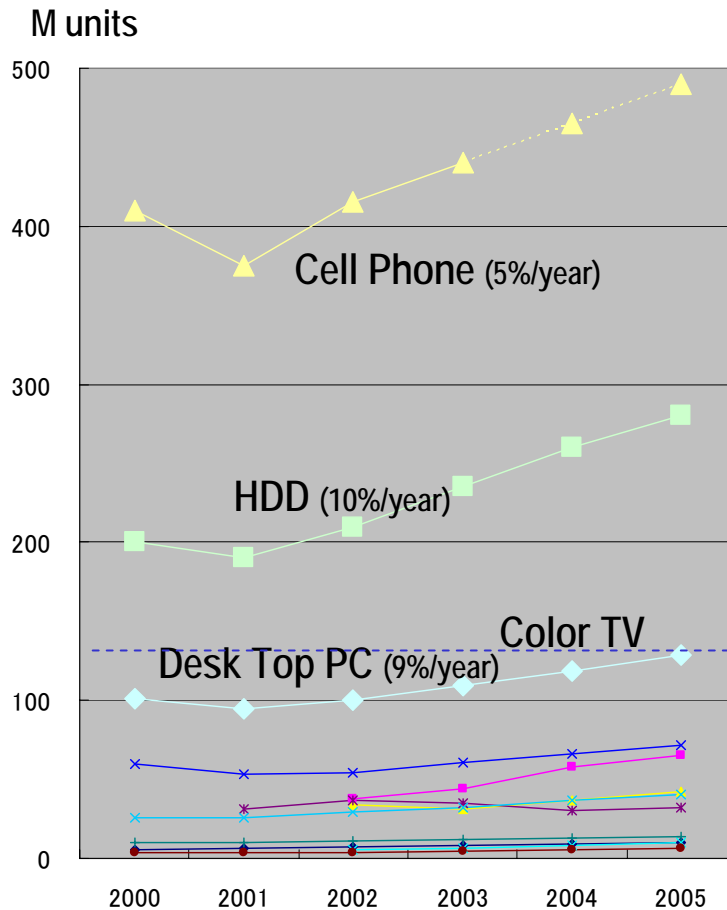
# デジタル情報家電の時代

デジカメ、カメラ付携帯電話、DVDレコーダー、デジタルTV、フラットディスプレイなどのデジタル情報家電機器が大成長。  
これらの機器には1~2個のシステムLSI (SoC)が使用されている。



# 製品毎のマーケットサイズ

電子機器の最大の市場(台数)はPCではなく、携帯電話。  
デジタル家電が急追。テレビもフラット化、デジタル化で市場創出。

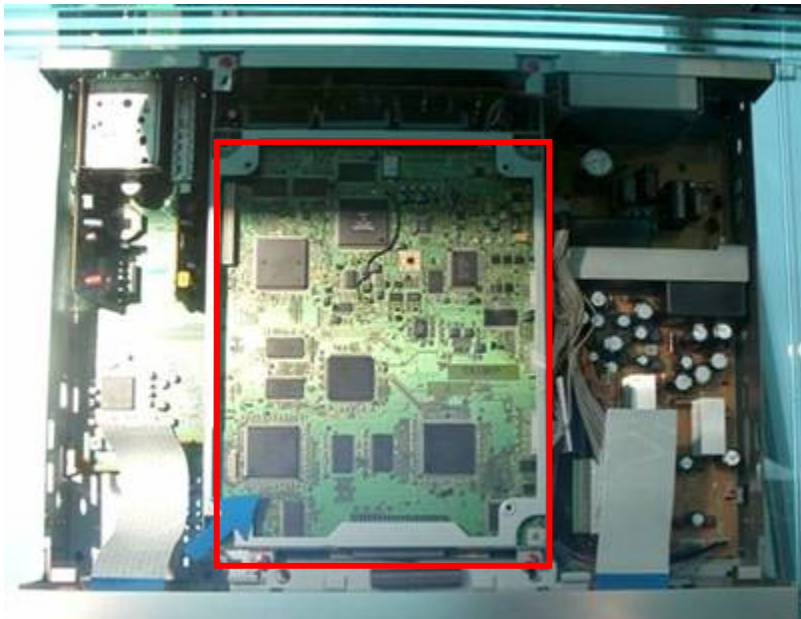


Source: 2003 Japan Semiconductor almanac

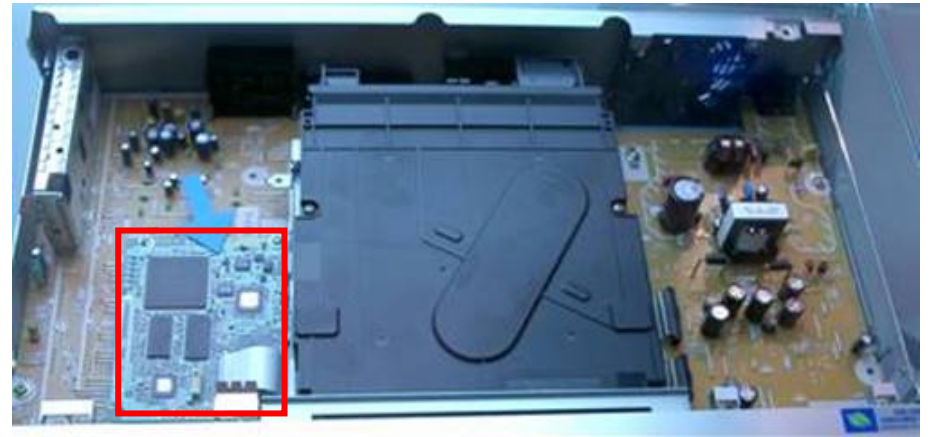
# DVD Recorderにみる部品削減効果

- ・VLSIの進展により従来3チップ必要だったものが1チップに集積可能になった。
- ・このためケース内部のボードは驚くほど簡単になっている。
- ・これが性能向上とコストダウンに寄与している。

2000年モデル

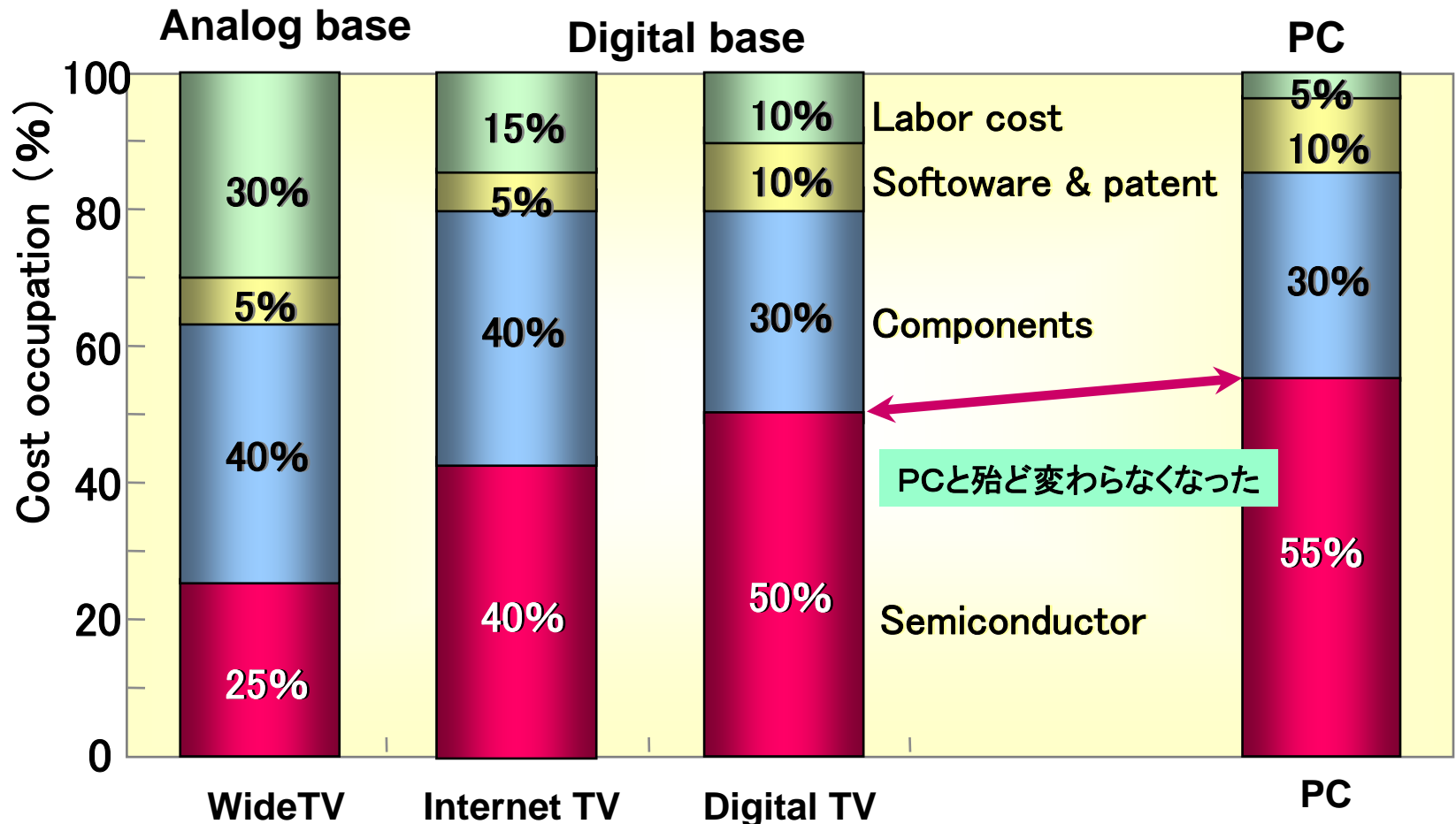


2003年モデル



# デジタル情報家電用機器のコスト構成

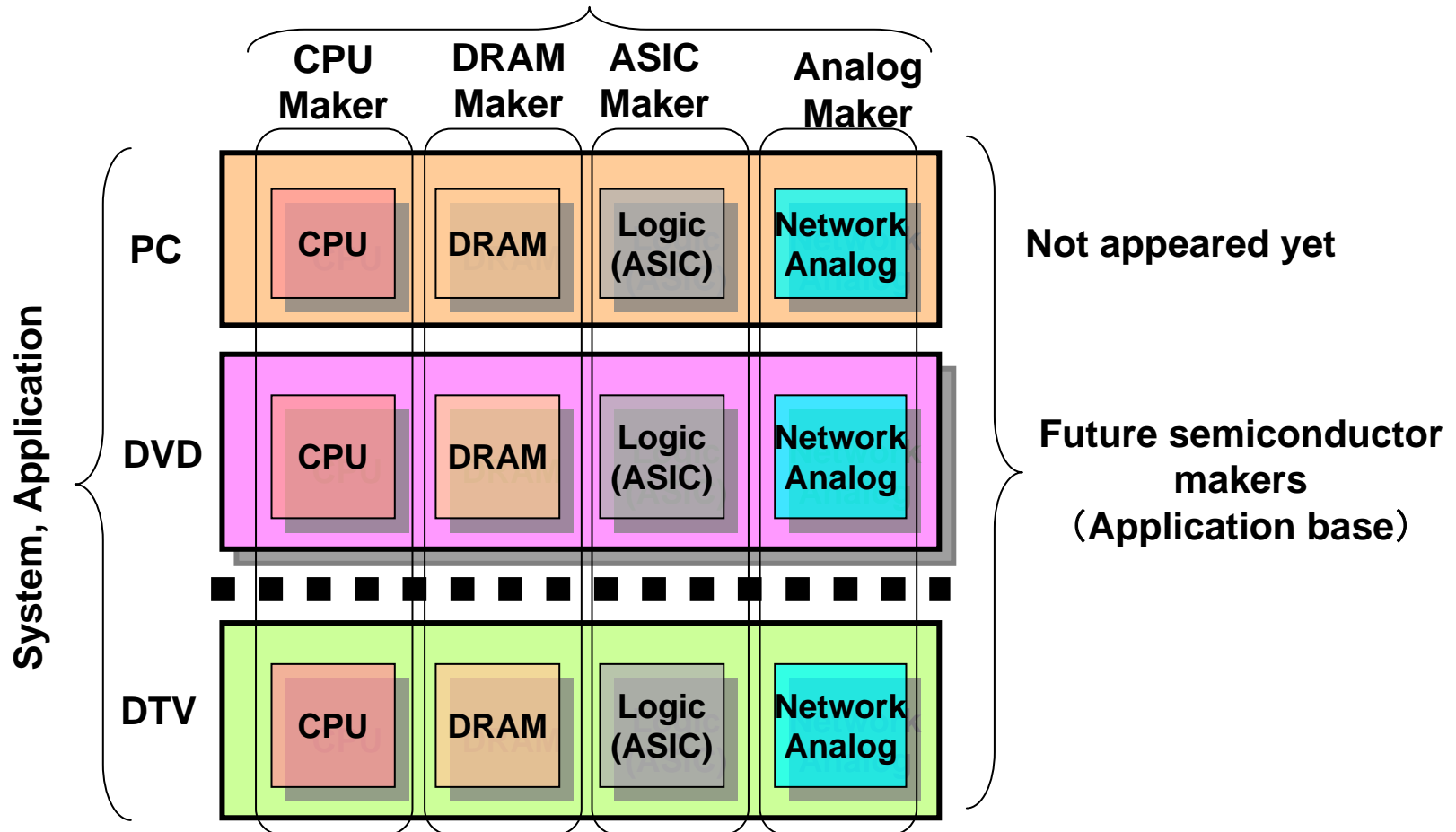
機器のデジタル化によりコスト構成はPCと殆ど同じになった。  
半導体投入比率は倍増している。  
機器=半導体の時代になった。



# 新たな半導体ビジネスの構図

従来の半導体技術オリエントなメーカーだけではなくアプリケーションオリエントなSoCを主体とするメーカーが出現する。

Conventional semiconductor makers (semiconductor technology base)





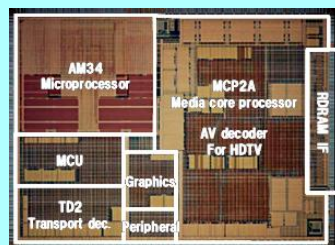
# デジタル情報家電用SoC

# デジタル情報家電用SoCの分類

デジタル情報家電用SoCは3分野に分類できる。

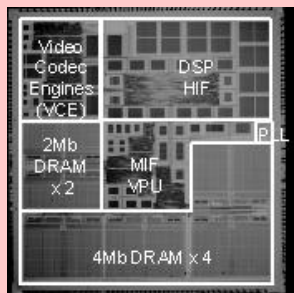
- ・超高速メディアプロセッサ系
- ・ローパワー処理系
- ・アナ・デジ混載系

## 超高速メディアプロセッサ系



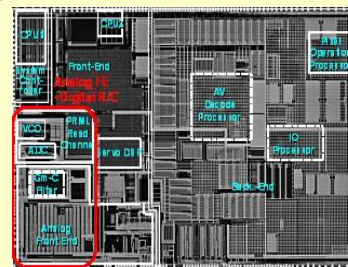
- ・デジタルTV
- ・超高速動作

## ローパワー処理系



- ・携帯機器
- ・低リーク/低電力

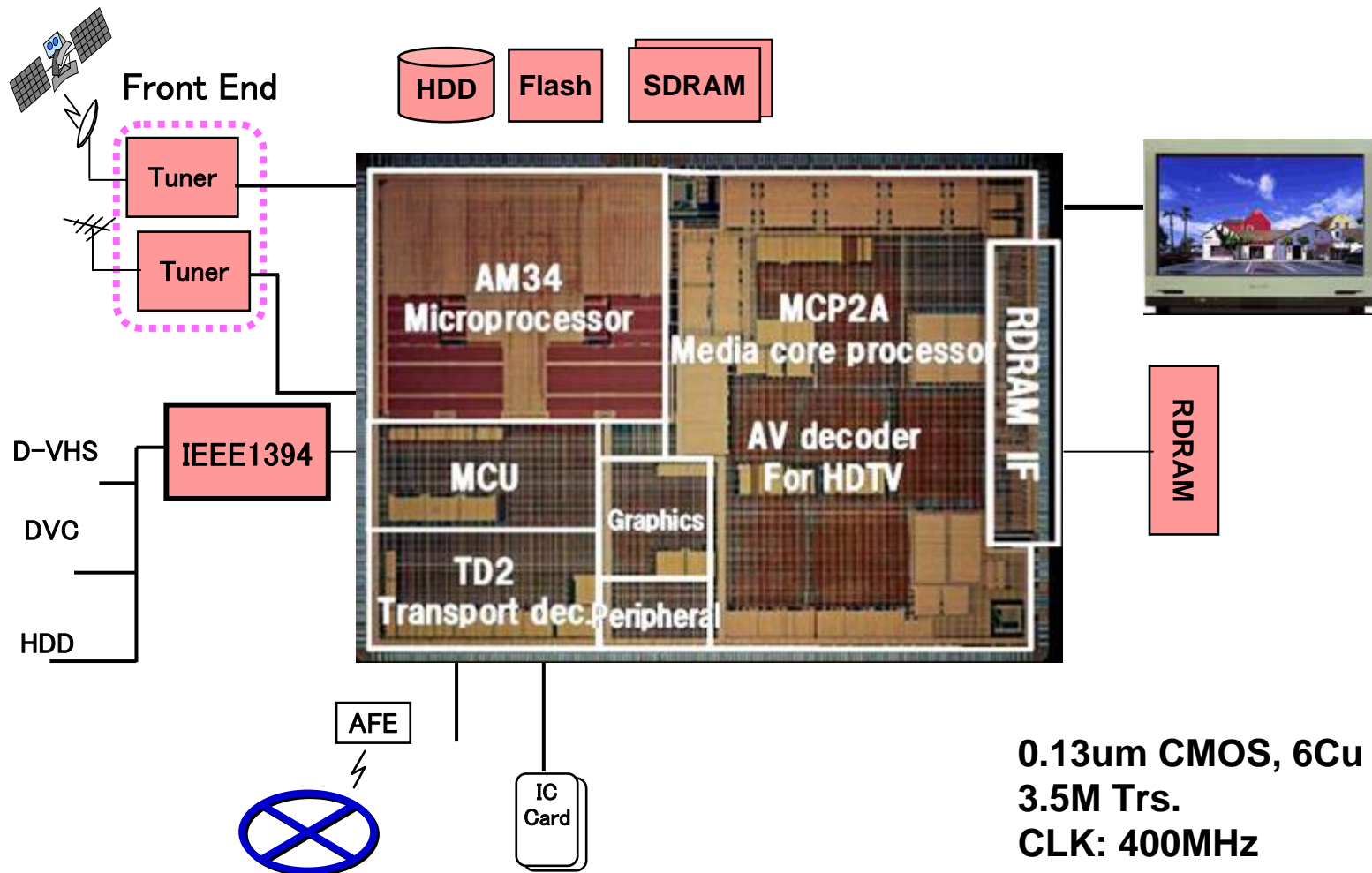
## アナ・デジ混載系



- ・DVD, デジカメ
- ・アナログ混載

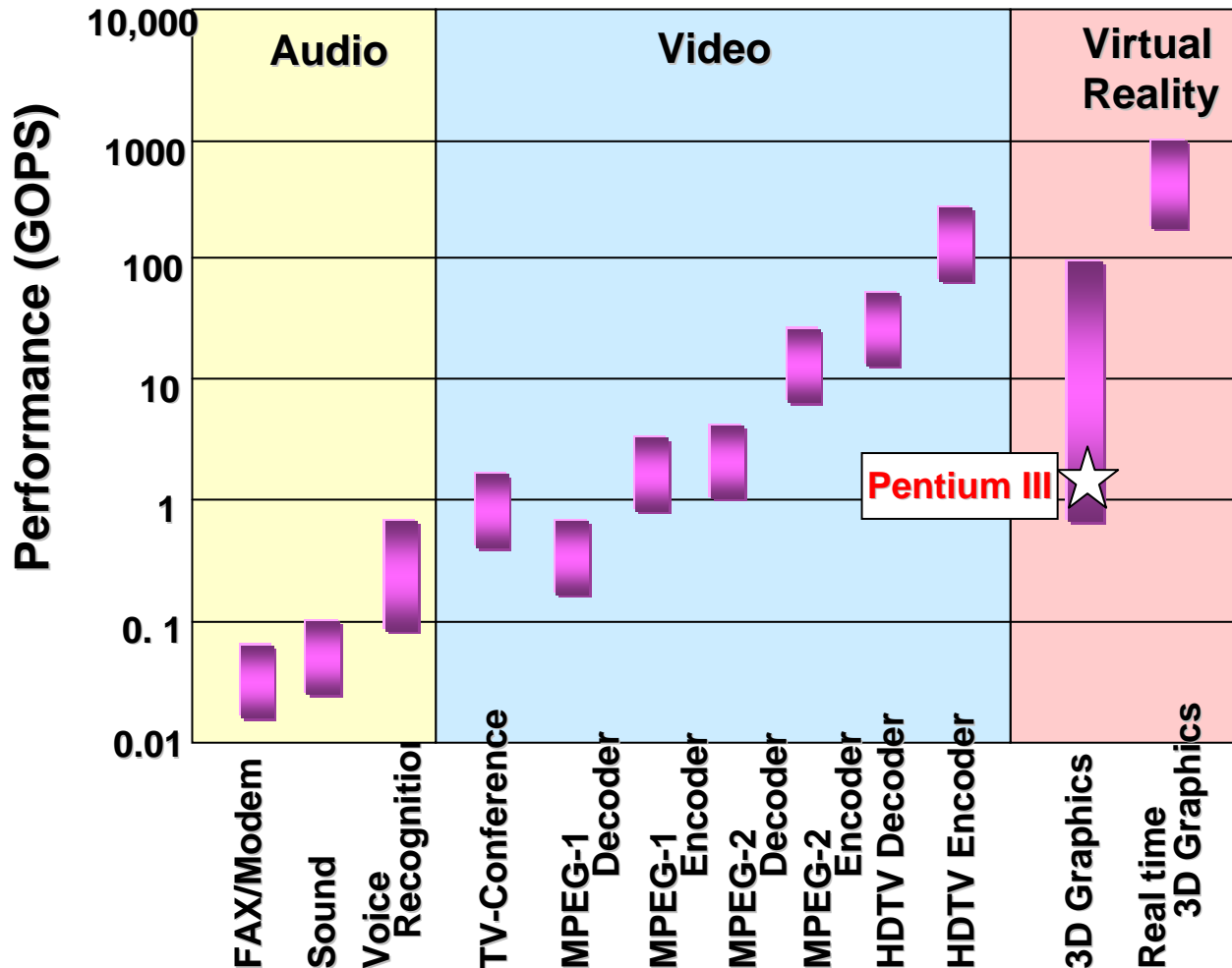
# 超高速メディアプロセッサ型SoC

メディアプロセッサ+マイクロプロセッサによるSoCを用いてデジタルHDTVなどの超高速画像処理ができる。



# メディアプロセッサの処理能力

メディアプロセッサは汎用プロセッサの1桁以上上の処理能力が求められる。



# ローパワー処理用SoC

携帯型デジタル情報家電機器には超低電力・低リークのSoCが求められる。

## MPEG4 Codec

0.18um e-DRAM  
31M Tr

**90 mW@54MHz**

15fps (Core@L1 decode)  
30 fps (Simple@L3 decode)

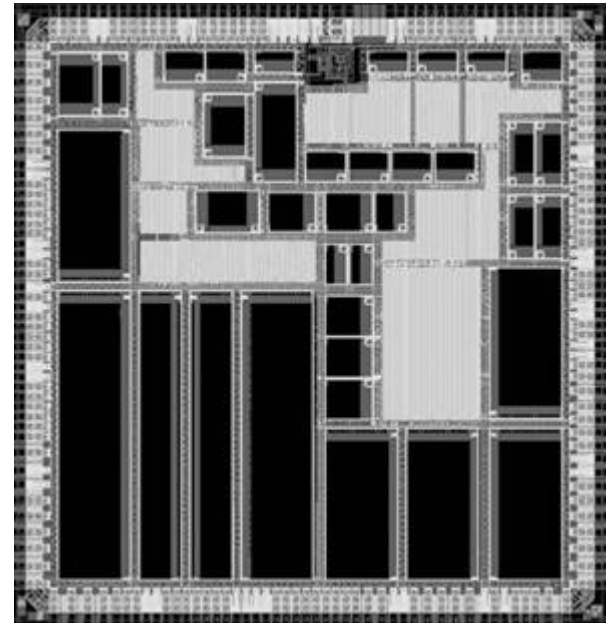
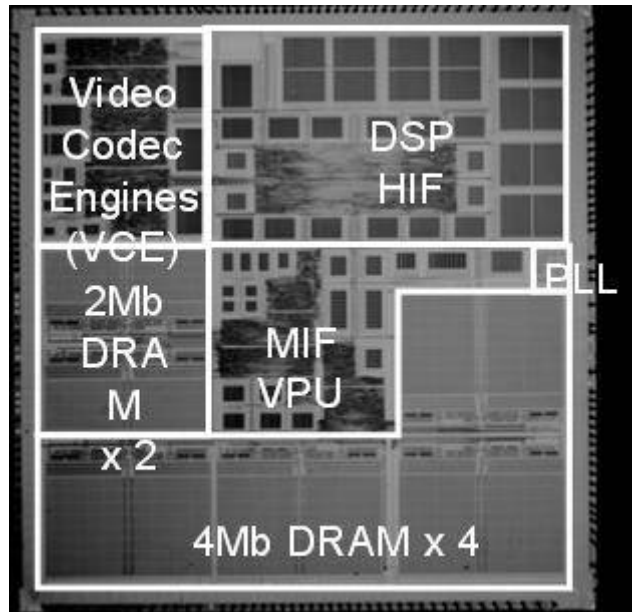
1.5 GOPS: Simple@L1  
12 GOPS: Simple@L3  
6 GOPS: Core@L1

## MPEG4 Decoder

0.18um CMOS  
11M Tr

**11 mW@27/54MHz**

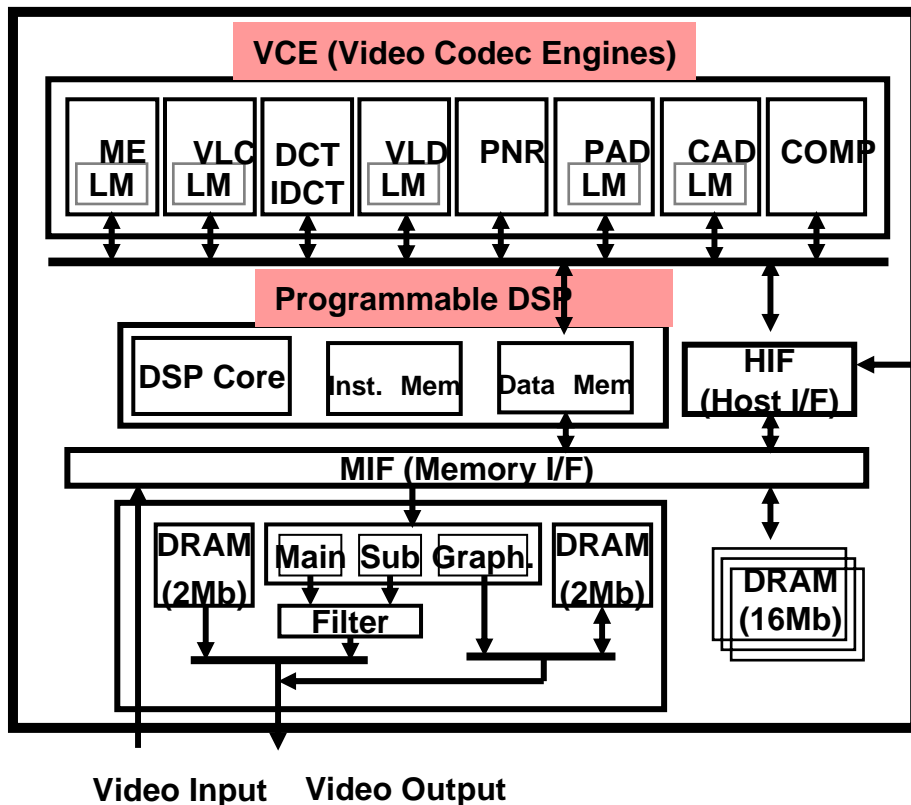
15fps (Core@L1 decode)



# 低電力化技術

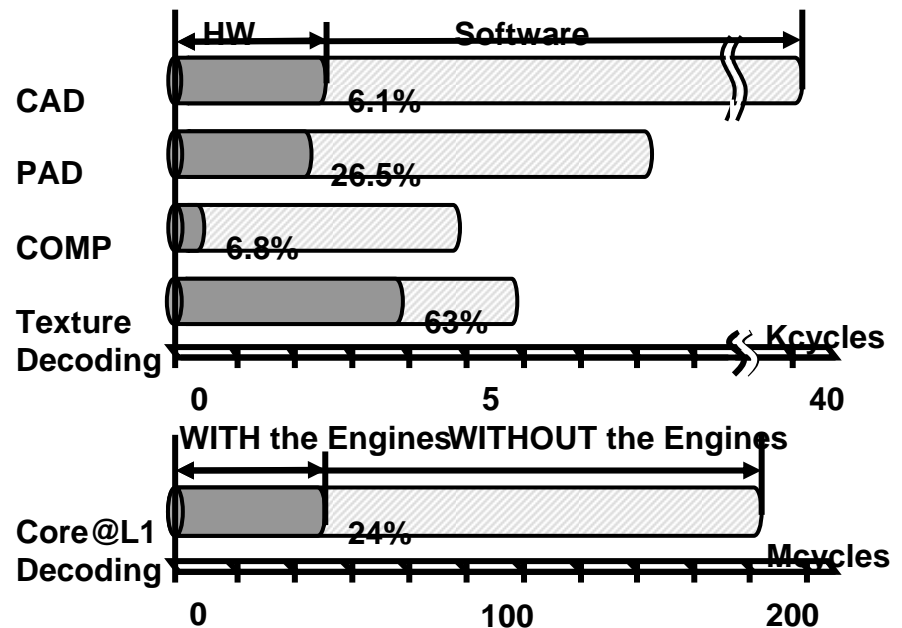
低電力化のためには素子の微細化・低電圧化の他にクロックあたりの処理能力を上げるために並列処理技術、専用ハードウェア処理回路・クロックゲートなどのシステム・アーキテクチャ・回路技術が総動員される。

ブロック図



1.5 GOPS: Simple@L1  
 12 GOPS: Simple@L3  
 6 GOPS: Core@L1

ハードウェア処理の効果

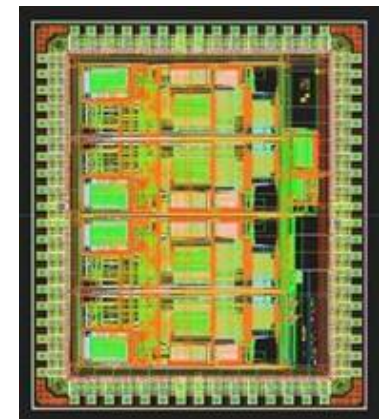
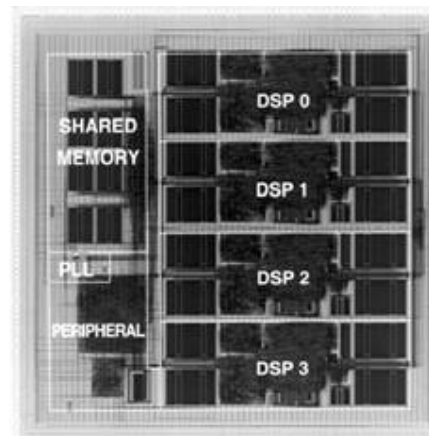
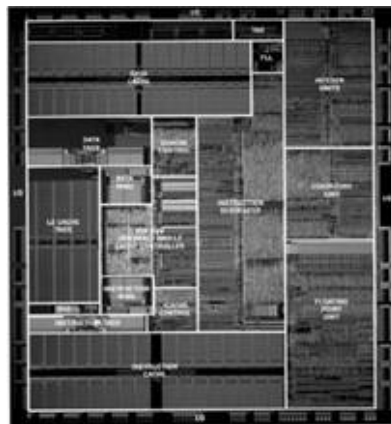


# LSI構成と消費電力

LSIの構成の違いにより同一の処理能力でも消費電力は3桁違う。  
汎用プロセッサが最も電力を消費する。

	MPU	DSP	Dedicated LSI
Clock (MHz)	450	50	25
Parallelism	2	16	96
GOPS	0.9	0.8	2.4
Pd (mW)	7000	110	12
<b>Pd (mW)/GOPS</b>	<b>7800</b>	<b>138</b>	<b>5</b>

3 order's difference

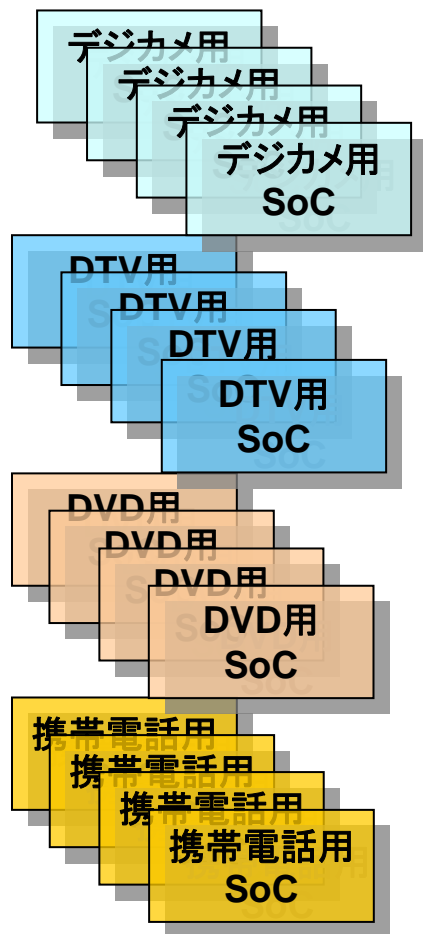


Courtesy,  
Prof. Brodersen,  
UCB

# デジタル情報家電用SoCの開発方向

分野共通のメディア処理の台頭、開発コスト・TATの短縮などの理由から、SoC品種は統一される方向に向かう。汎用CPUに近い技術が要求される。

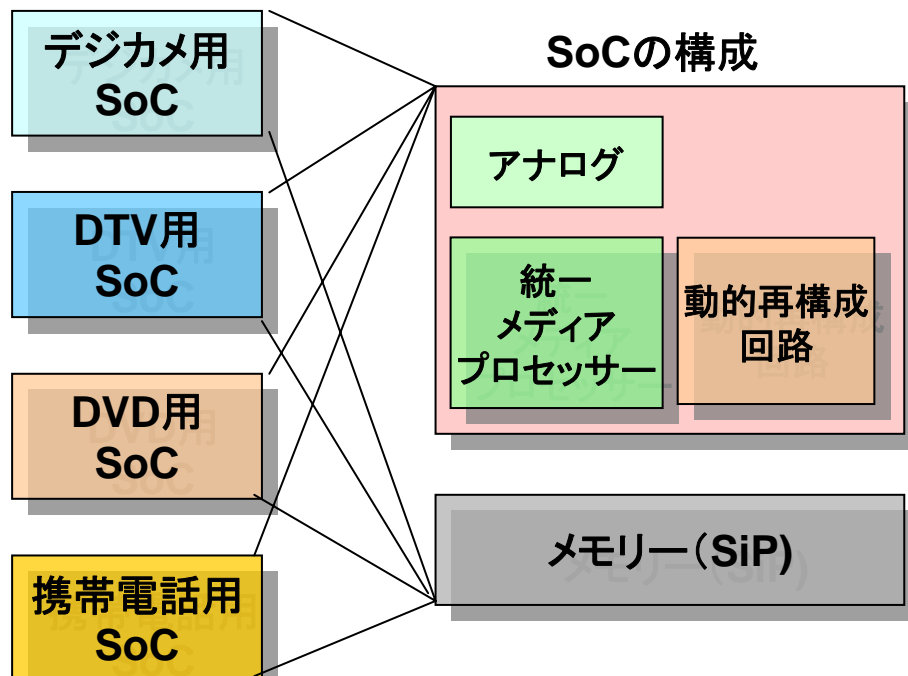
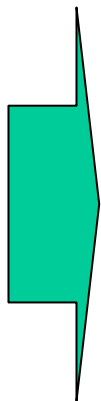
## ・分野毎・製品毎のSoC



## ・分野毎SoC

- ・統一メディアプロセッサ
- ・ソフトウェア処理化の促進(様々な用途に対応)
- ・ダウンローダブル(出荷後の仕様変更可能)
- ・動的再構成回路の使用(様々な用途に対応)
- ・SiPにより多様なメモリーサイズと高速化に対応

今後の方向

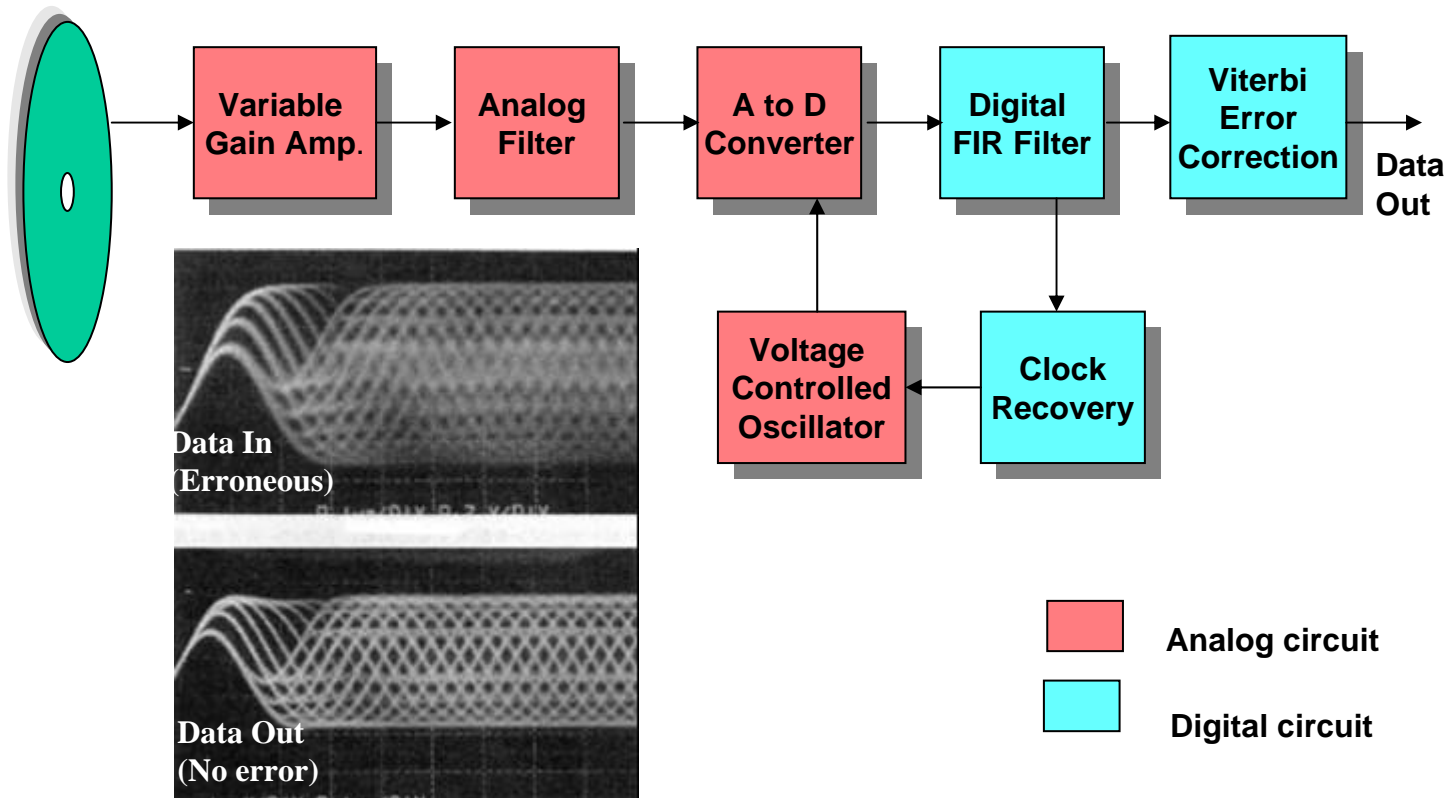




# アナ・デジ混在信号処理

アナ・デジ混在型信号処理は殆どのシステムに用いられている。

- ・デジタル放送・通信・ネットワーク(DTV, ADSL, Ethernet, USBなど)
- ・デジタル記録(HDD, DVD, DVCなど)
- ・デジタルカメラやディスプレイなどの入出力

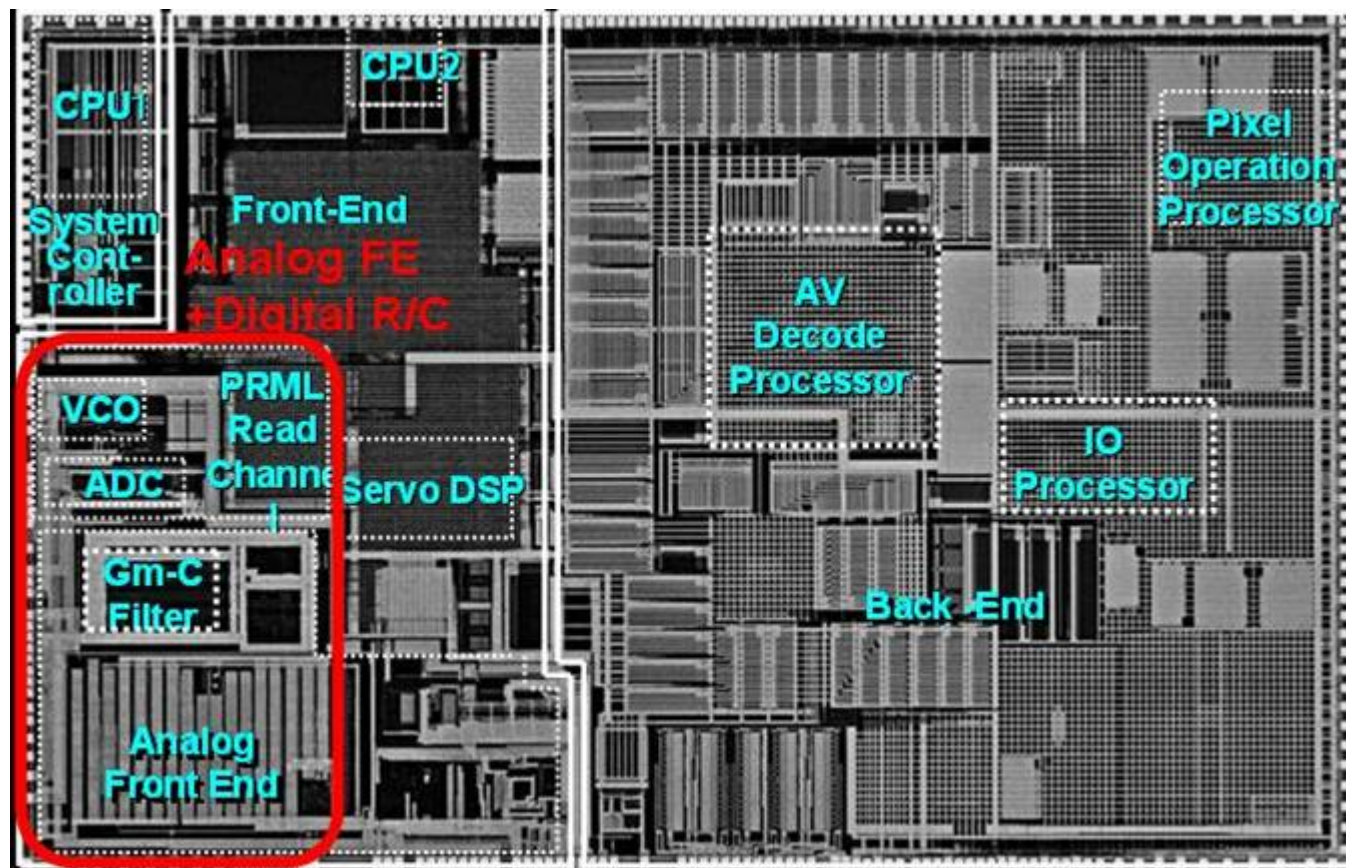


# アナ・デジ混載SoC: DVDの完全ワンチップ化

高性能アナログを含むDVDの全機能を0.13um技術を用いてワンチップに集積した。

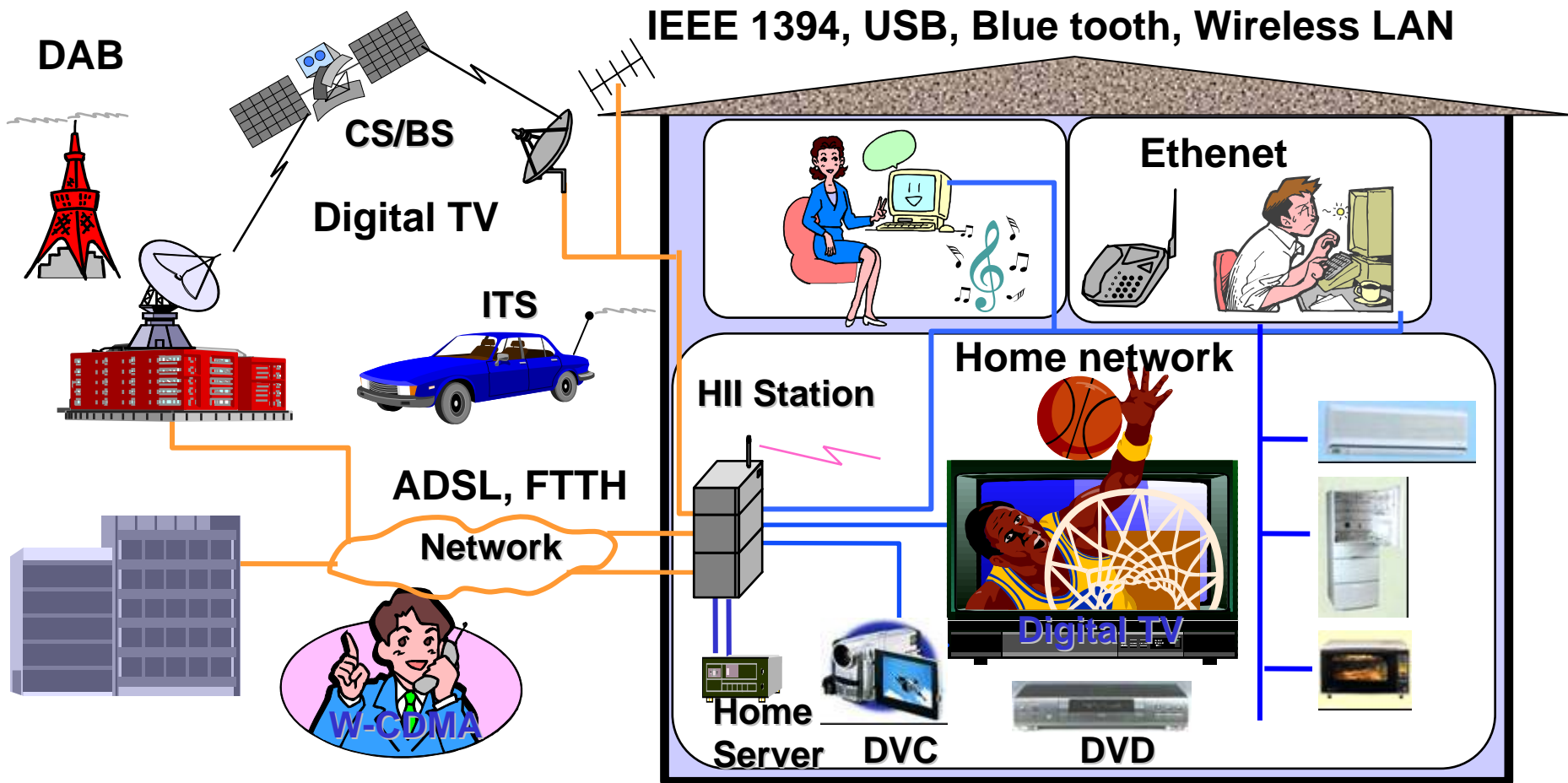
0.13um, Cu 6Layer, 24MTr

Okamoto, et al., ISSCC 2003



# デジタルネットワーク社会

デジタルネットワーク化も現在の特徴である。ここでもアナログ・RF混載技術が使われる

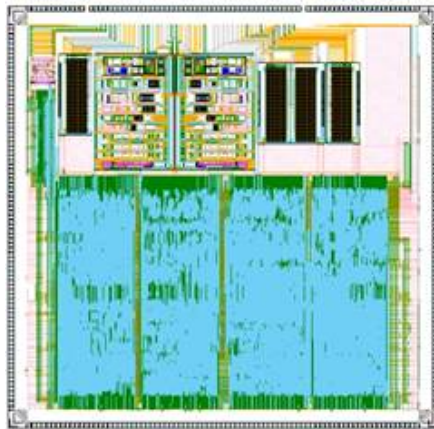


# アナ・デジ混載CMOS LSIの一例

様々なアナ・デジ混載LSIが必要とされている。

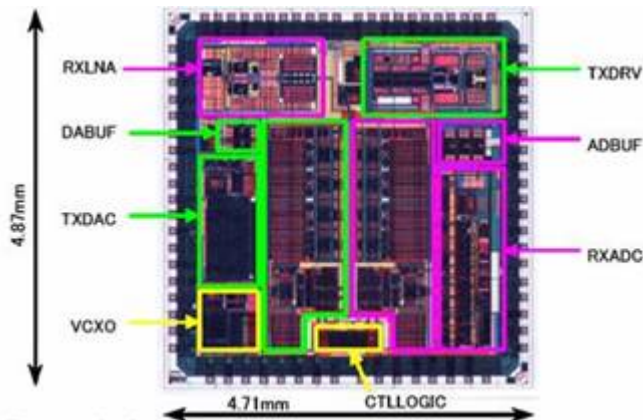
**5G RF LAN**

*12b 50MHz ADC 2ch  
12b 50MHz DAC 2ch*

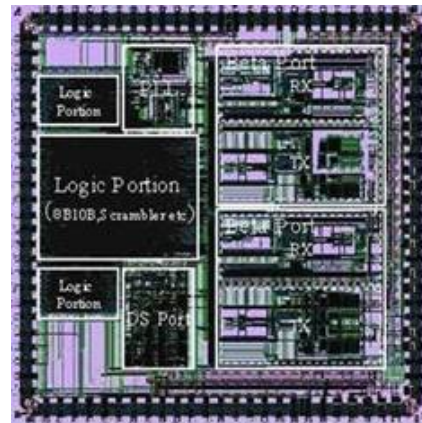


**AFE for ADLS**

*12b 20MHz  
ADC+DAC*

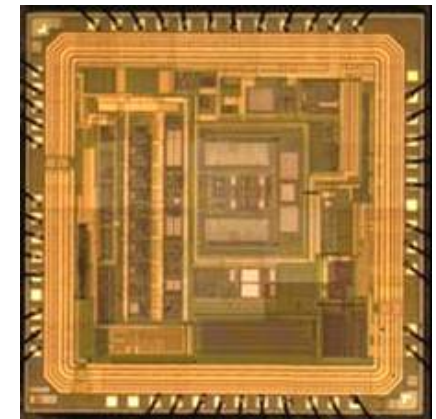


**Digital network  
1394b (1GHz)**

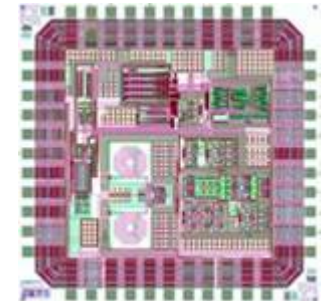
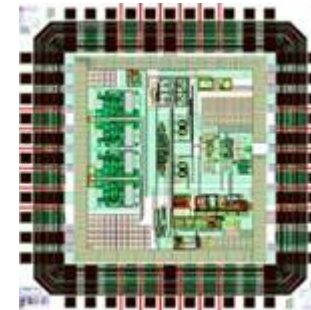


**AFE for Digital Camera**

*12b 20MHz ADC+AGC*

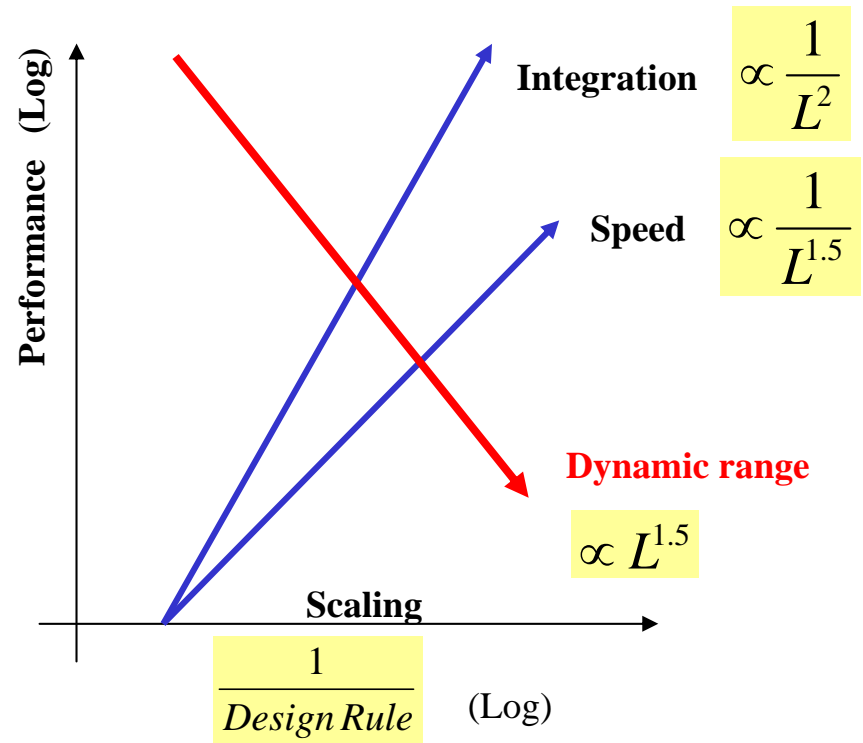
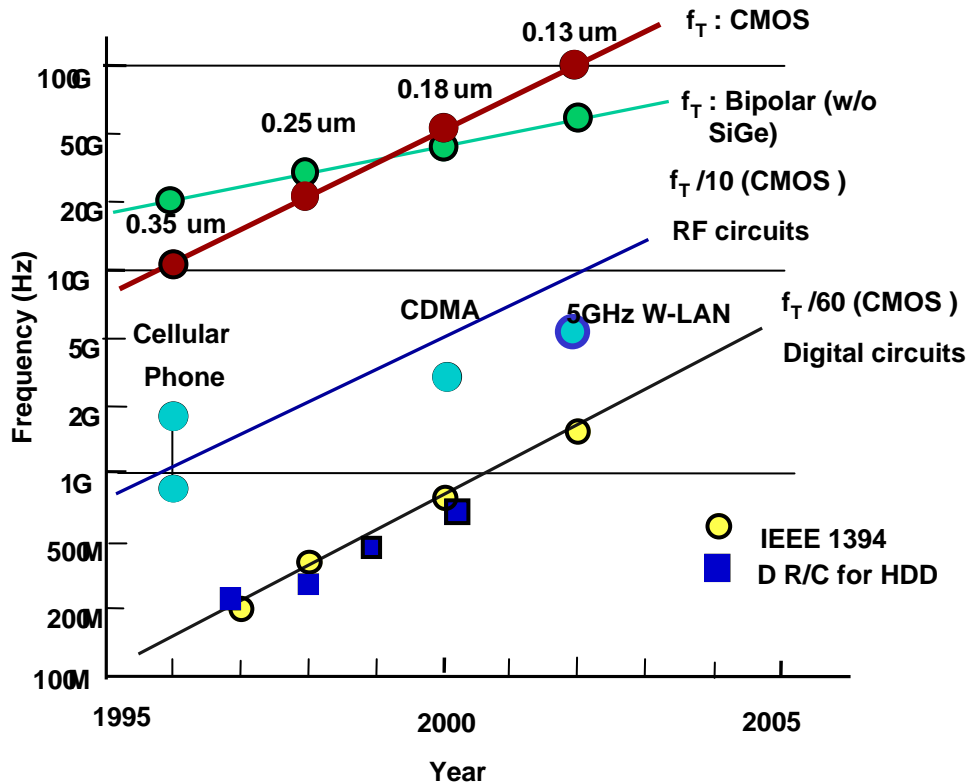


**2GHz RF CMOS**

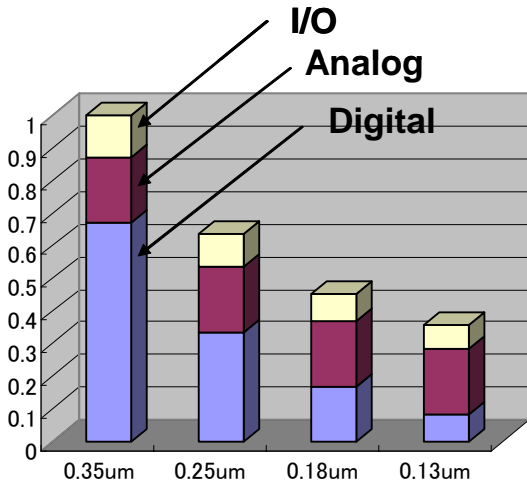


# CMOSの高周波化とアナログの困難さ

微細化によりMOSの高周波特性は向上し、高周波応用が可能になった。  
 しかし、電源電圧の低下はダイナミックレンジの低下を招き、アナログ混載を難しくしている。



# アナログ混載技術の課題



Chip area

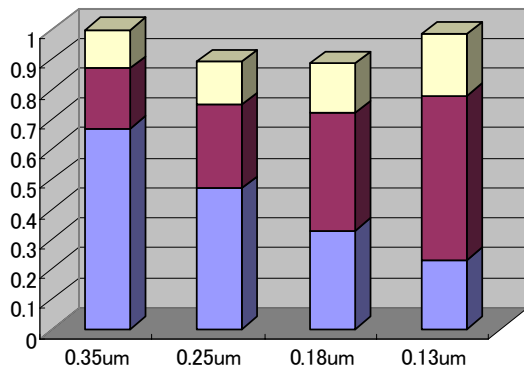
微細化CMOSへのアナログ混載の大きな課題はアナログ部の面積縮小が困難なことによるコストアップである。

高精度が必要→面積が増大  
低電圧化が困難→面積縮小が困難

今後の方向性

微細素子を用いて低電力化・高速化・小面積化を図り  
精度劣化はデジタル補正技術などで補う方向

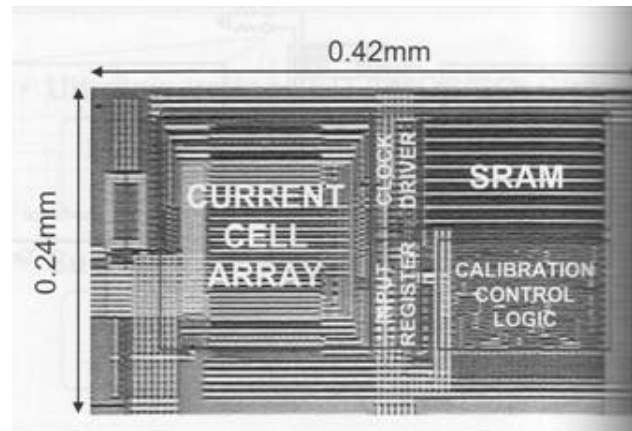
Wafer cost increases 1.3x  
for one generation  
(0.35um : 1)



Chip cost

14b 100MS/s DAC

1.5V, 17mW, 0.1mm<sup>2</sup>, 0.13um



Area: 1/50

Pd: 1/20

Y. Cong and R. L. Geiger,  
ISSCC 2003

# SoCの開発体系

# システムLSIの必要要件

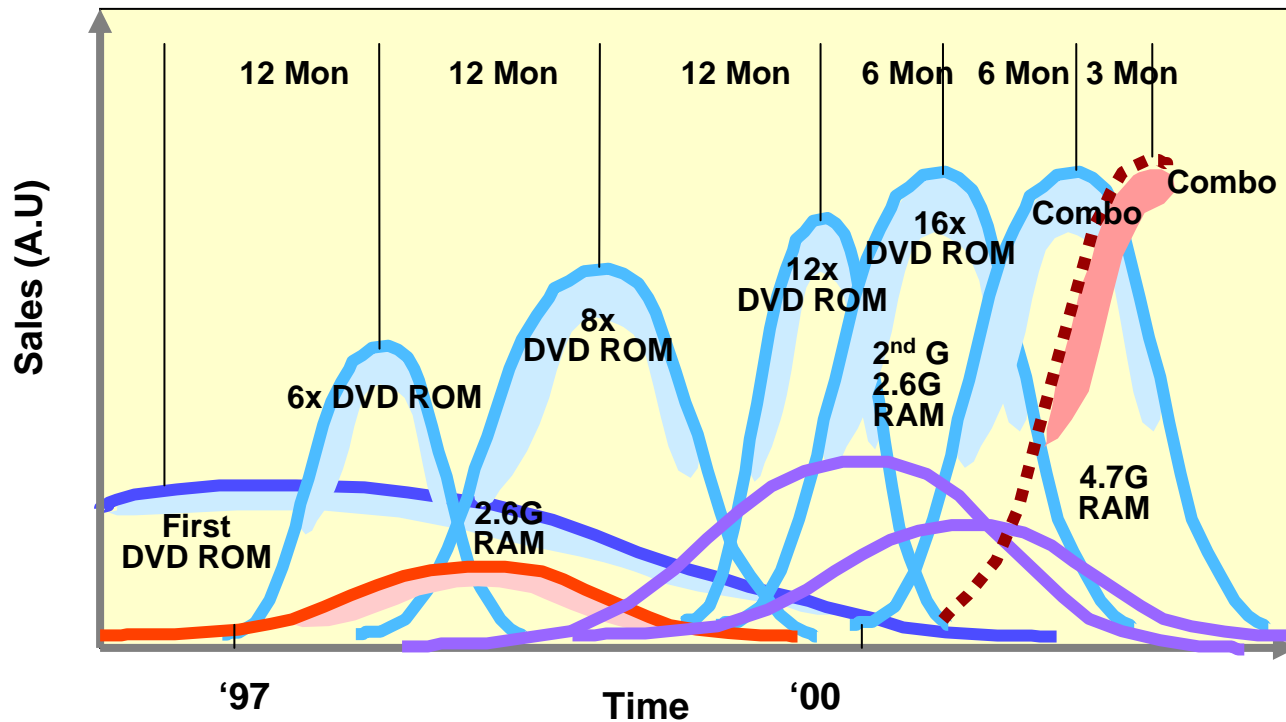
---

- システムに必要な全ての機能の集積
  - デジタル+メモリー+アナログ/ネットワーク
  - ソフトウェアの完備
  - モジュール化技術
- 高性能、短TAT、低コスト、安定供給
  - システムノウハウの集積
  - 全体最適化(設計からデバイスまで)
  - 統合設計環境(性能と開発期間)
  - SiPなどを含む最適な集積技術



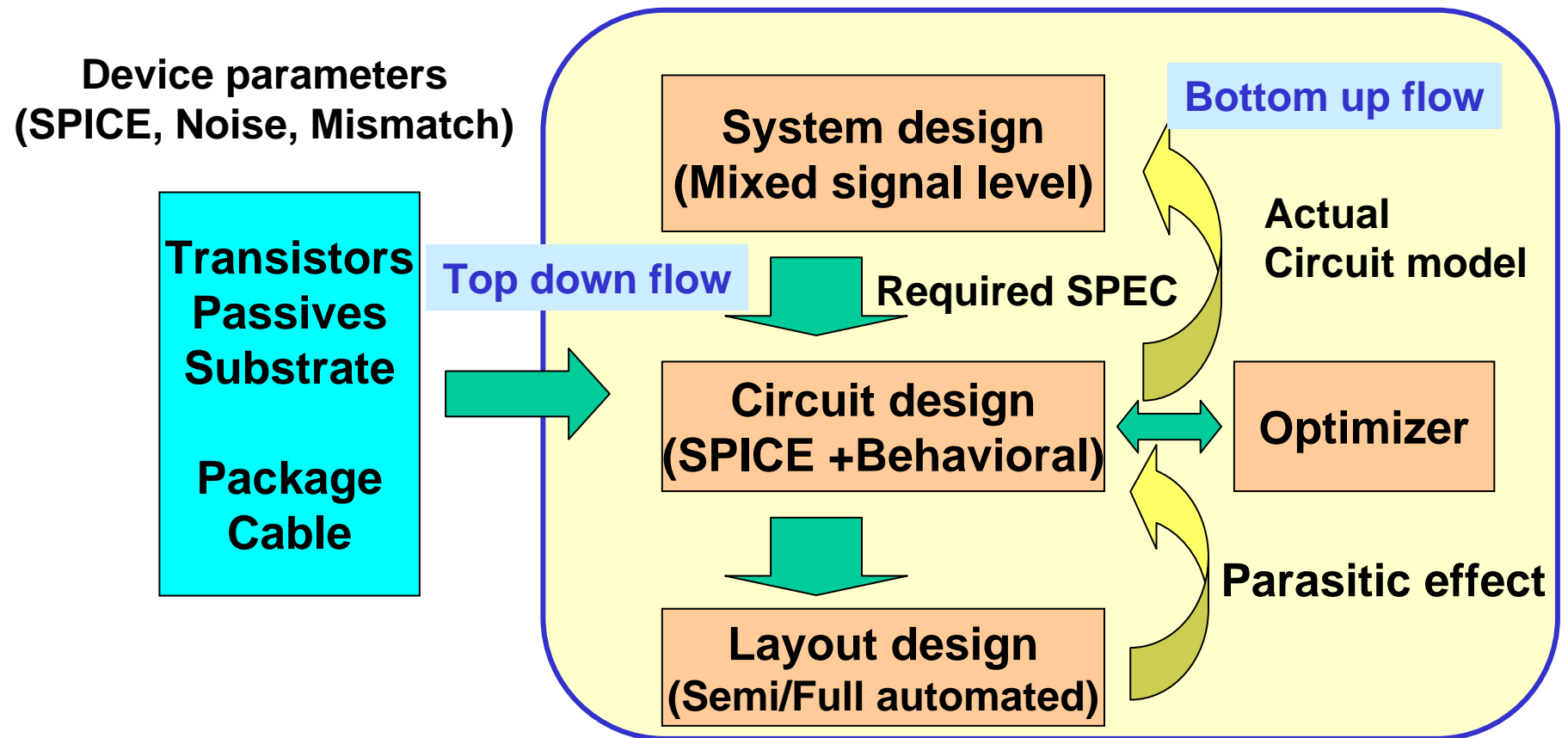
# 開発期間の短縮

デジタル情報家電機器の開発サイクルは短い。  
→短期間で確実な開発が求められる。



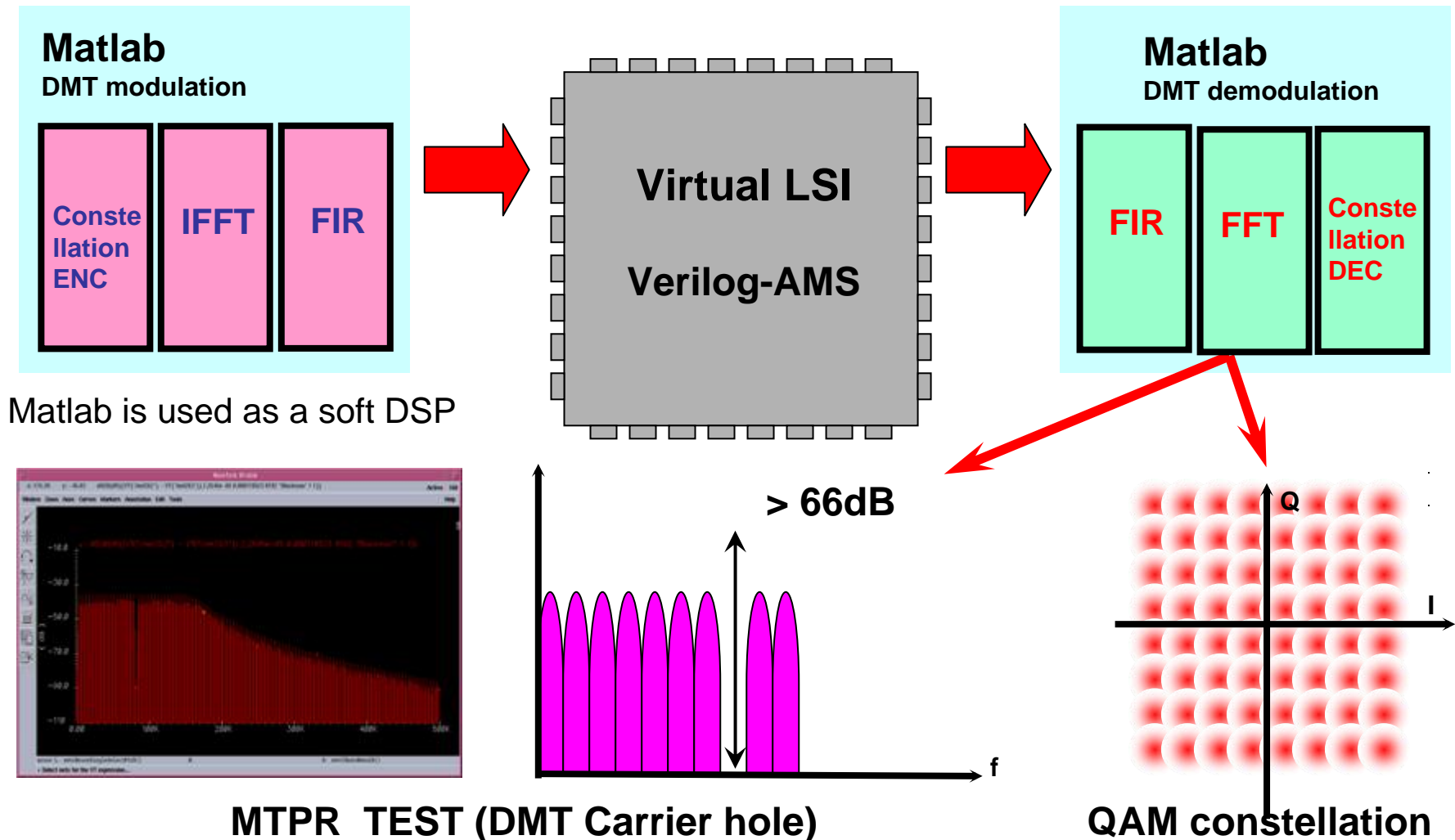
# アナ・デジ混載SoC設計フロー

システム設計・回路設計・レイアウト設計の統合的な設計フローが必要



# ターゲットLSIを用いた機能確認

回路設計の前に仮想的なアナ・デジ混在LSIがシステム仕様を満足するか徹底検証



# デバイス・プロセス仕様の最適化

- ・各種トレードオフの最適化
  - ・設計とデバイス・プロセス開発の一体開発が重要
- サインオフ型開発からすり合わせ型開発への転換

システムLSI への要求	デバイス・プロセスへの要求
高性能	高性能トランジスタの実現
	配線容量・抵抗の低減
高集積	トランジスタ、配線のピッチ縮小による面積削減
低消費電力	低消費電力トランジスタの実現
高品質設計	高歩留、低特性変動
低コスト	面積の削減、マスク枚数の低減

・Ion、Ioff、VDD  
の最適設定、  
・マルチVt化

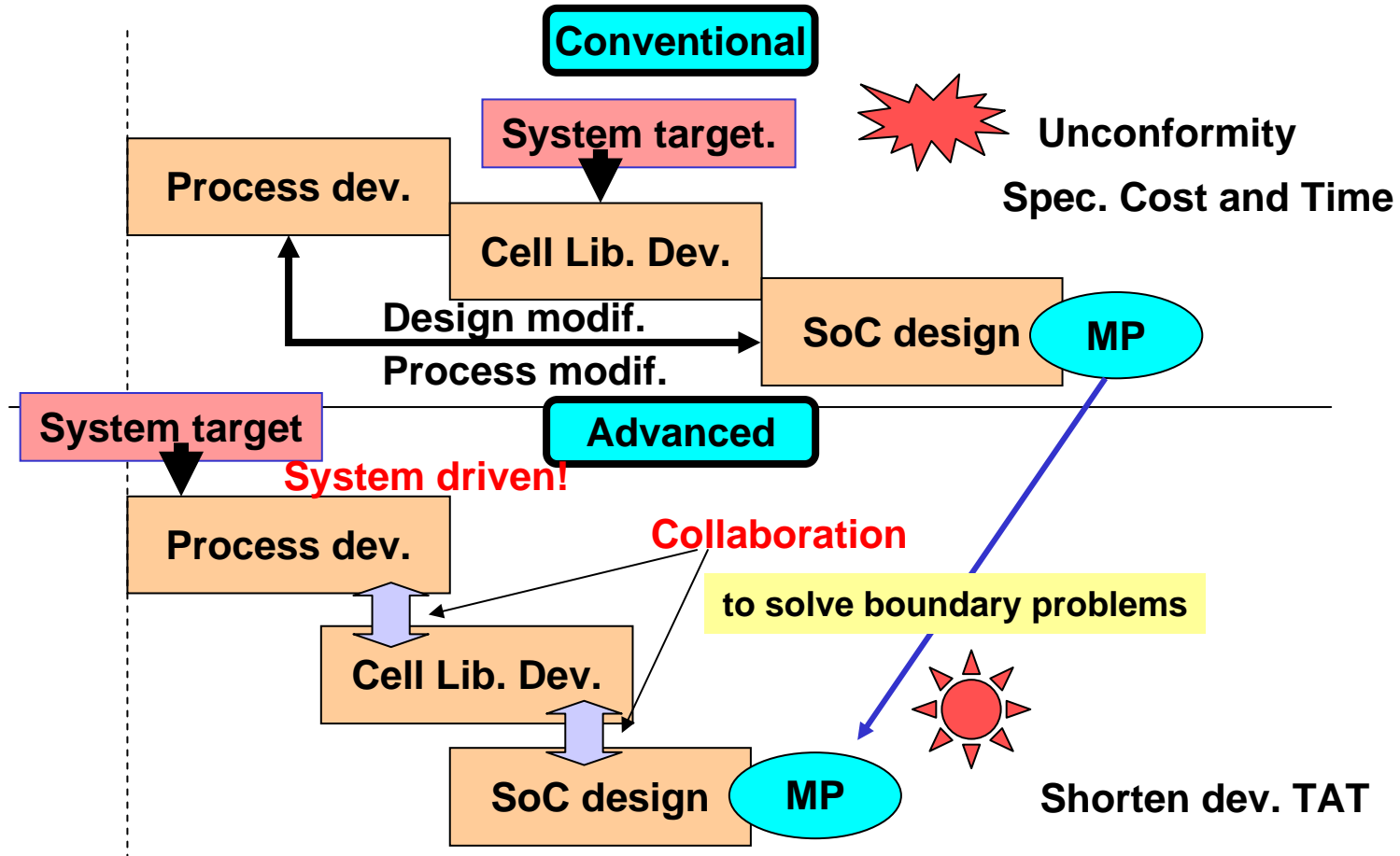
トレードオフ

・配線の階層化  
・Low-k配線絶縁膜

・配線長の低減  
・経時劣化の考慮

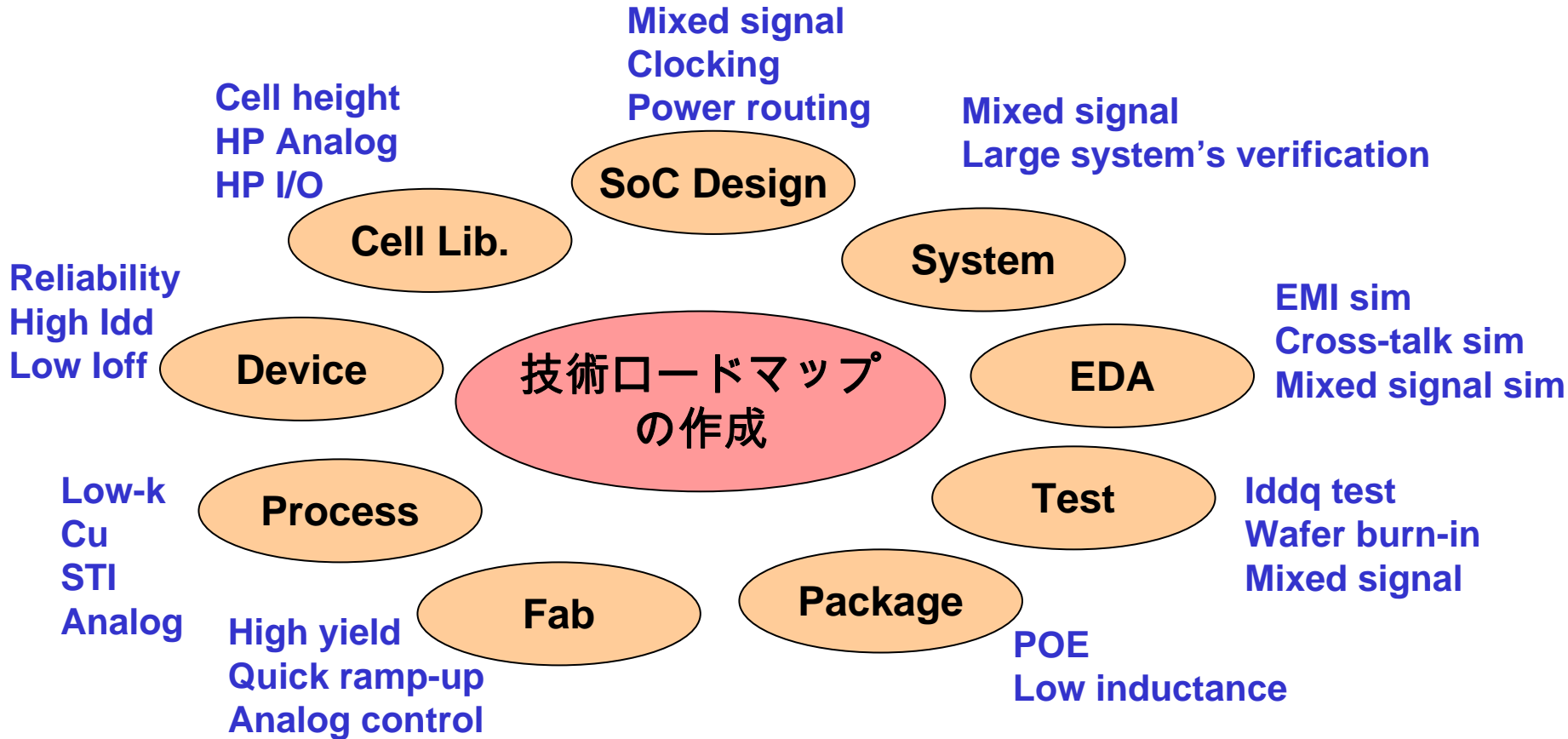
# システムに最適化されたSoC開発

- ・システムターゲットドリブンのプロセス開発からSoC設計までの開発スタイル。
- ・従来のバケツリレー型開発からコンカレント型開発への転換。
- ・境界領域での協調開発(バウンダリーマネージャーが必要)



# SoC開発における様々な技術分野の力の結集

デジタル情報家電機器向けSoCの開発はシステムから工場までの最適化が必要である。



Future demands, issues, and solutions

# LSI技術の今後

# テクノロジーへのインパクト: ロジック

---

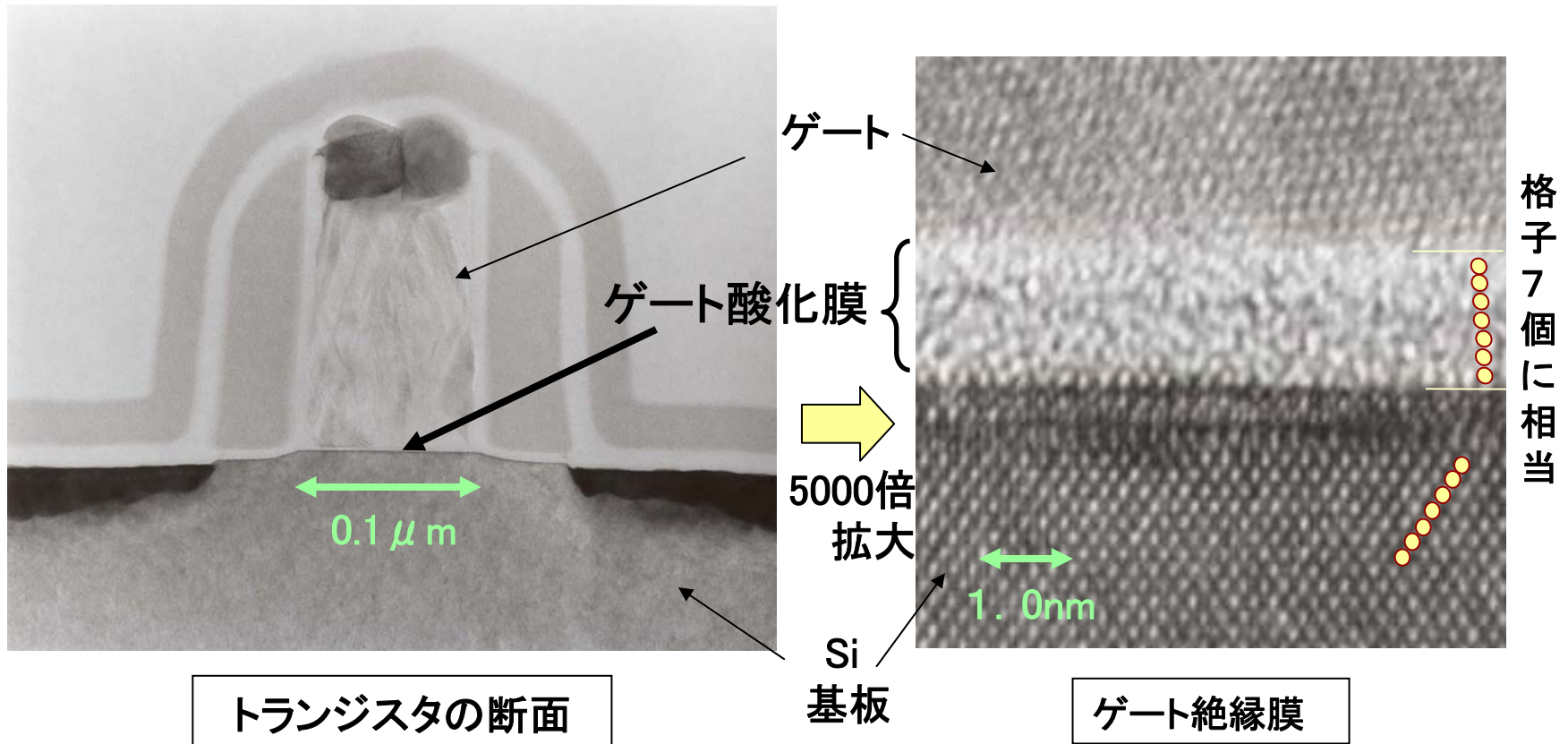
超高速性は汎用MPUほど必要では無いが、従来より広がりを持った開発が必要。

- 集積度
  - 継続的に集積度の向上が必要
  - I/O領域を含めたチップサイズ削減が必要
- 高速化
  - 汎用MPUほどの超高速化は不要だが、妥当な消費電力とコストでの高速化は不可欠
- 低リーク化・低電力化
  - 「携帯」に搭載可能とする低リーク化・低電力化は最優先課題
- 再構成可能なロジック回路技術
  - 専用処理回路は今後とも必要だが再構成可能なことがより重要になる
- ばらつき抑制
  - ASIC設計を可能とする「ばらつき抑制」技術が必要
- テスト容易性と動作の可観測性
  - 設計品質が課題に。テスト容易性と動作の可観測性が鍵
- ノイズ対策
  - EMCはチップ自身の課題に



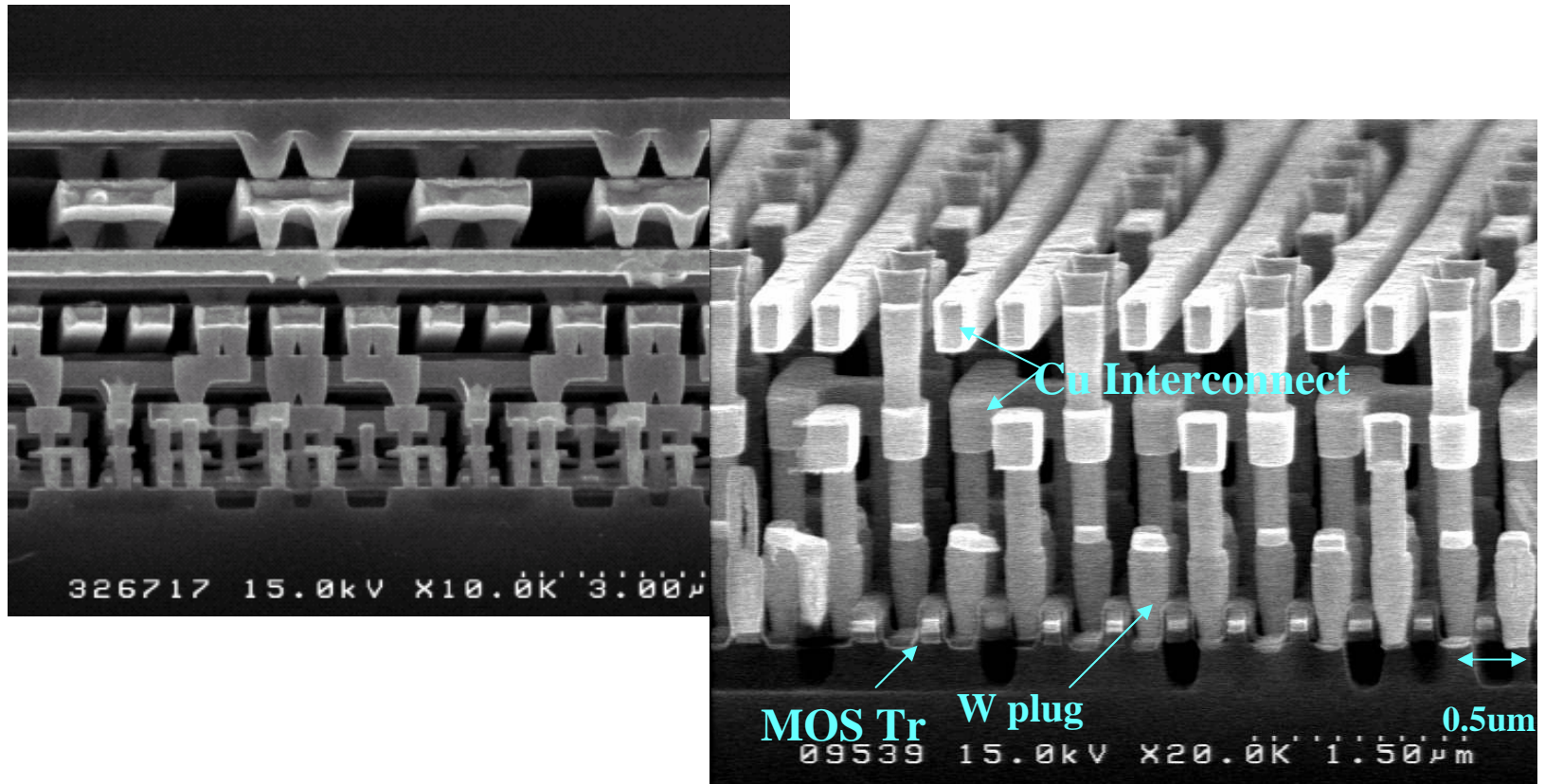
# 現在のSoC用トランジスタ

現在のSoCの量産プロセスである0.13 $\mu\text{m}$ ルールのトランジスタ  
原子レベルの制御が求められる。



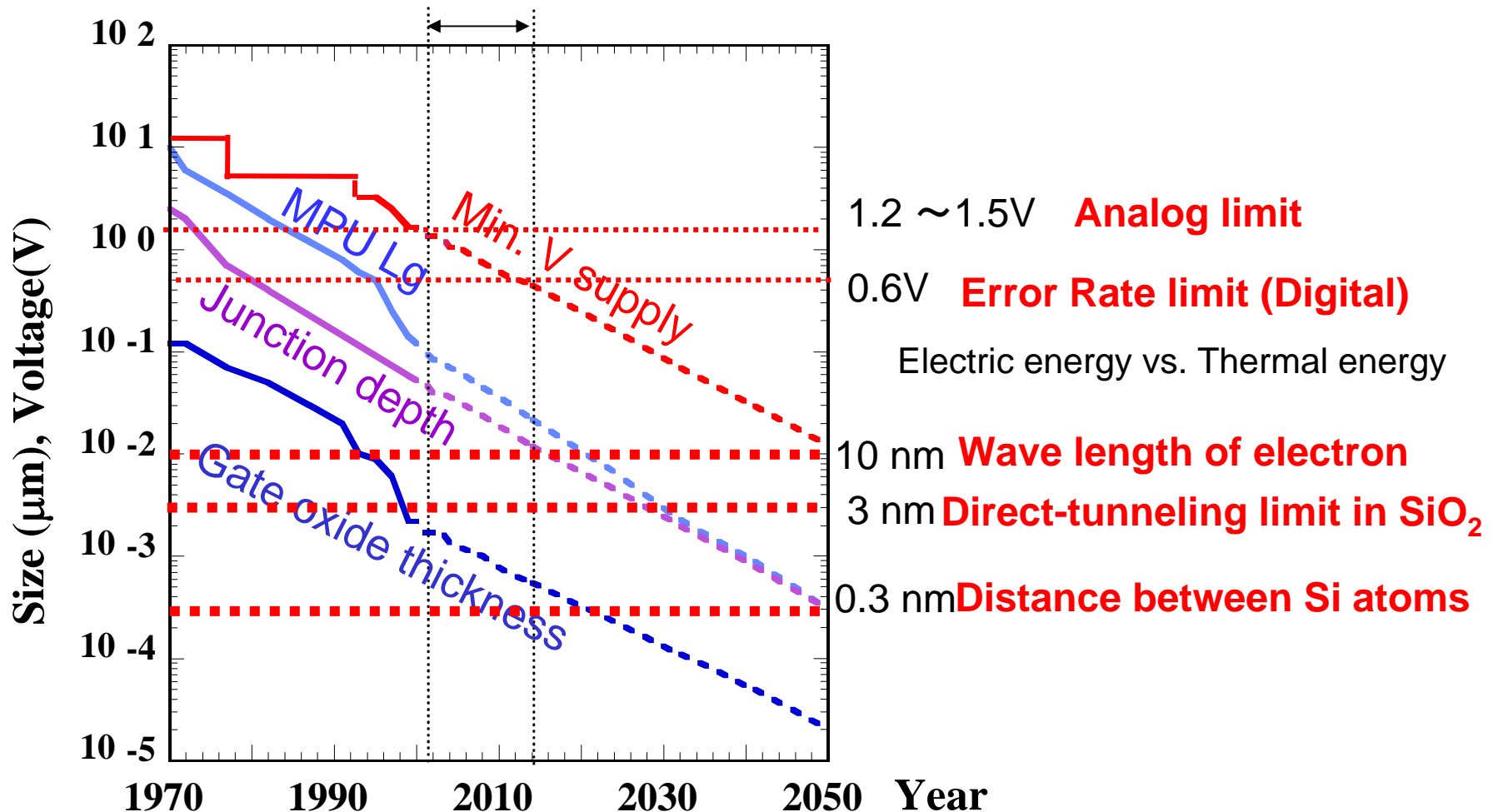
# 現在の配線

現在はAlからCuに配線材料が変化している。  
民生用SoCでも配線層数は6層以上が多く、配線間は柱のようなスタックトビアで接続されている。



# 様々な限界

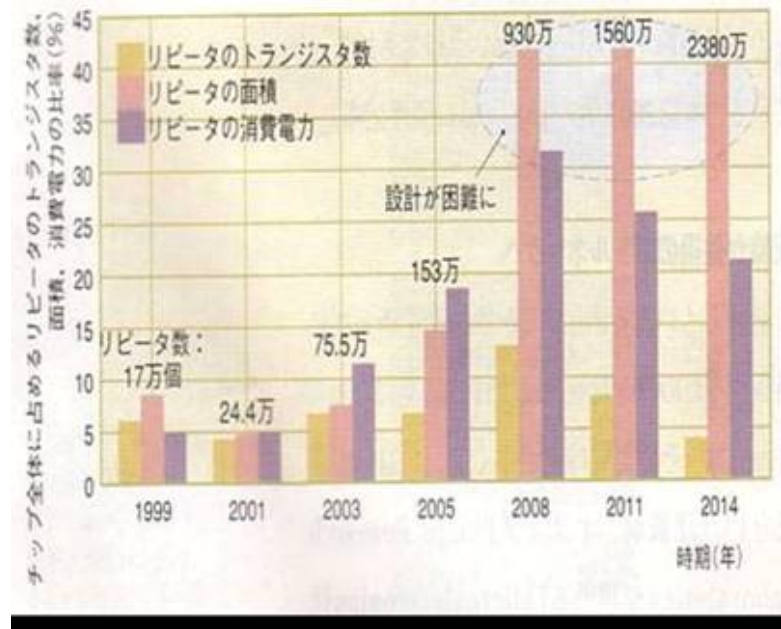
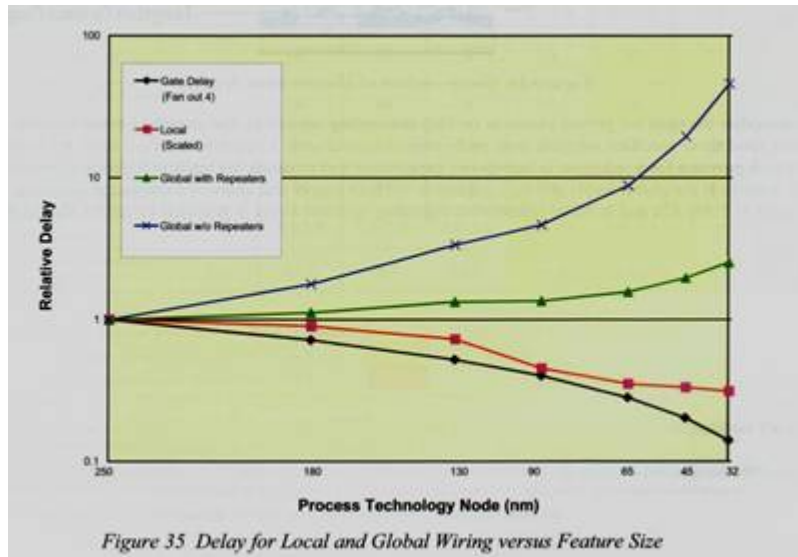
集積回路技術はすでに様々な限界に直面している。



# 超高速動作の課題

- ・ 配線遅延時間が短縮される目処は殆どなさそうである。
- ・ リピーターの面積・消費電力が急増し、許容限界を超える。
- ・ メモリー間のデータ転送時間が70%程度となりCPU単体の速度向上効果が少ない

→ 今後クロック周波数増加による高速化は飽和する  
並列化やメモリーインターフェースの見直しで処理能力向上の方向へ



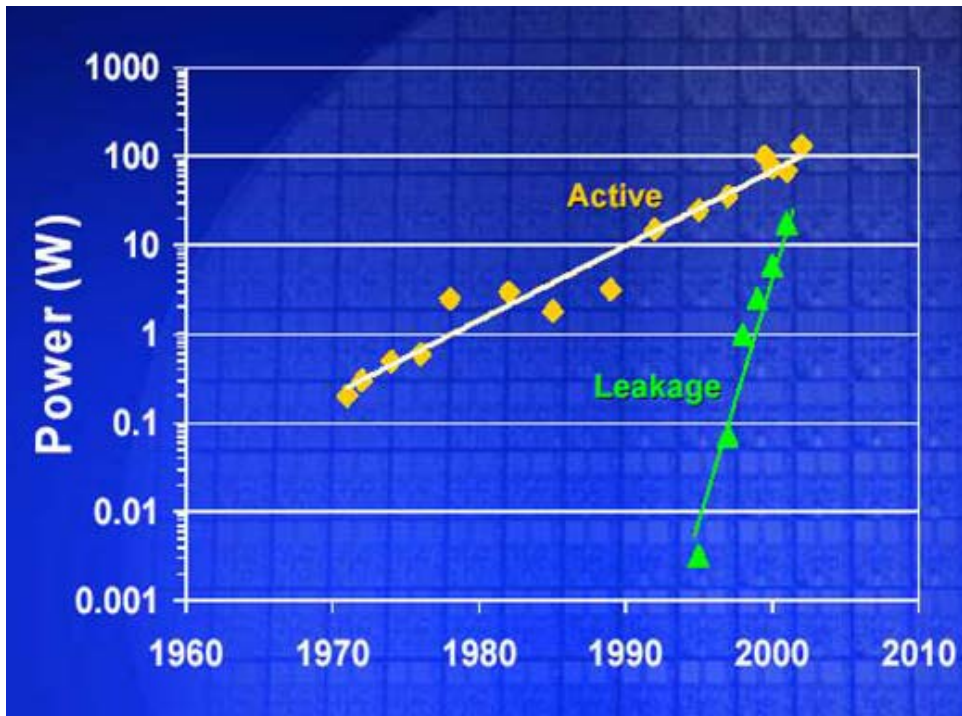
ITRS 2001 Edition, pp. 261.

日経マイクロデバイス: 2003年8月号, pp.26

# VLSI技術最大の危機：消費電力の増大

プロセッサの消費電力は100Wに達し、限界に直面している。  
しかもリーク電流が急速な伸びを示している。

プロセッサの消費電力推移



$$P_d \approx f_{clk} \cdot C \cdot V_{dd}^2$$

・これ以上クロックを上げられない

$$I_{leak} = I_{sub} + I_g$$

$$I_{sub} \approx \exp\left(\frac{-qV_T}{nkT}\right)$$

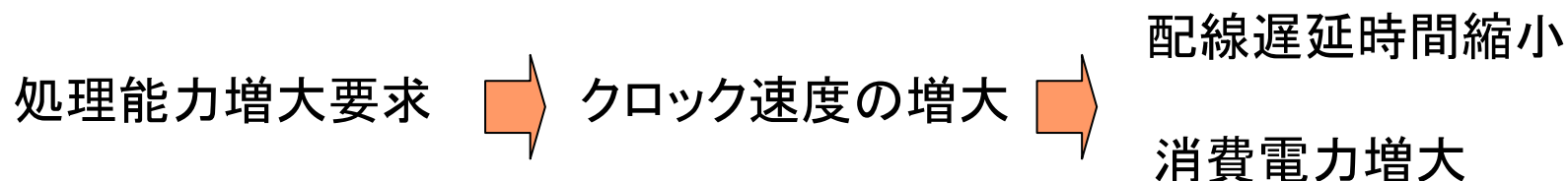
$$I_g \approx \exp(5.6V_{gd} - 10T_{ox} - 2.5)$$

- ・これ以上 $V_T$ を下げられない
- ・これ以上ゲート酸化膜を薄くできない

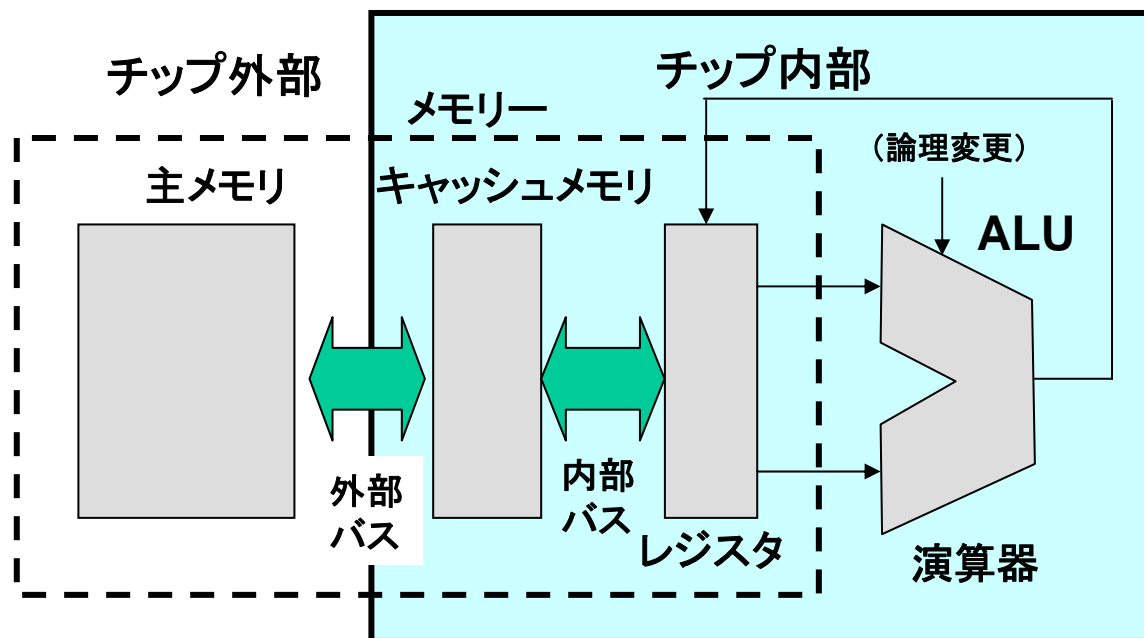
Gordon E. Moore, ISSCC 2003.

# 超高速動作要求と消費電力増大の主犯

通常のマикроプロセッサの構成では1クロックあたり3つ程度の処理しかできない。




マイクロプロセッサの構成



# インテルの方針転換

---

プロセッサの超高速化を追求してきたインテルはクロック周波数の上昇のみに頼った高速化を放棄した。

 今後、微細化は続くが、配線遅延に対する要求は緩和される。配線は3次元化技術などに向かうのではないか。

- 米Intel Corp.のSr. Vice President, Chief Technology OfficerであるPat Gelsinger氏は3月4日に都内で会見し、将来のLSI技術動向について説明した。

同氏によると、微細化による動作周波数の向上は今後難しくなっていく。微細化と共に電源電圧を下げ続けることが困難になり、チップの消費電力が増えていることが主な理由である。このため、今後は周波数の向上によってチップの処理性能を向上するだけでなく、プロセッサの並列化やマルチスレッド化といった技術を組み合わせしていく必要があるという。

# VLSI設計の大方針転換

---

- VLSIのクロック速度は飽和する
  - 消費電力の限界
  - 低電圧化の限界
  - 配線遅延時間の限界
  - 外部メモリのデータ転送速度の限界
- 今後のVLSIの性能向上はアーキテクチャの見直しと実装技術で達成する
  - パソコンからデジタル家電への大きな流れ
  - 並列処理に向けたマルチメディア(画像)処理要求が増大
  - 家電系は応用特化の最適なアーキテクチャが使用できる
  - コスト重視へ(消費電力大=コスト増)
  - 携帯機器へデジタル家電が集約→低電力と3次元集積



# テクノロジーへのインパクト: アナログ

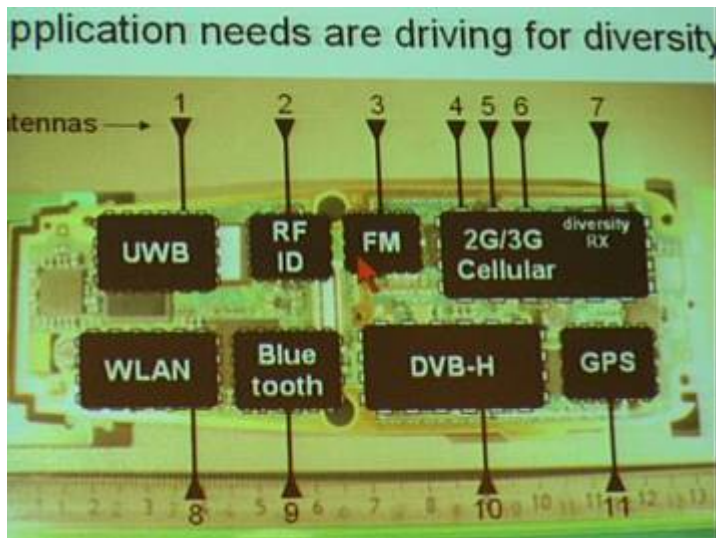
---

- アナログ混載は必須になるが、搭載回路は極めて限定されたものになる。本質的に必要回路を除き、よりデジタル化される。
  - 微細化による動作電圧の低下、かなりの回路が動作困難に  
ただし、1.2V程度で低電圧化が止まればかなりのアナログ回路は実現可能
  - アナログ部のコスト増
  - 本質的に必要なアナログはADC, DAC, LNA, VCO
- アナログオプションは最低限必要だが回路技術で増加を抑える方向
  - 必要なオプション: 高精度MIM容量、厚膜配線、可変容量、トリプルウエル(高抵抗基板)
  - 必要な性能: 低 $V_T$ ミスマッチ、低 $1/f$ ノイズ、高 $f_T$ ,  $f_{max}$ 、低基板ノイズ
- RFの再構成可能技術が重要に
  - MEMS スイッチ
  - 可変インダクター
  - BARなどのオンチップ受動フィルターの集積

# ワイアレス分野の課題

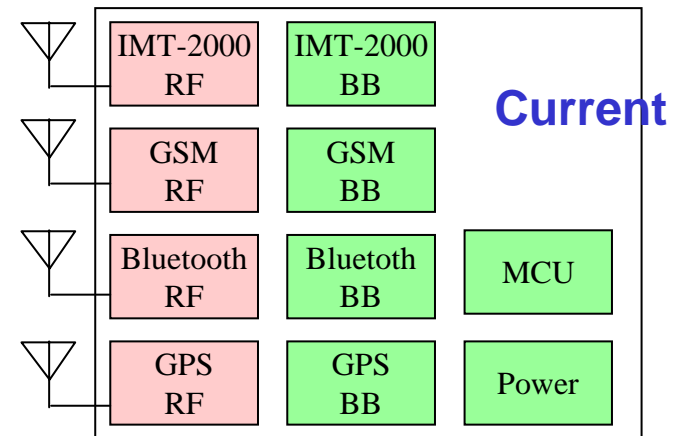
今後は携帯電話に11種類程度のRF通信・ネットワークが搭載される可能性があるためRF部分の統一化、再構成可能化が重要となる。

Future cellular phone needs  
11 wireless standard!!

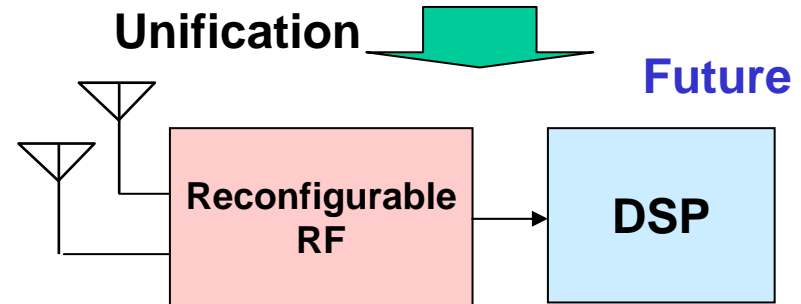


Yrjo Neuvo, ISSCC 2004, pp.32

Multi-standards and multi chips



Unification

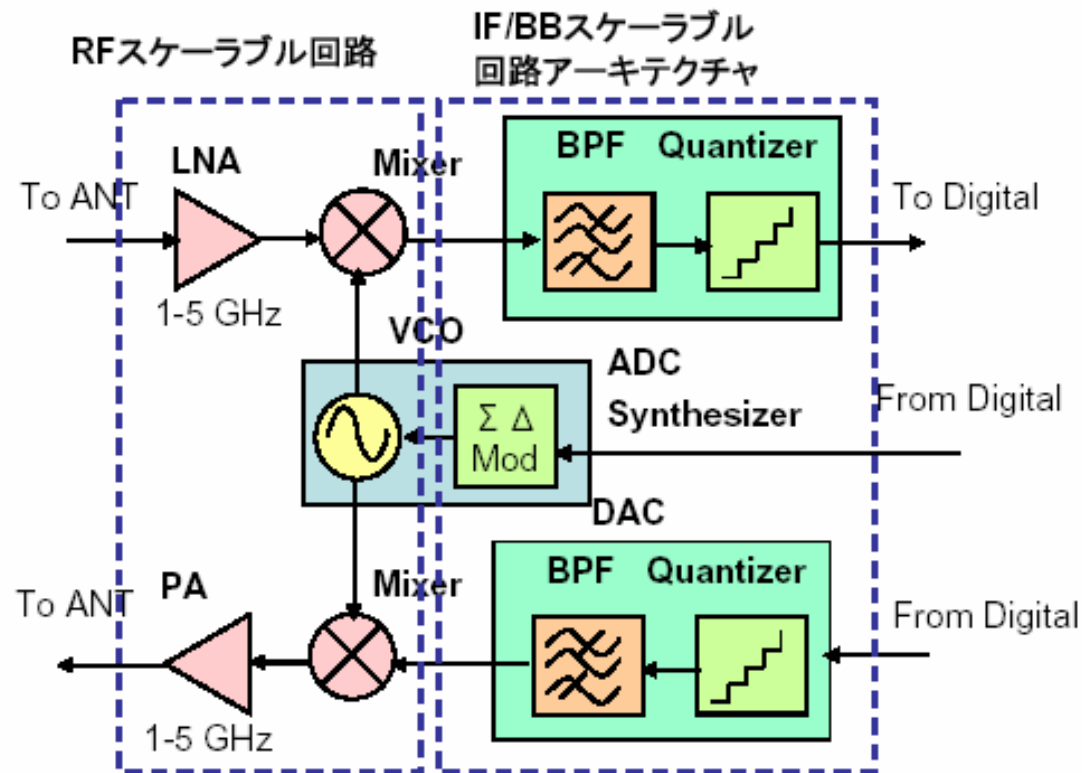


Unified wireless system

# ワイヤレス用スケラブル設計技術の開発

## 2.4GH-5GHz帯で汎用的に使用可能なワイヤレスネットワーク用CMOS LSI技術を開発

- ・アナログ部分をできるだけ削減し、デジタルで各種設定・制御を可能にする
- ・統一的なアーキテクチャ・回路の開発により各種規格・仕様にスケラブルに対応する
  - ・スケラブルなRF回路の開発
  - ・スケラブルなIF/BB回路・アーキテクチャの開発



# テクノロジーへのインパクト: メモリー

---

デジタル情報家電機器はメモリー関連のテクノロジーに多大なインパクトを与えるものと思われる。

- 不揮発性メモリーの大容量化への爆発的増加(1年で2倍)  
(デジカメ用途など) 微細化では追いつかない(3年で2倍)
  - フラッシュの開発加速とMRAM, PRAM, などの他の大容量不揮発性メモリーの早期実用化の促進
  - 3次元積層パッケージ技術などの単位面積あたりのメモリー容量を増加させる技術開発が加速
- メモリー・ロジック間の大容量データ転送が必要(デジタルテレビ、ゲーム機)
  - DRAM混載はコスト増と、用途によってメモリーサイズが異なるシステムが実現しにくい  
ため、Chip On Chip技術などのチップ貼り合わせ、もしくはなんらかの実装技術による  
解決が期待される。
- 携帯機器向けにFeRAMなどの低電力・高速の不揮発メモリーの開発が加速

# 3次元集積技術

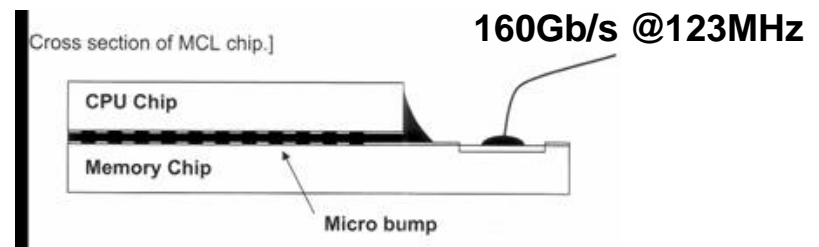
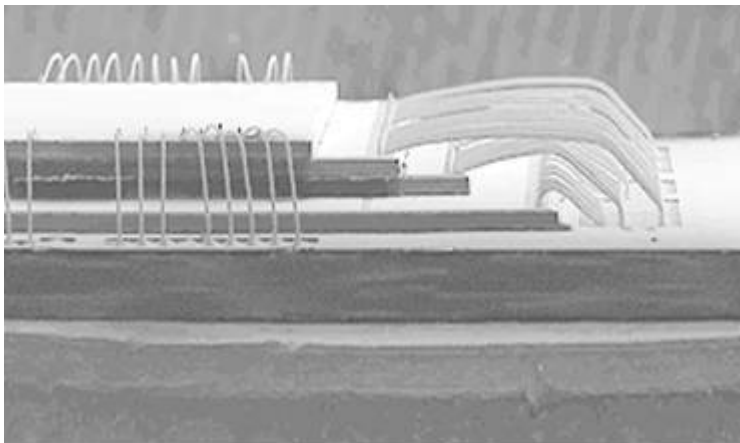
機能集積の加速はムーアの法則をしのご。3次元集積が必要である。

## メモリーの積層集積

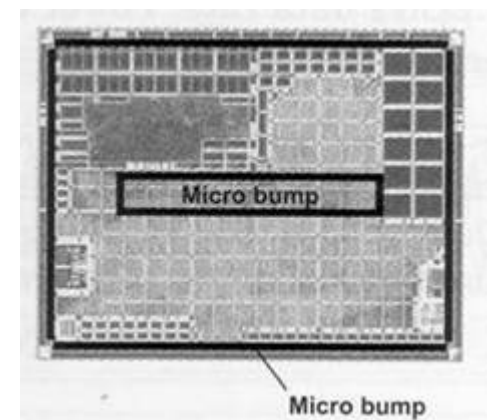
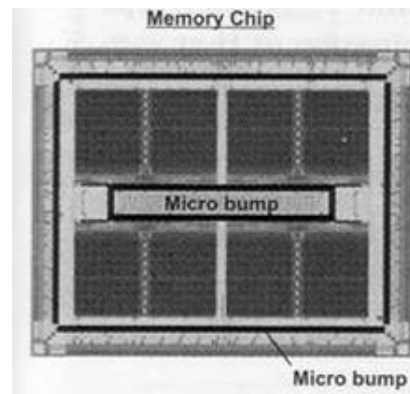
携帯電話では限られた面積に大量のメモリーを集積する必要がある。  
また不揮発メモリーだけでなくSRAM, DRAMなど各種メモリーの組み合わせたシステムになるため混載では難しい。  
高密度化・多層化は加速されるものと思われる。

Chip On Chip 技術を用いた  
CPU・メモリー間的高速・大容量接続

30um 径、60umピッチのCoC  
接続点の電気特性は1mmの配線長と同等



T. Ezaki, et al., ISSCC 2004, pp.140



# 実装技術への期待

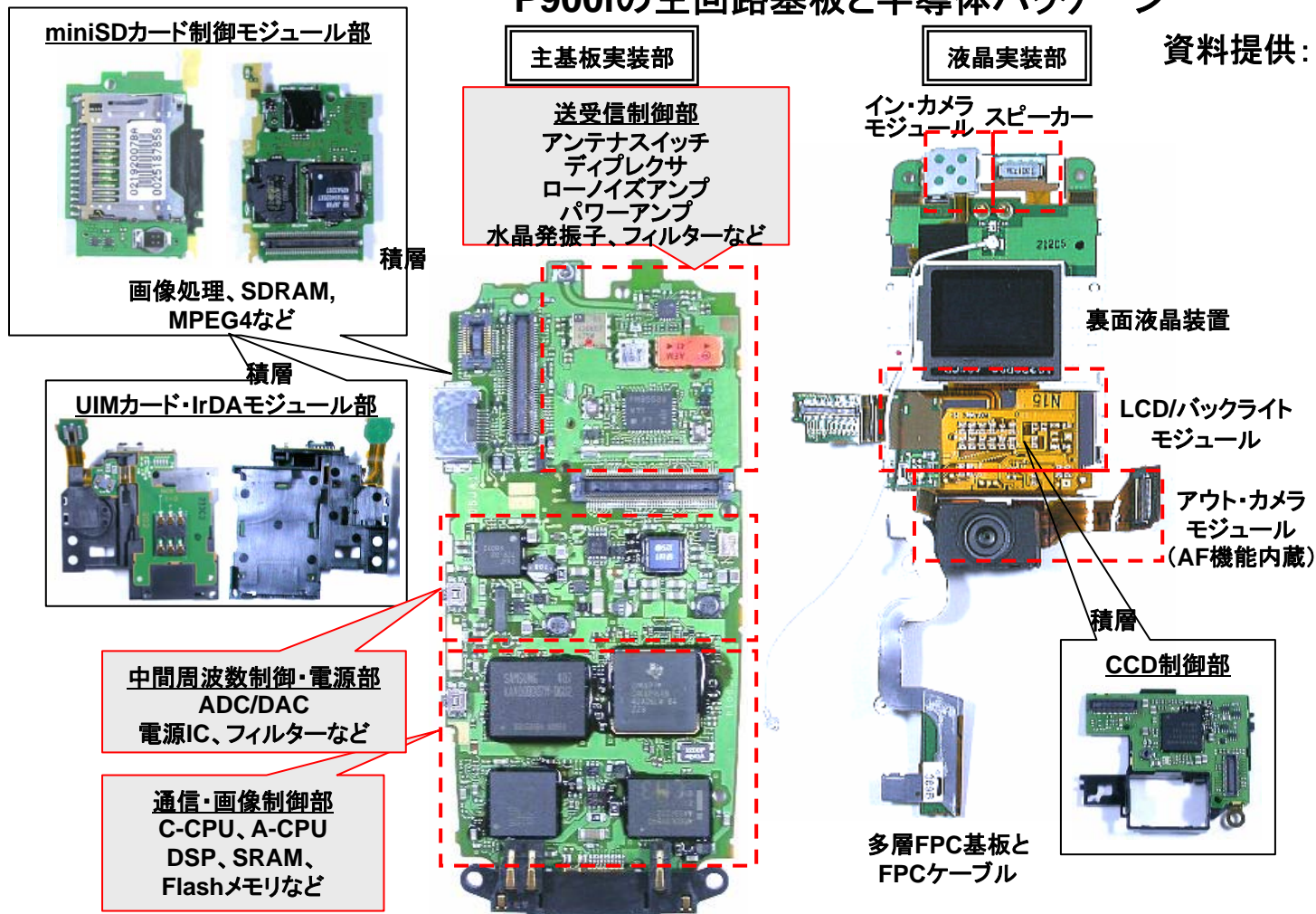
## 3次元集積と統合設計

# 携帯電話システム

現代の携帯電話は画像処理回路やデジカメ機能まで集積している。

## P900iの主回路基板と半導体パッケージ

資料提供: SemiConsult



# 携帯電話用多チップパッケージの事例

携帯電話ではすでにSiP技術を用いた3次元実装が始まっている。今後も続く。

## チップスタックCSP

フラッシュメモリ、SRAM、疑似SRAM  
SDRAMなどを積層し樹脂封止



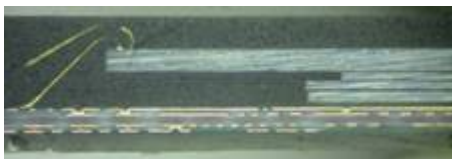
## パッケージスタックCSP

フリップチップとワイヤボンドによるチップを  
積層し、樹脂封止め



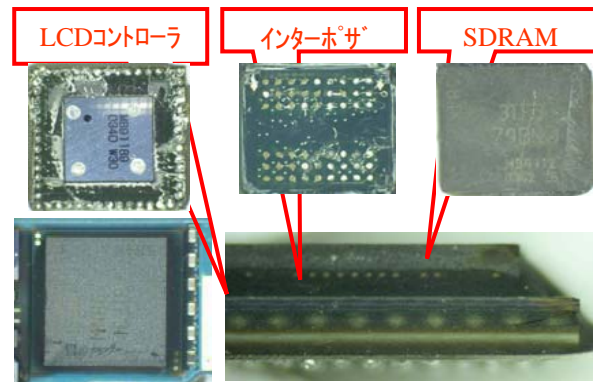
## チップスタックCSP

ベースバンドICとメモリチップの積層  
ワイヤリングの自由度確保、熱特性向上のため、  
小型チップに大型チップを搭載し樹脂封止



## パッケージスタックCSP

液晶コントローラ(フリップCSP)上にインターポサ  
基板を介して汎用SDRAMを積層



資料提供: SemiConsult



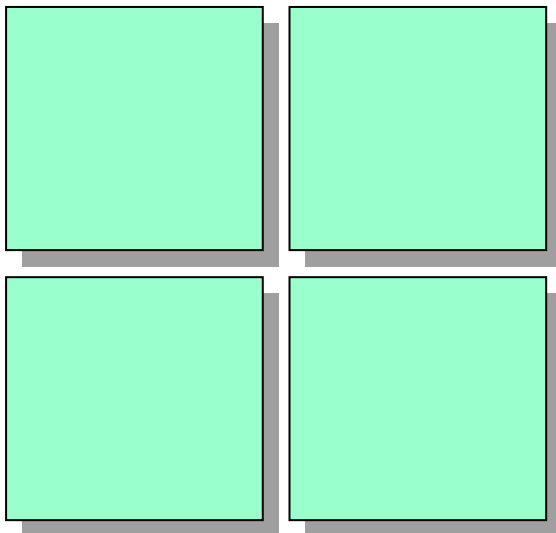
# 今後の集積技術の方向性

不揮発性メモリーの大容量化への爆発的増加(1年で2倍)  
微細化(3年で2倍)では追いつかない

→ 平面集積から立体集積への進展が必要

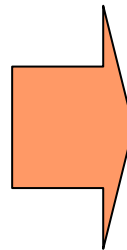
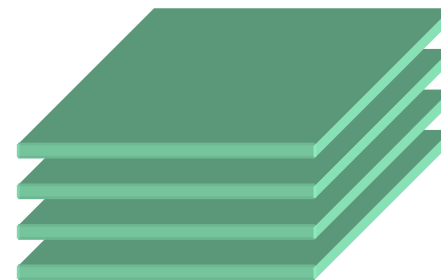
従来： 平面集積

集積度： $\frac{\text{素子数}}{\text{面積}}$



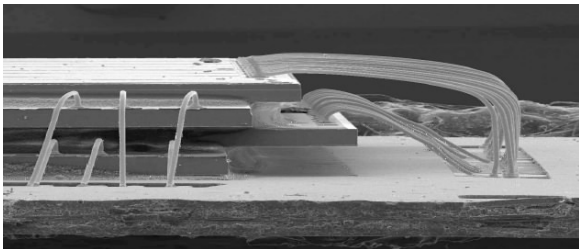
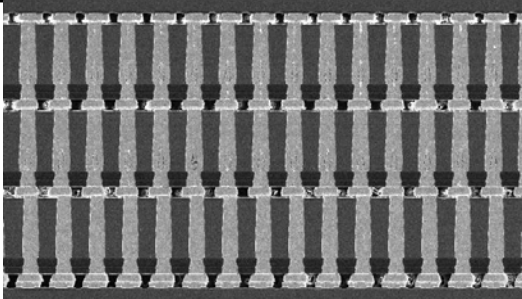
今後： 立体集積

集積度： $\frac{\text{素子数}}{\text{体積}}$



# マイクロバンプと貫通配線を用いたチップ積層

マイクロバンプと貫通配線を用いたチップ積層ではオンチップ並みの電気特性が実現できる。

	Conv. SiP	TCV
外観		
接続方法	ワイヤボンディング+基板上の配線	貫通電極+バンプ
チップ間配線長さ	数mm~数10mm (写真では約10mm)	100 μm以下 (写真では60 μm)
配線のインダクタンス	10 nH	<b>19 pH</b>
配線のキャパシタンス	8 pF	<b>0.1 pF</b>
最小パッケージサイズ	チップサイズ+5 mm以上	チップサイズ
厚さ(4チップ)	490 μm	240 μm

資料提供: 東芝

# インテルのSiP・チップ積層技術開発

---

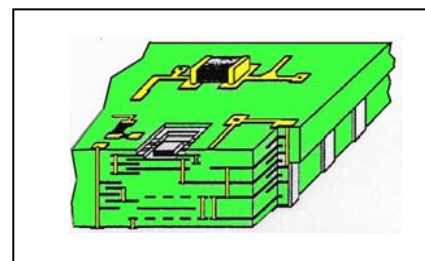
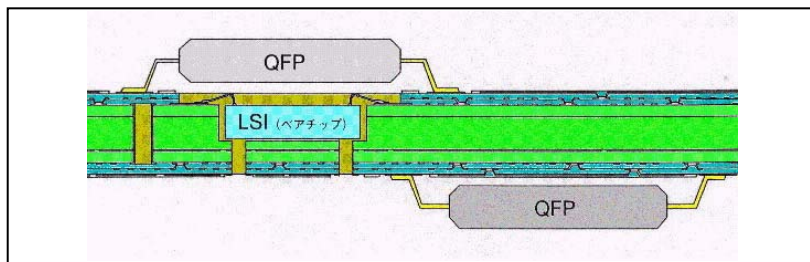
チップの微細化を推し進めるインテルは同時にSiPやチップ積層技術を開発している。

- ロジックLSIとメモリーを一つのパッケージに統合するSiP(system in package)の採用が本格化する。それをけん引するのがインテルである。まず、携帯機器向けプロセッサにSiPを採用した。

インテルは、SiPの要素技術として、チップ積層技術、パッケージ積層技術、フレキシブル基板上のフリップチップ接続技術、チップ薄型化技術などを開発している。ここへ来て、パッケージ積層技術を駆使することにより、携帯機器向けプロセッサとメモリーを統合したSiPを実現した。さらに次世代技術として、Si基板に貫通ビアを形成し、チップ同士を積層する技術を開発中である。このほか、同社はSiPで基本的にPbフリー・ハンダを採用することを表明している。

# 部品組み込み基板の動向

JEITA 2001年実装技術ロードマップ				
製品種別	マザーボード		モジュール基板	
	受動部品	LSI	受動部品	LSI
デジタルTV	2005年	2010年	2005年	2010年
ノートPC	2005年	2010年	2005年	2010年
ポータブルDVD	2005年	2005年	2005年	2005年
デジタルカムコーダ	2003年	2007年	2002年	2007年
デジタルカメラ	2005年	2010年	2002年	2010年
携帯電話	2003年	2005年	2003年	2003年
ポータブルオーディオ	2005年	2007年	2005年	2007年

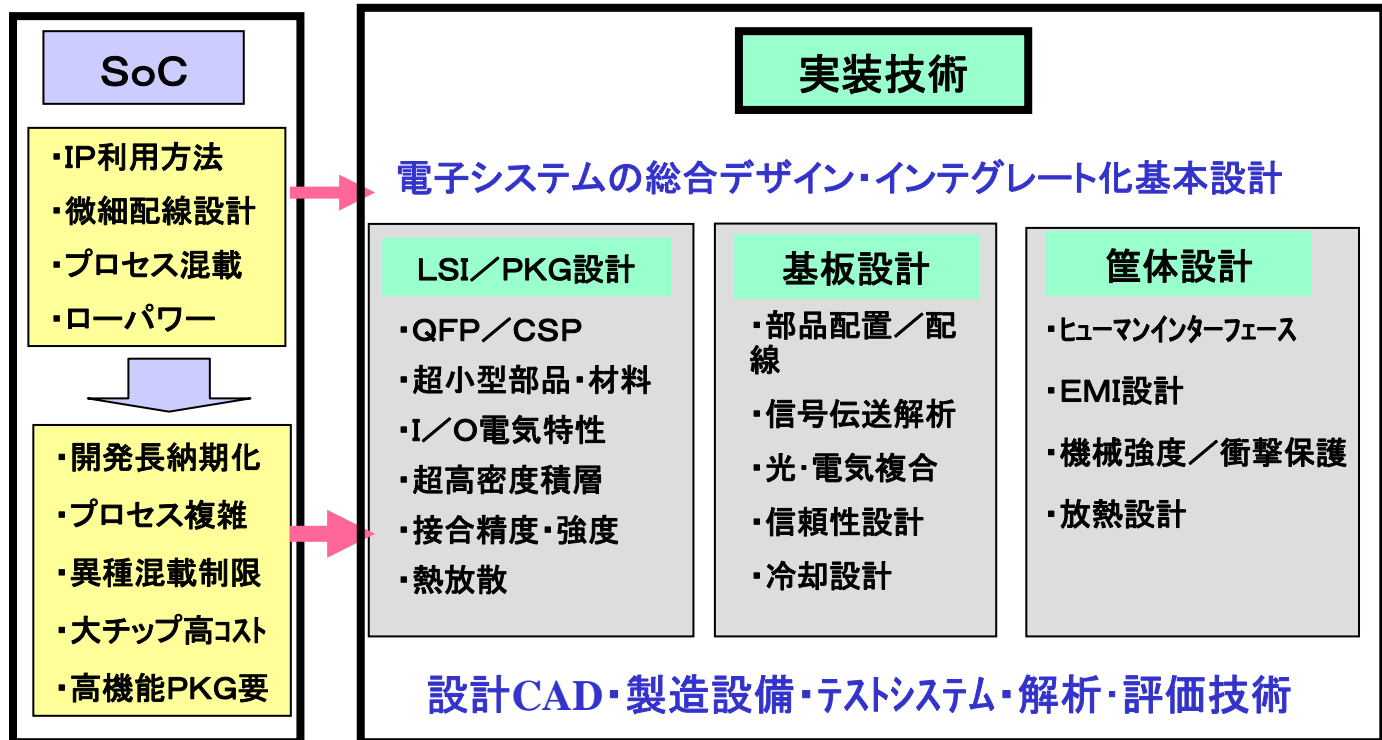


**受動部品 (LSI) 組み込み基板の複雑化と微細化:**  
 →部分的リペア処理が不可能な時代  
 →1つのミスが大きなタイムロスとコストロスを招く時代

# SoCと実装の統合設計

## SoCと実装の統合設計も必要となる

■システムニーズ：最適機能・低コスト化・短期間開発・最適実用ローパワー



実装設計：LSIと同じ設計環境が必須

電子システムデザイン・設計ツール環境・テスト・分析・解析評価技術が必要

# まとめ

---

- デジタル情報家電が急成長、PCに匹敵する産業に発展し、SoCがこれらの情報家電機器を実現した。
- SoCは応用特化のアーキテクチャが取れるため汎用プロセッサに比べて高速処理かつ低電力を実現できる。しかし今後はメディアプロセッサの汎用化が進むため、汎用CPUに近い技術が求められる。汎用性と専用性の調和が今後の開発ポイント。
- アナログ・RF機能の混載がデジタルネットワークやユビキタス時代のキー技術に。
- SoCの場合、低コストかつ短期開発が求められる。システムからプロセスまでの統一した戦略と開発体制・開発体系が必要。設計法の変革も重要。
- 今後は携帯電話に殆どの情報家電技術が集積される。ムーアの法則を上回る3次元集積技術が必要となる。
- 実装の3次元化に伴い(電気・機構・熱)や(SoC・実装)の統合設計技術が求められる。