

# アナログRF回路設計技術 の発展に向けて

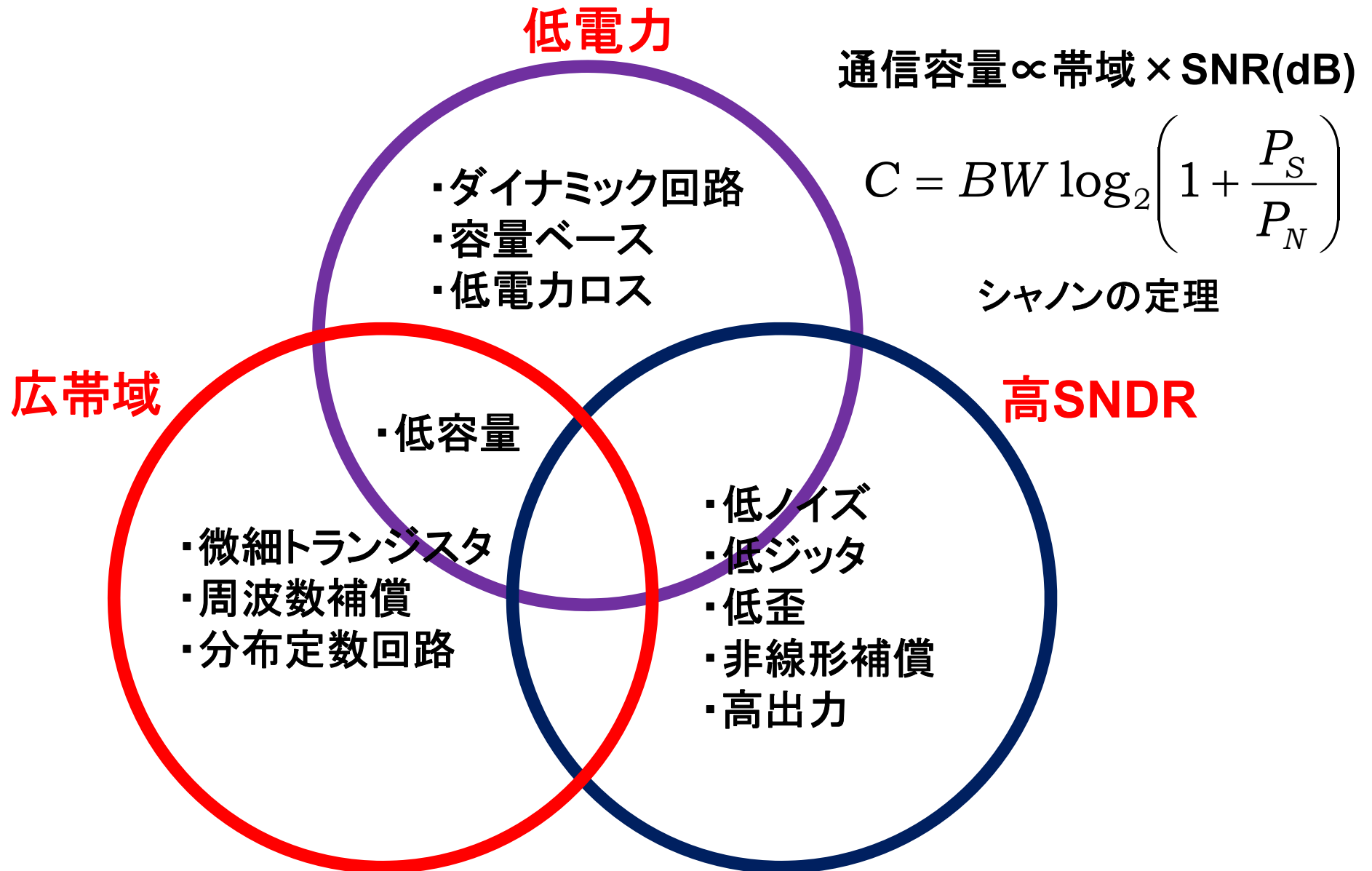
松澤 昭

東京工業大学  
大学院理工学研究科

2014/5/26

- **RF回路**
  - ミリ波を用いた超高速データ伝送への挑戦
  - 28Gbpsを達成した60GHz CMOSトランシーバ
  - 300Gbpsを目指して
- **ADC**
  - 性能推移
  - スケーラブル12bit SAR ADC
  - 時間領域処理を用いた7bit 2.2GHz ADC
- **PLL**
- **レイアウトドリブン設計とプログラマブルアナログ回路技術**
- **新たな電気系の教育**

アナログ・RF回路技術: 広帯域, 高SNRの回路を低電力で実現



伝送回路のデータレートは多値化数・分解能Nと帯域BWの積に比例する  
高速化・高SNDR化が技術の進歩にとって本質的に重要。

多値通信の場合

$$D_{rate} \approx N \cdot BW$$

N: 多値化数  
BW: 信号帯域

ADCの場合

$$D_{rate} \approx N \cdot f_s$$

N: 分解能  
f<sub>s</sub>: 変換周波数

シャノンの定理

$$C = BW \log_2 \left( 1 + \frac{P_S}{P_N} \right)$$

ADCのBW と SNR

$$BW < \frac{f_s}{2}$$

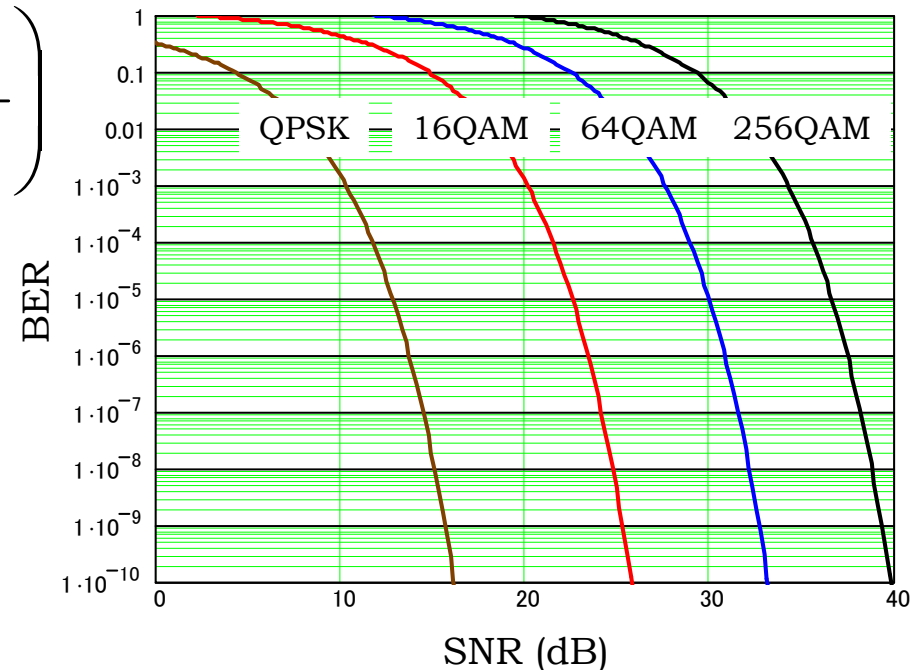
$$\left. \frac{P_S}{P_N} \right|_{ADC} = 1.5 \cdot 2^{2N}$$

したがって

$$C \approx N f_s$$

f<sub>s</sub>: 標本化周波数  
N: 分解能

多値変調の実現には高いSNRが必要



# RF回路

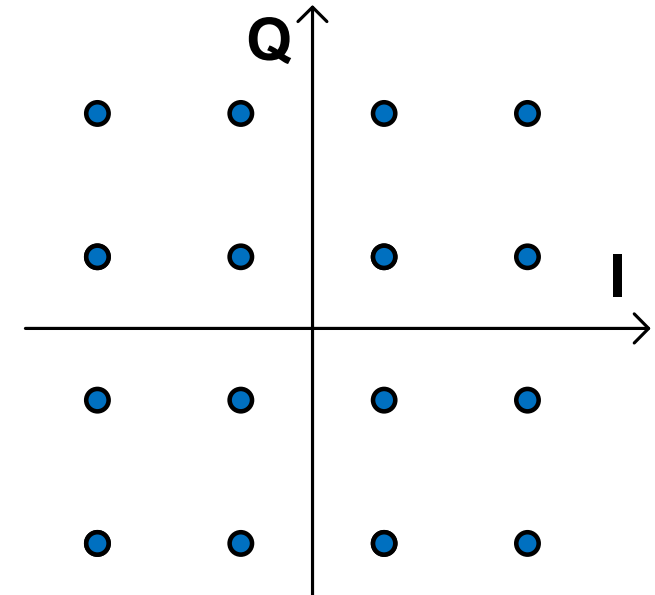
ミリ波を用いた

超高速データ伝送への挑戦

# 60GHz帯の超高速信号伝送

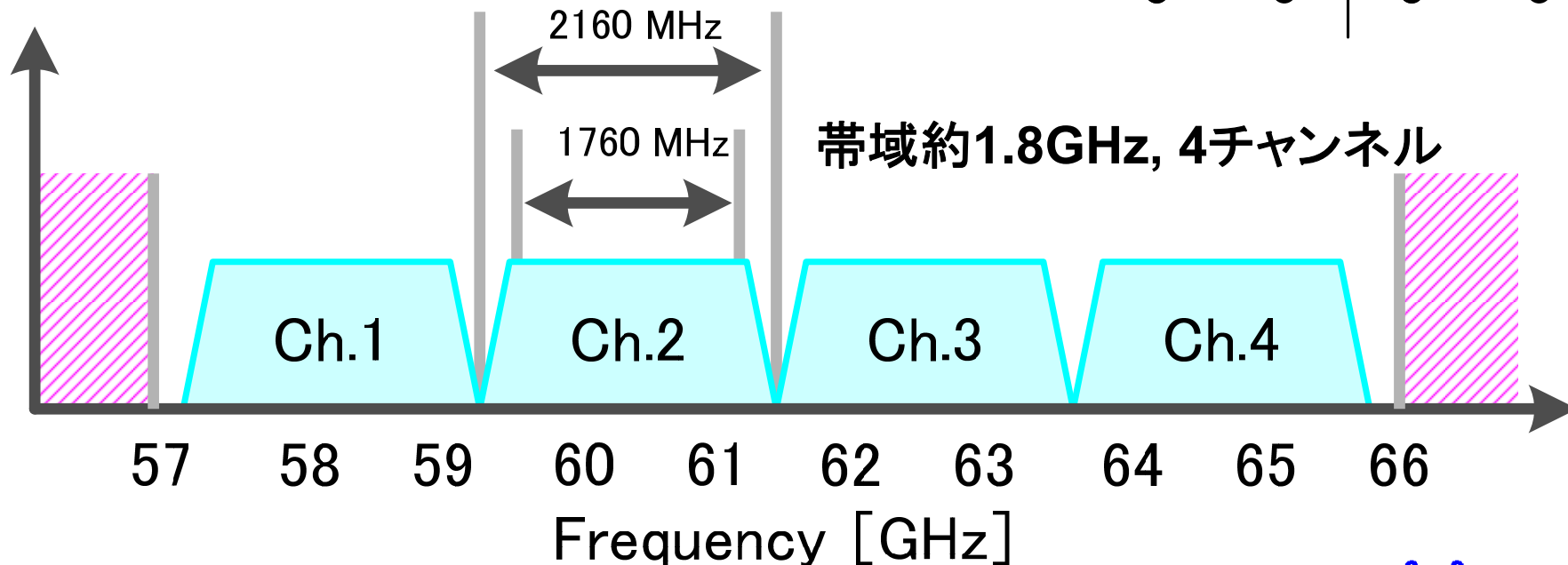
伝送速度を上げるには信号帯域  
と多値数を上げることが基本になる

16QAM信号



- BPSK: 1.7 Gbps
- QPSK: 3.5 Gbps
- 16QAM: 7 Gbps
- 64QAM: 10.5Gbps

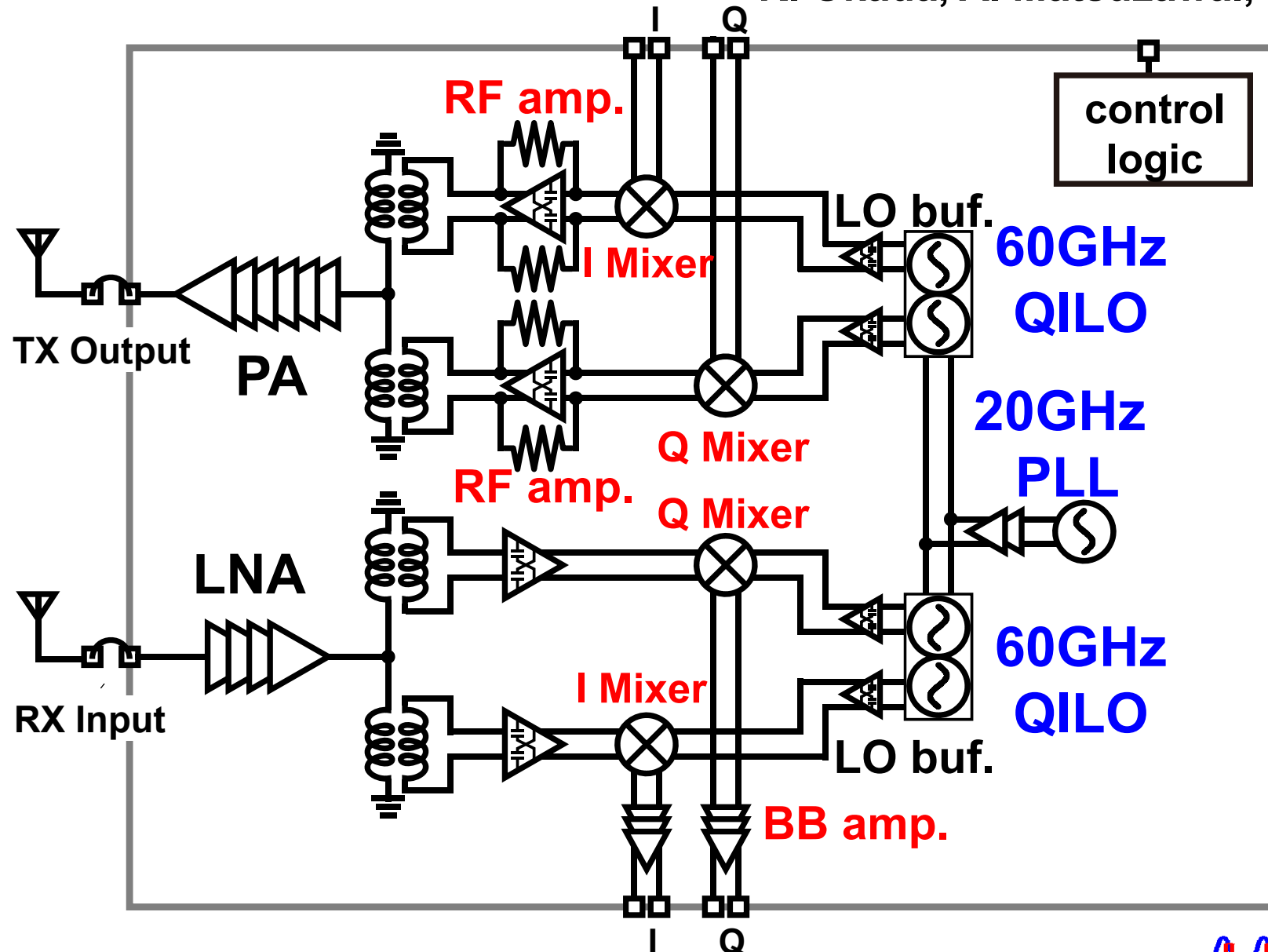
$$D_{rate} \approx N \cdot BW$$



# 28Gbps を実現した60GHz トランシーバ

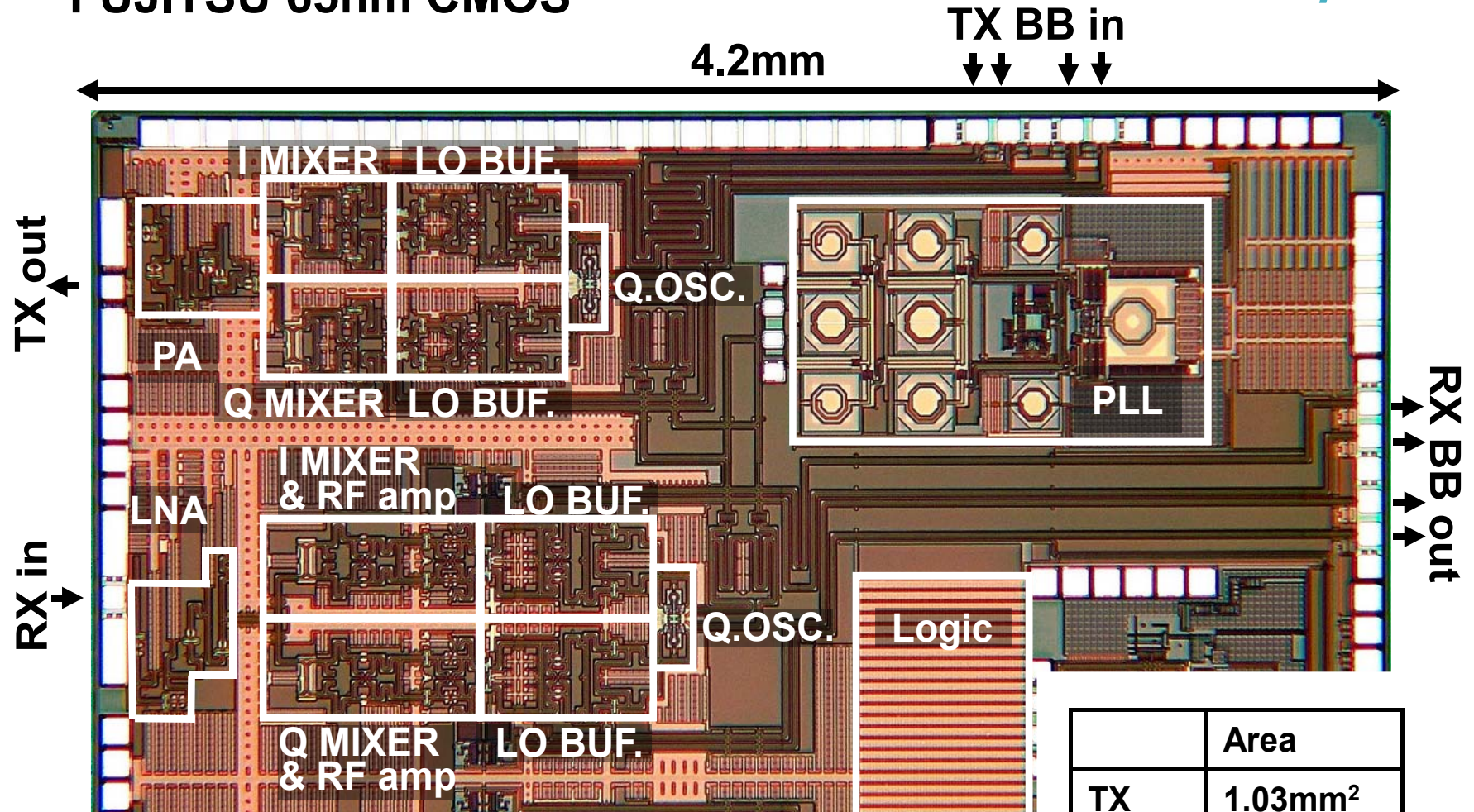
## ダイレクトコンバージョン方式60GHz CMOS トランシーバ

\*K. Okada, A. Matsuzawa., ISSCC 2014



# チップ写真

FUJITSU 65nm CMOS



**TX: 186m**

**WRX: 155mW**

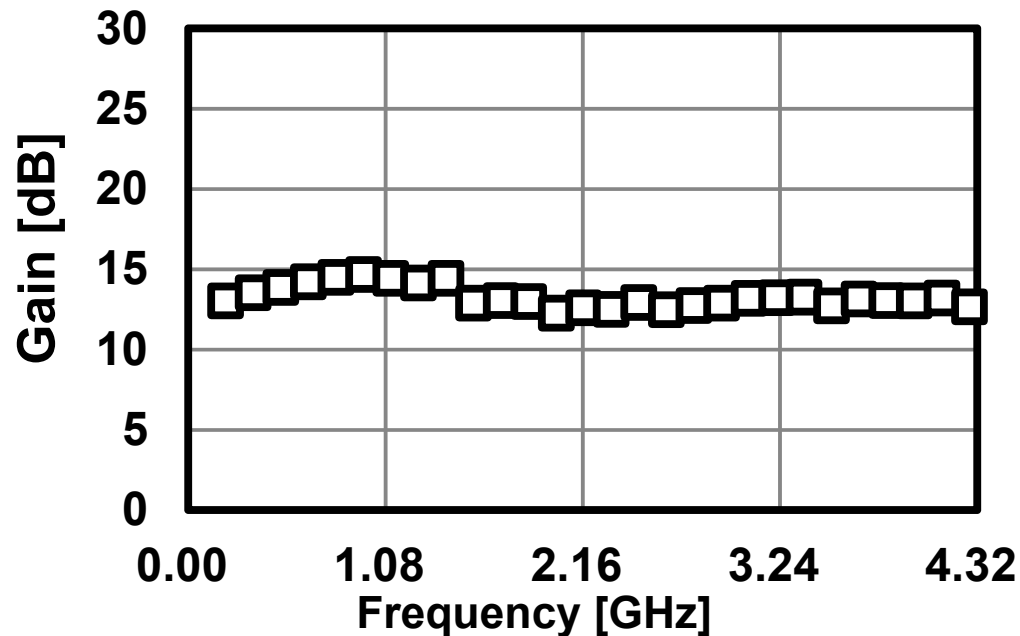
**PLL: 64mW**

	Area
TX	1.03mm <sup>2</sup>
RX	1.25mm <sup>2</sup>
PLL	0.90mm <sup>2</sup>
Logic	0.67mm <sup>2</sup>

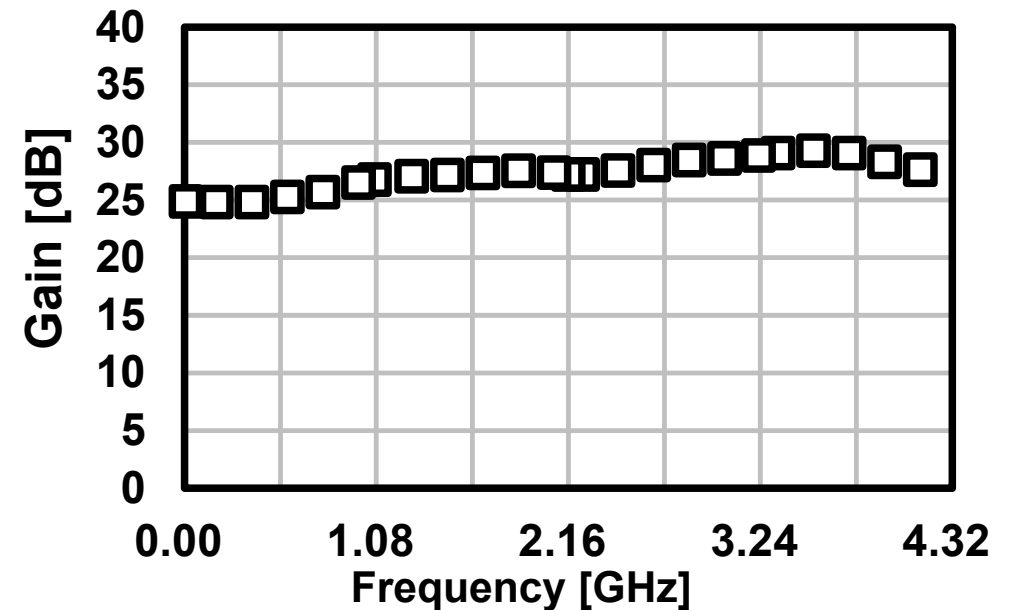


チャンネルボンディングのために  
広帯域(DC~4.32GHz)でフラットな周波数特性を実現

### 送信機



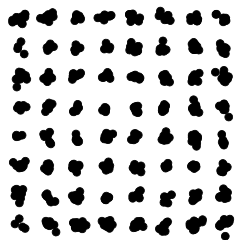
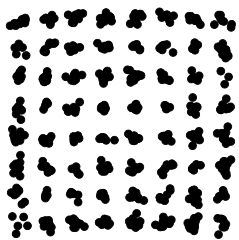
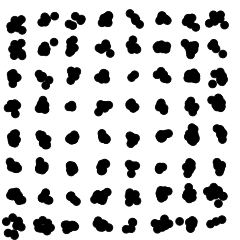
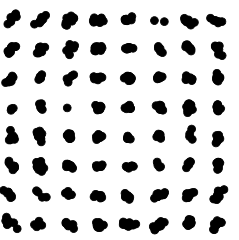
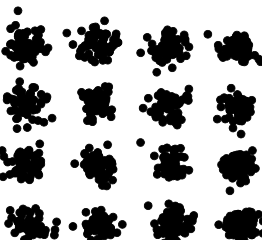
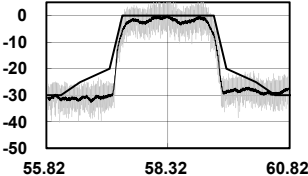
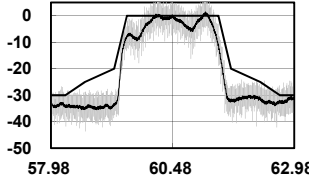
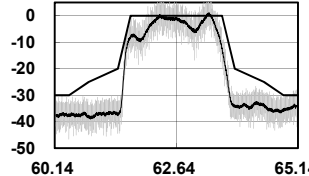
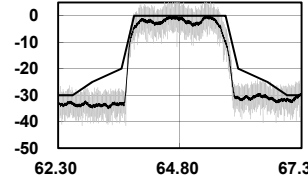
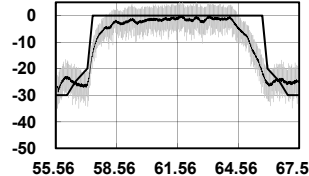
### 受信機



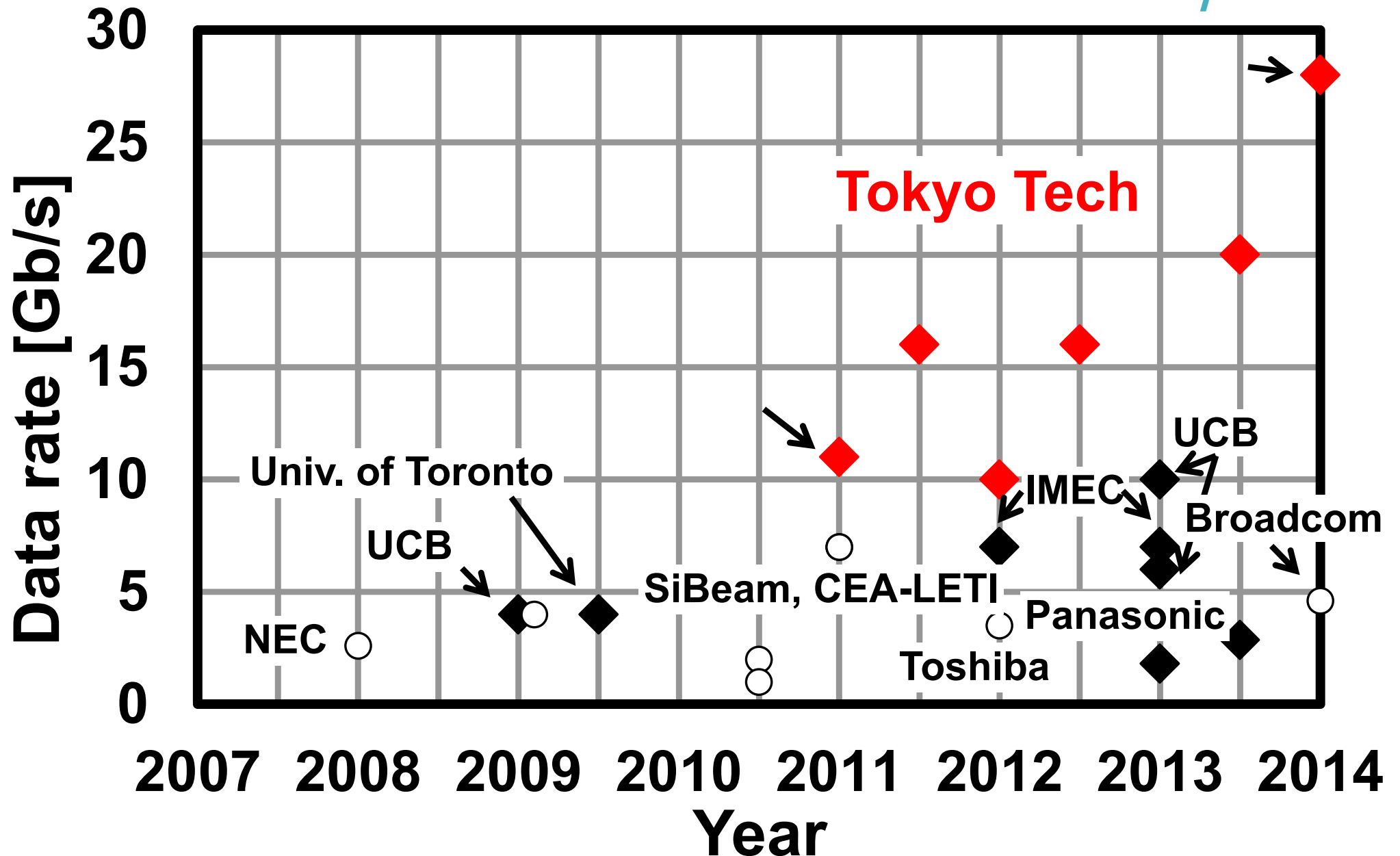
# 得られた伝送特性

世界初の64QAMを実現

チャンネルバンドにより28Gbps

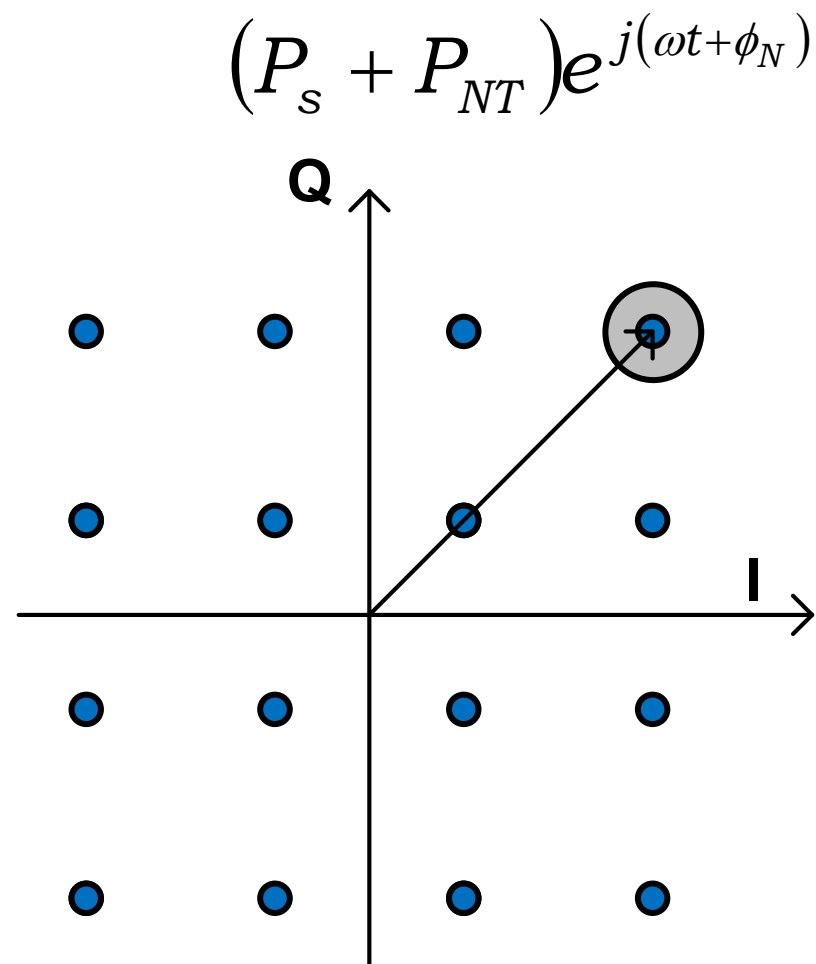
Channel/ Carrier freq.	ch.1 58.32GHz	ch.2 60.48GHz	ch.3 62.64GHz	ch.4 64.80GHz	ch.1-ch.4 Channel bond
Modula- tion	64QAM				16QAM
Data rate*	10.56Gb/s	10.56Gb/s	10.56Gb/s	10.56Gb/s	28.16Gb/s
Constella- tion**					
Spec- trum**					
TX EVM**	-27.1dB	-27.5dB	-28.0dB	-28.8dB	-20.0dB
TX-to-RX EVM***	-24.6dB	-23.9dB	-24.4dB	-26.3dB	-17.2dB

# 世界初の64QAMかつ最高速伝送



$$D = BW \log_2 \left( 1 + \frac{P_S}{P_N + P_D} \right)$$

- 信号帯域を上げる
  - 寄生素子の削減
  - 寄生素子の中和
  - 広帯域インピーダンスマッチング
- SNRを上げる
  - 信号電力を上げる
  - 電力ロスを減らす
  - 熱雑音を減らす
  - 歪を減らす
  - 位相雑音を減らす



# 60GHz リンクバジェット(QPSK)

$6\text{dBm}(P_{\text{out}}) - 4\text{dB}(\text{back-off}) = 2\text{dBm}$

所望CNR: **9.8dB**

その他、劣化要因

位相雑音, PA 非線形

I/Q ミスマッチ, ISI

Tx

アンテナ利得: 6dBi

$-71.5\text{dB}(1.5\text{m loss}) + 6\text{dBi}(\text{Tx}) + 6\text{dBi}(\text{Rx})$

-3dB(loss)

-60.5dBm Rx

CNR  
+14.0dB

+6dB(NF)

-74.6dBm

-80.6dBm

$= -174\text{dBm}(\text{kT}) + 93.4\text{dB}(2.2\text{GHz-BW})$

高いキャリア周波数が超高速伝送を実現するとは限らない

- ・距離  $d$  の2乗で受信電力が減少
- ・キャリア周波数  $f_c$  の2乗で受信電力が減少

$$P_r = \left( \frac{\lambda}{4\pi d} \right)^2 P_t G_t G_r = \left( \frac{c}{4\pi d f_c} \right)^2 P_t G_t G_r$$

受信電力  $P_r$ , 送信電力  $P_t$ , 送受アンテナ利得  $G_t, G_r$ , アンテナ間距離  $d$ , キャリア周波数  $f_c$

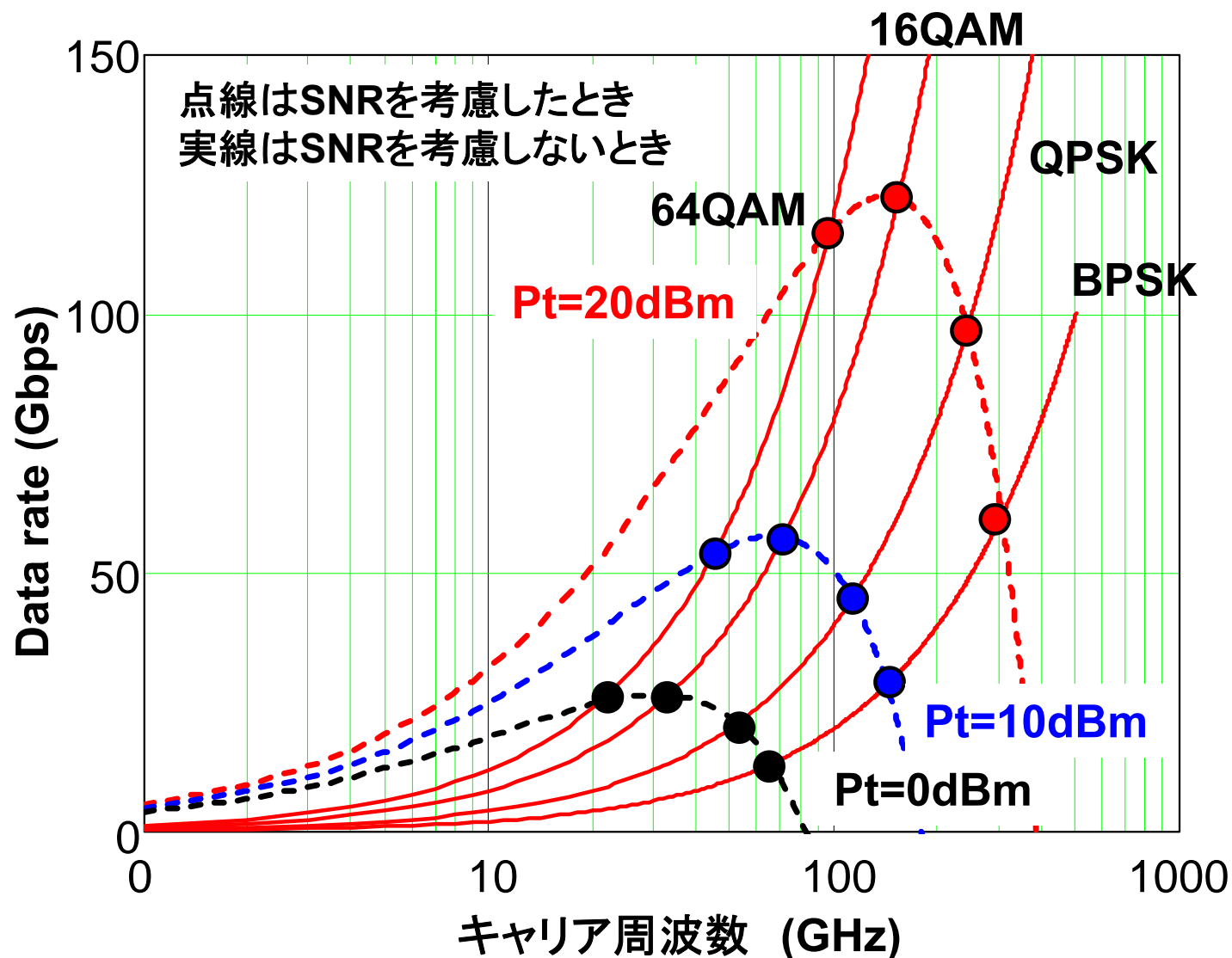
(キャリア周波数を固定すると)

$$P_{\text{eff}} = P_t + G_t + G_r - NF - IL - 20 \log_{10} \frac{d}{1\text{m}} \text{ [dBm]}$$

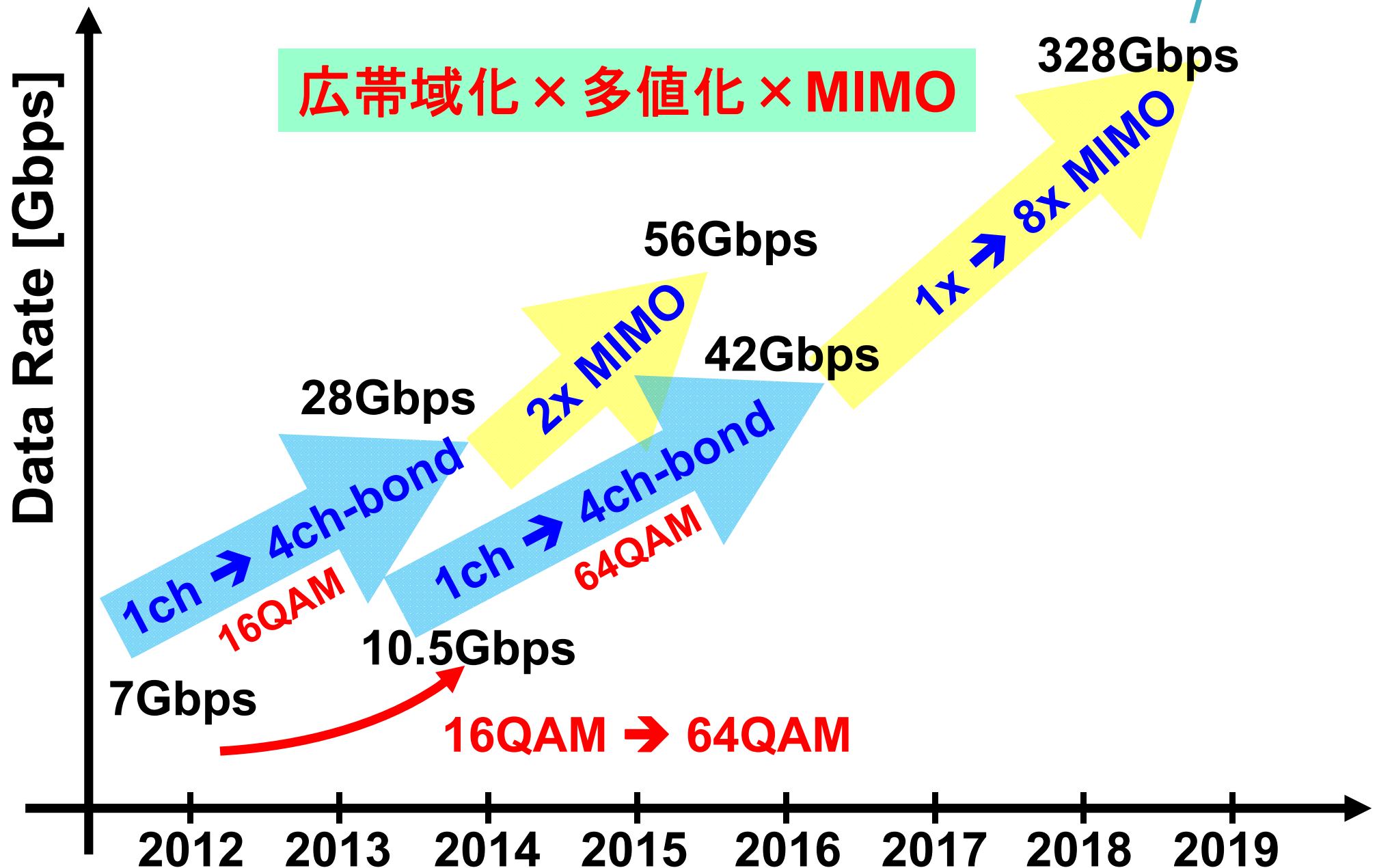
実効受信電力  $P_{\text{eff}}$ , 送信電力  $P_t$ , 送受アンテナ利得  $G_t, G_r$ , 雑音指数  $NF$ , 実装損失  $IL$ , アンテナ間距離  $d$

# 最大伝送レート

ある周波数までは周波数を上げることで伝送レートが向上できる  
しかし、周波数を上げて送信電力の増大がなければ伝送レートは伸びない  
SNR限界では多値化の効果は飽和 16QAMが最大速度を与える



# 300Gbps伝送に向けてのロードマップ / 15





# ADC

ADC開発への要望は依然として高い  
ADCに始まりADCに終わるか？

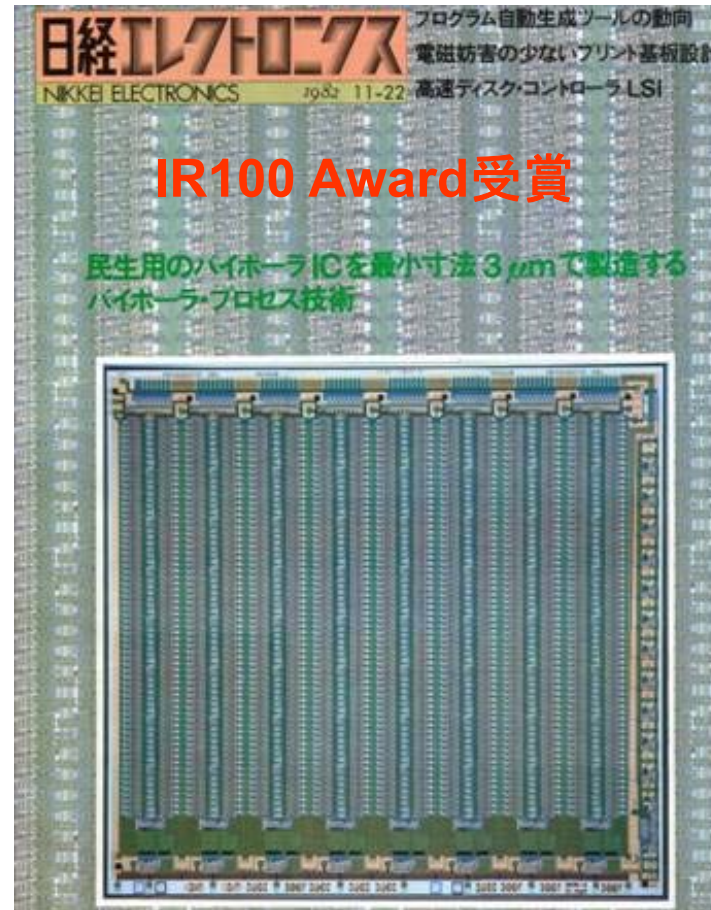
# ADCに始まりADCに終わる？

1981年、世界初のビデオ用10b ADCを開発。  
以来、35年にわたりADCを開発してきた。  
ADC開発には終わりが無いようである。

世界初のデジタルビデオスイッチャー  
256QAM無線伝送  
ソウル五輪のハイビジョン中継などに使用

T. Takemoto and A. Matsuzawa,  
JSC, pp.1133-1138, 1982.

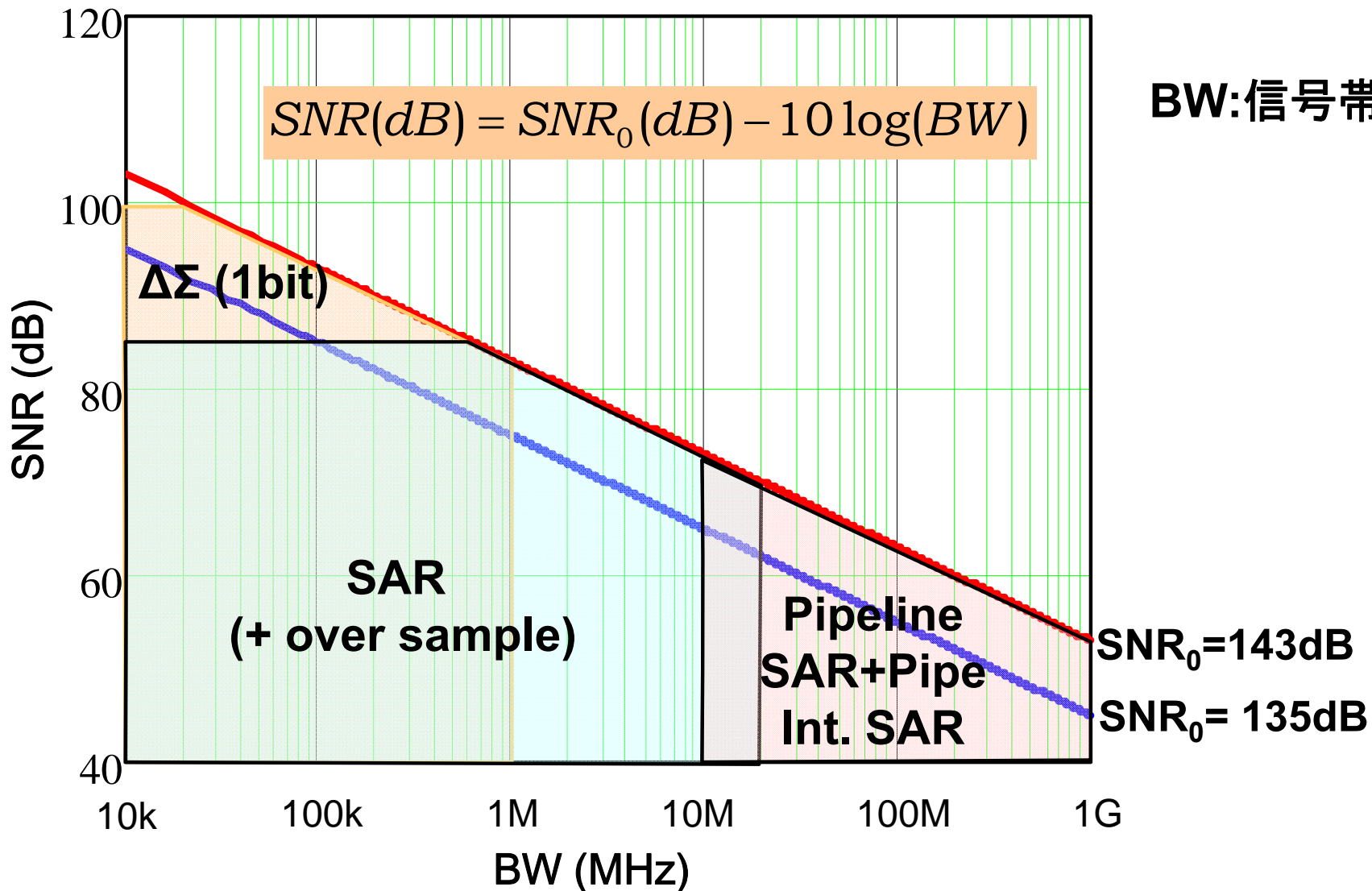
Bipolar (3 $\mu$ m)  
10b, 20MS/s, 2W  
\$ 800



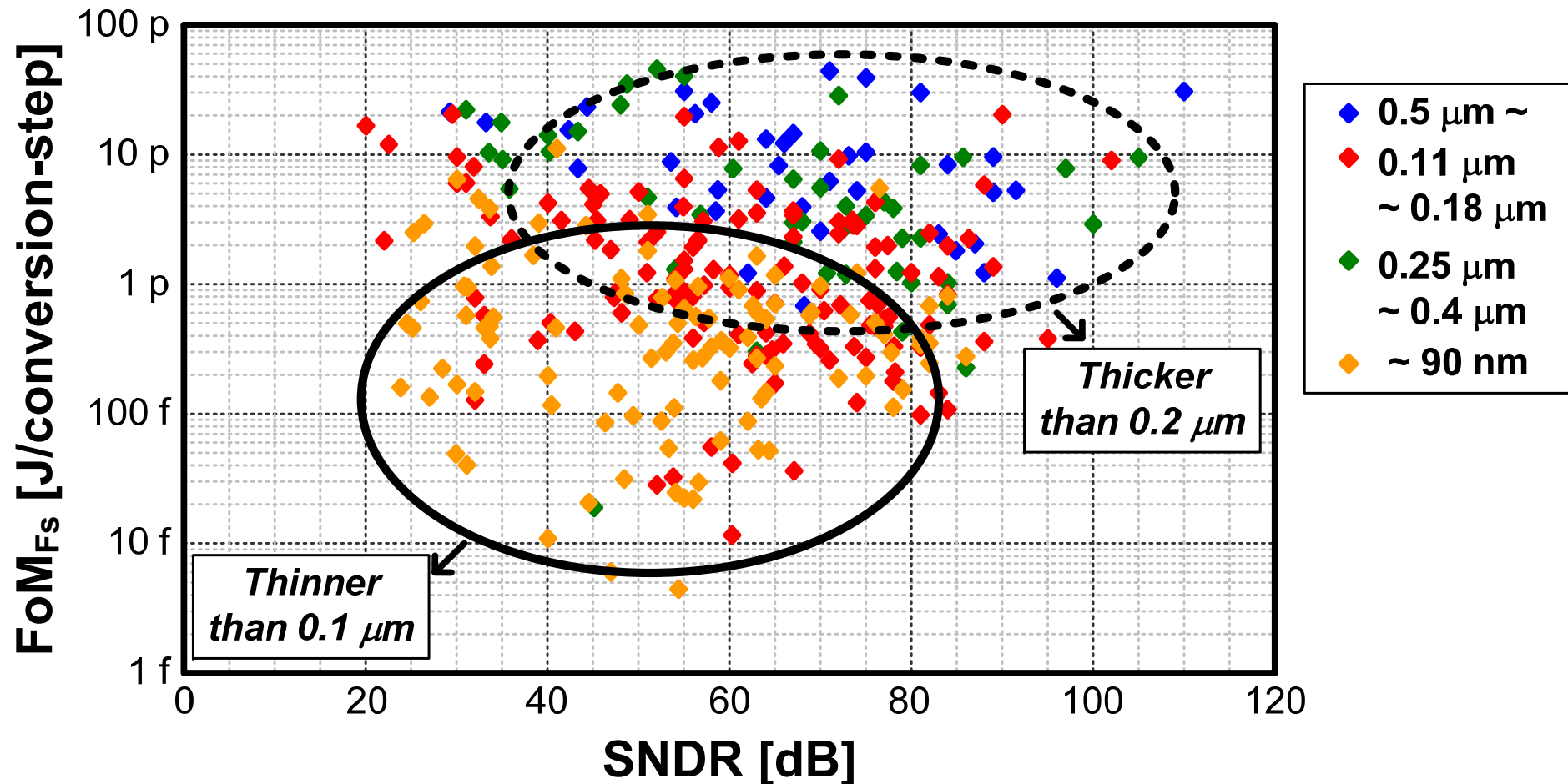
# ADCの性能推移

SNRが84dB以上(上限は100dB程度)の場合は $\Delta\Sigma$ 型ADC

信号帯域が20MHz以上でSNRが40dB以上の場合はPipe, SAR Pipe, Int. SAR  
それ以外の領域ではSAR ADCが汎用的に使用できる



FoM(動作エネルギー)の減少は微細化が寄与している。  
ただし、高SNDRにおいてはさほど寄与していない。



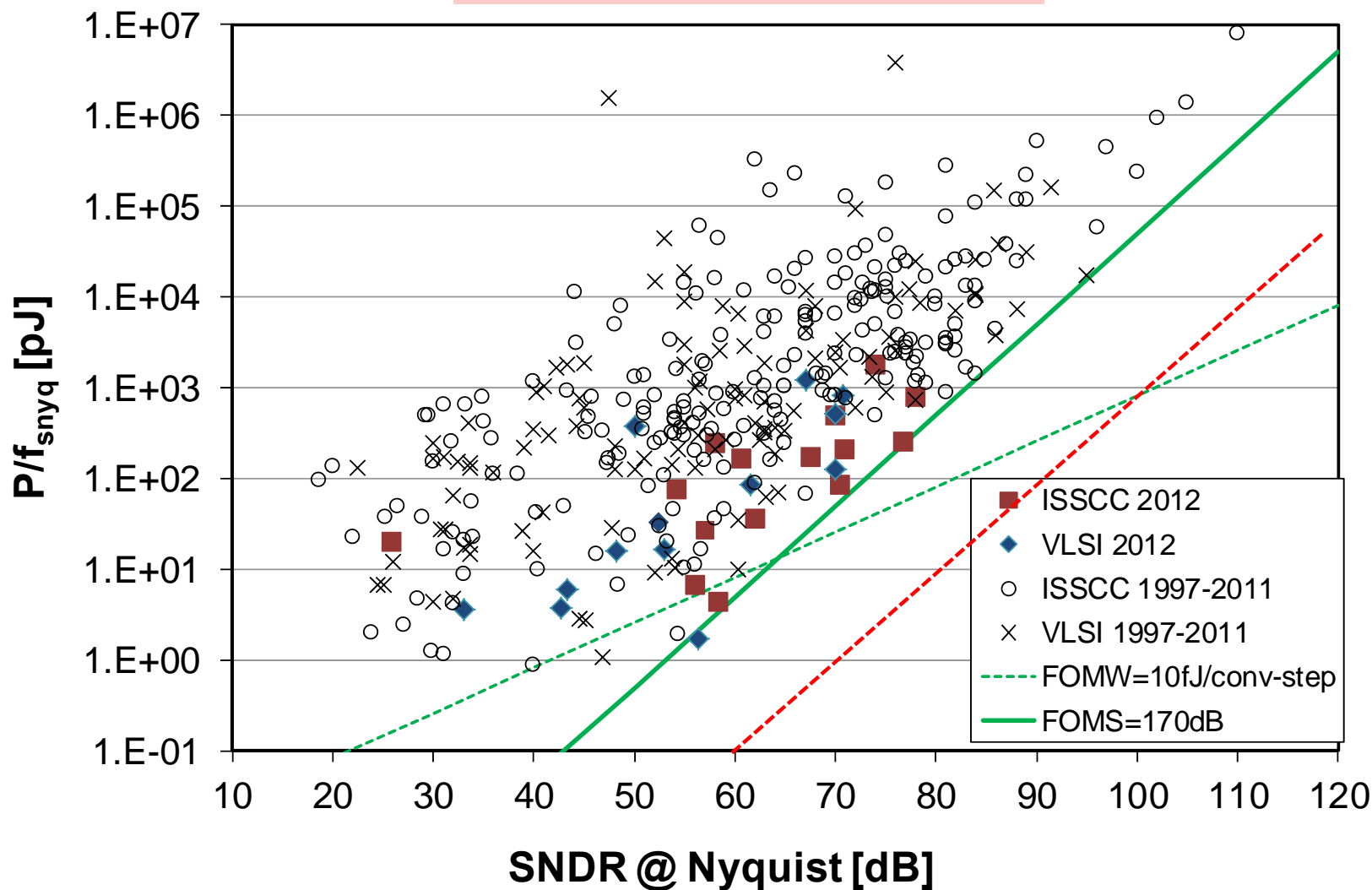
B. Murmann, "ADC Performance Survey 1997-2011," [Online].

# ADCの開発傾向：SNDRと $P_d/f_s$

SNDRと変換エネルギーは比例する。現状は理論限界に迫っている。

理論限界

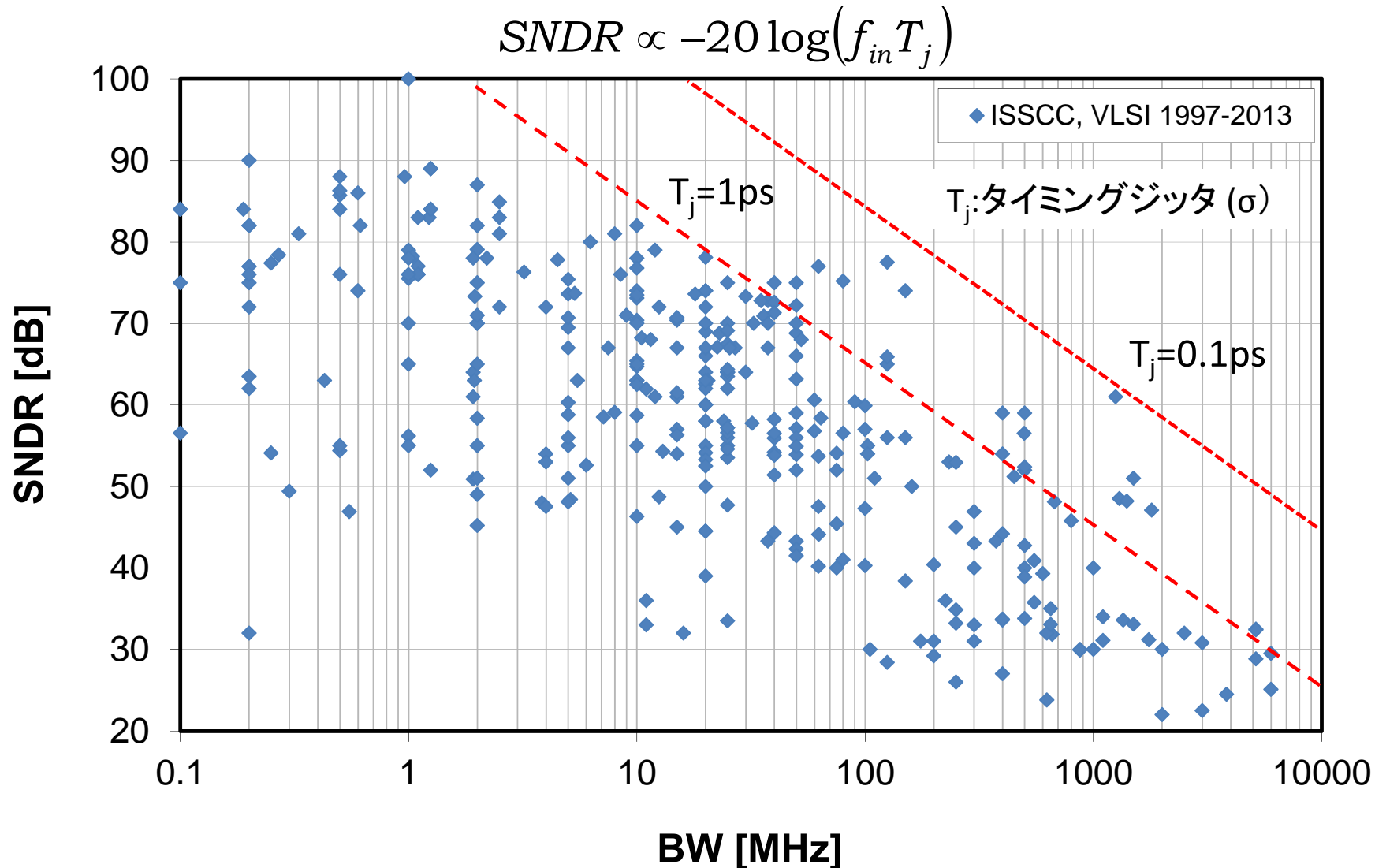
$$E_{ADC} = N \times 2^{2N} \times 10^{-19}$$



現在の最前線

理論限界

信号帯域が広いほどSNDRは劣化する。  
最近ではジッタ換算でサブpsの領域に入っている。



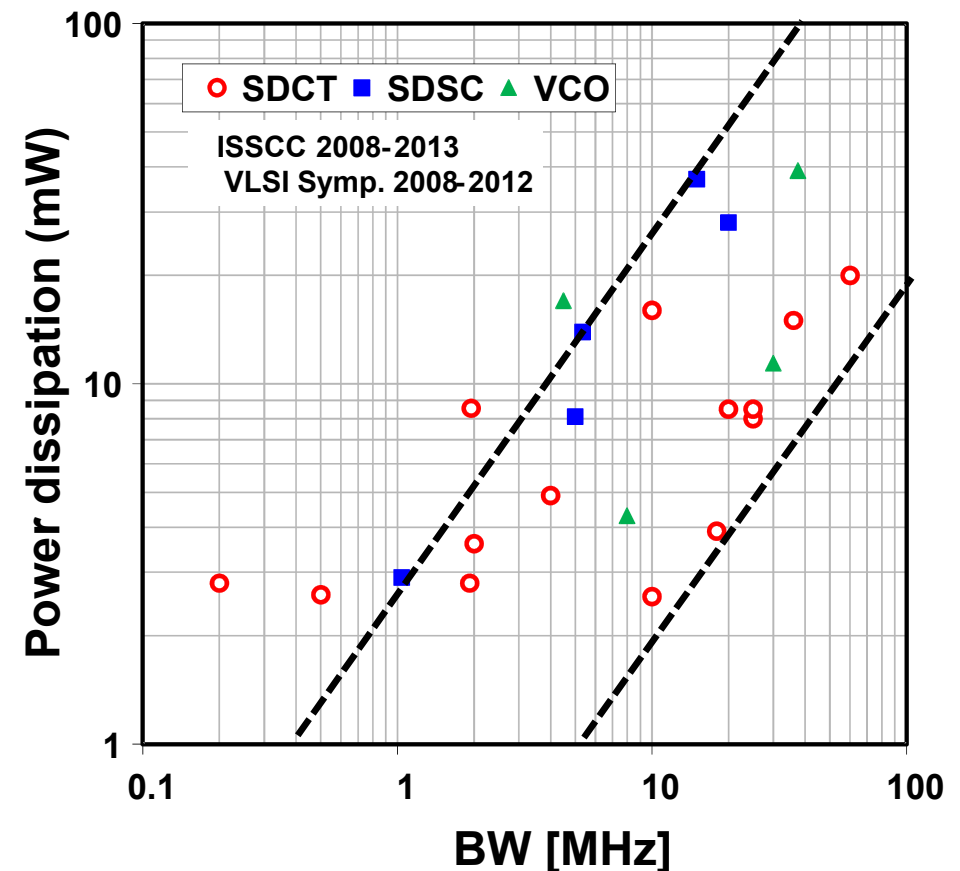
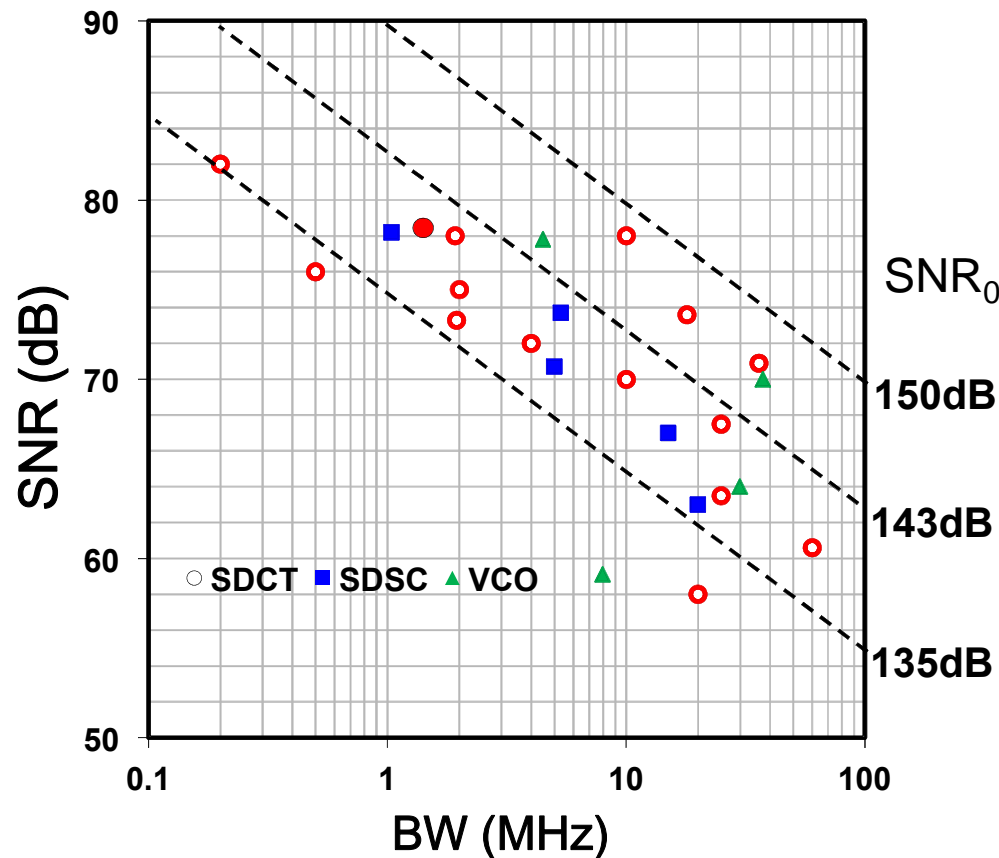
# スケーラブル 12bit SAR ADC



信号帯域が広いときはSNRは下がっても良いが、信号帯域が低い場合は高いSNRを実現。消費電力は変換周波数に比例するようなADCが欲しい

無線通信用ADCのSNRは信号帯域に反比例し消費電力は信号帯域に比例する

$$SNR \approx SNR_0 - 10 \log(BW) \quad P_d \approx K_1 \cdot BW \quad K_1: 0.2 \text{ -- } 3 \text{ (mW/MHz)}$$

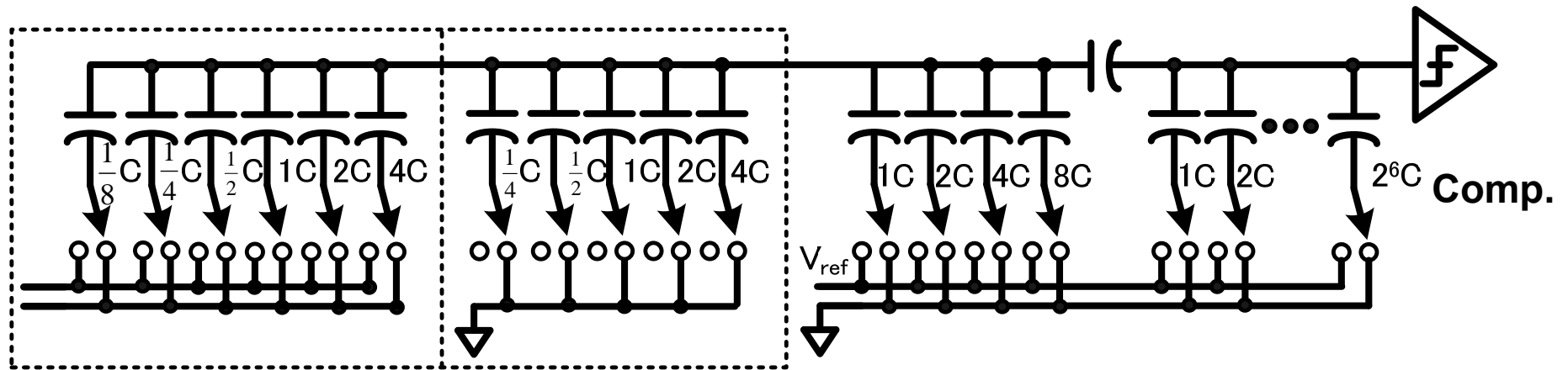


Matsuzawa, A. "Digitally-Assisted Analog and RF CMOS Circuit Design for Software-Defined Radio," Chapter 7, Springer 2011.

# SAR ADC : 汎用ADC

SAR ADCは最も低いエネルギーで動作するADCである。  
このSARを汎用ADCとして用いたい。

容量ミスマッチや寄生容量によるリニアリティ劣化はデジタル的に補償する



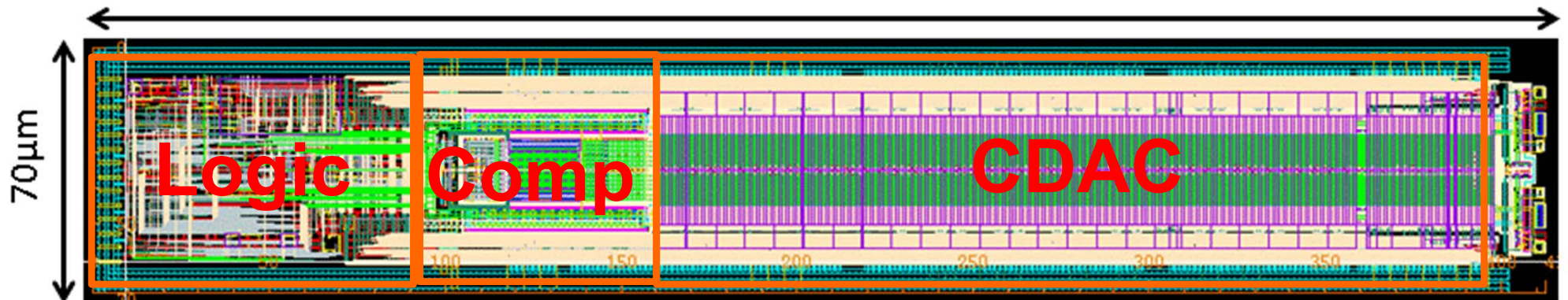
容量補正

シリアル容量補正

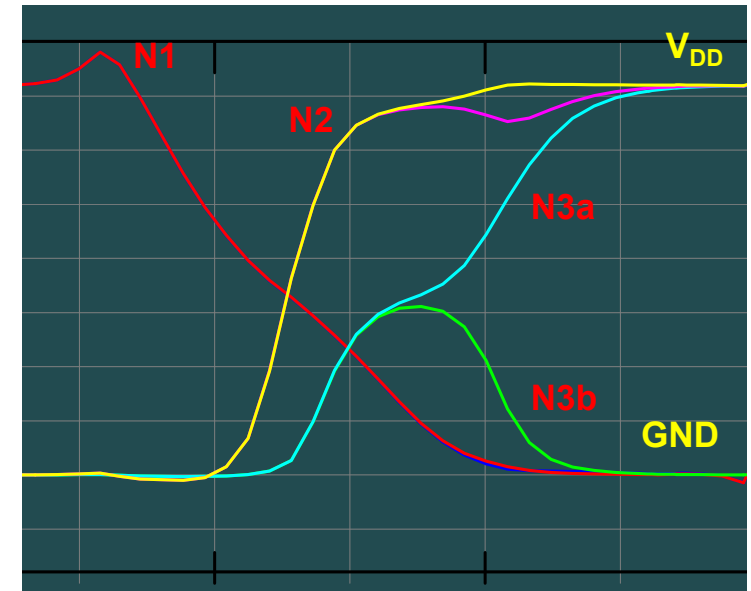
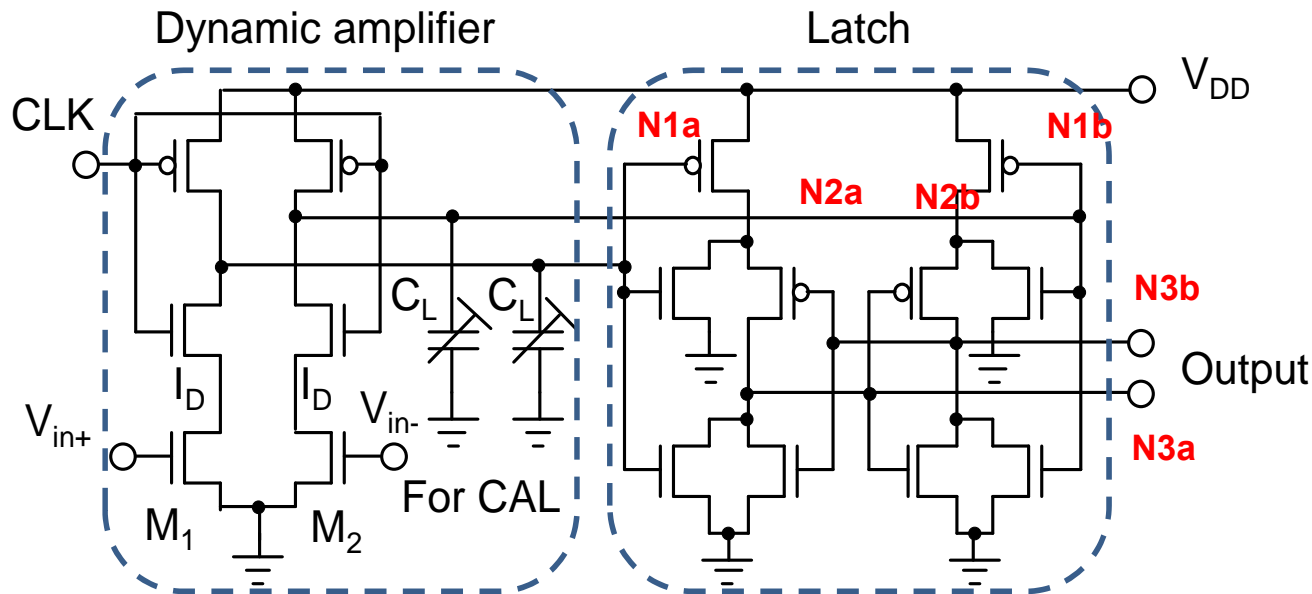
12bit, 65nmCMOS, 0.03mm<sup>2</sup>

420μm

S. Lee, A. Matsuzawa, SSDM 2013



ダイナミック型比較器はCMOSロジックと同様貫通電流がゼロで動作する。最大4GHzの動作が可能だが、数Hzの低速でも動作する。ノイズが大きく10bit以上の高分解能化が困難であったが、低ノイズ回路の開発により12bitの高分解能化が可能となった。



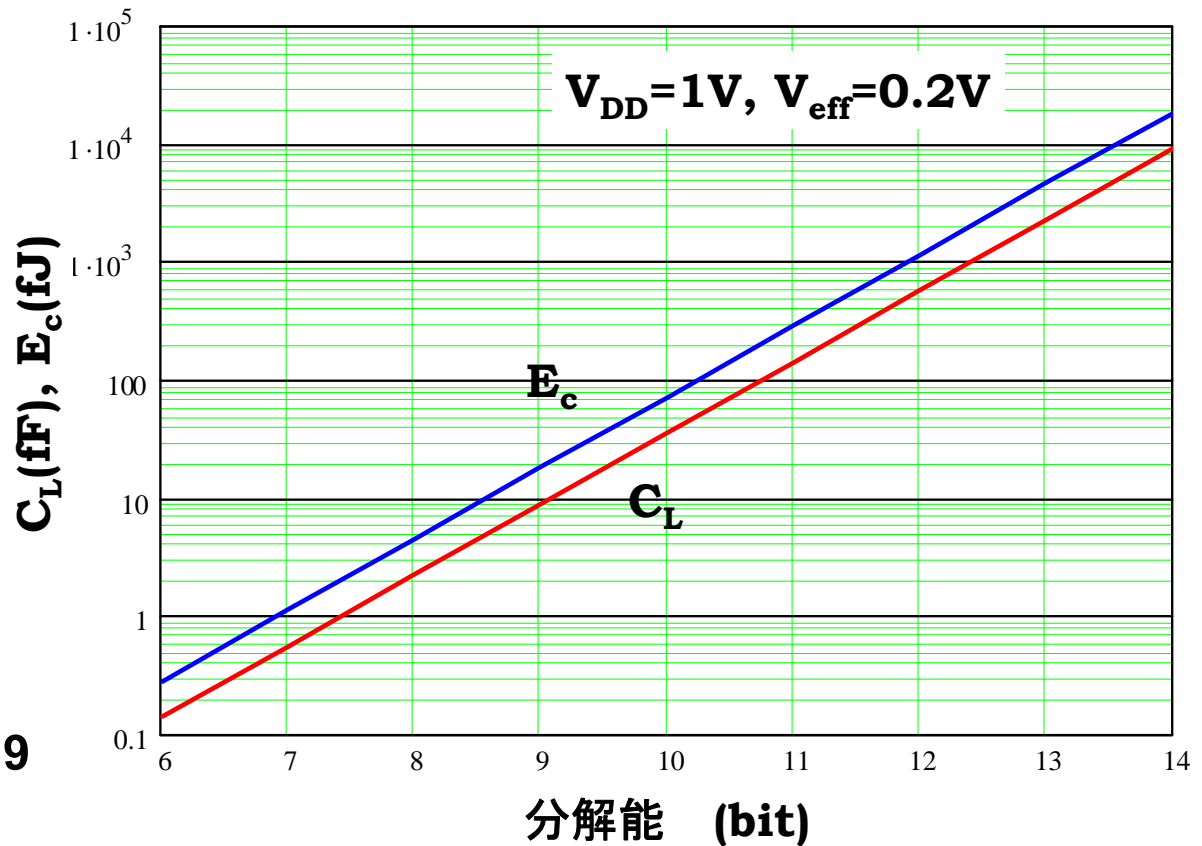
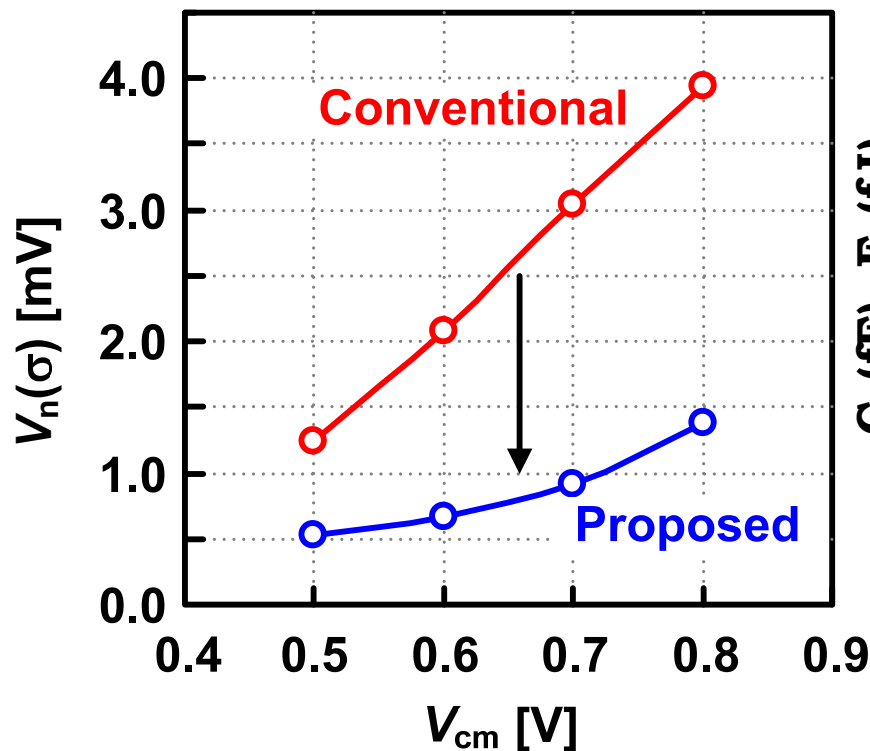
M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira Matsuzawa, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," A-SSCC, 5-3, pp. 141-144, Taiwan, Taipei, Nov. 2009.

ダイナミック型比較器の構成をラッチの前にCMOS増幅器を設けた構成にすることで、ノイズを低減させた。またノイズレベルが負荷容量でほぼ決定されることを見出し、ノイズと消費電力の最適化指針を導いた。

$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

分解能と負荷容量 $C_L$ ，消費エネルギー $E_c$

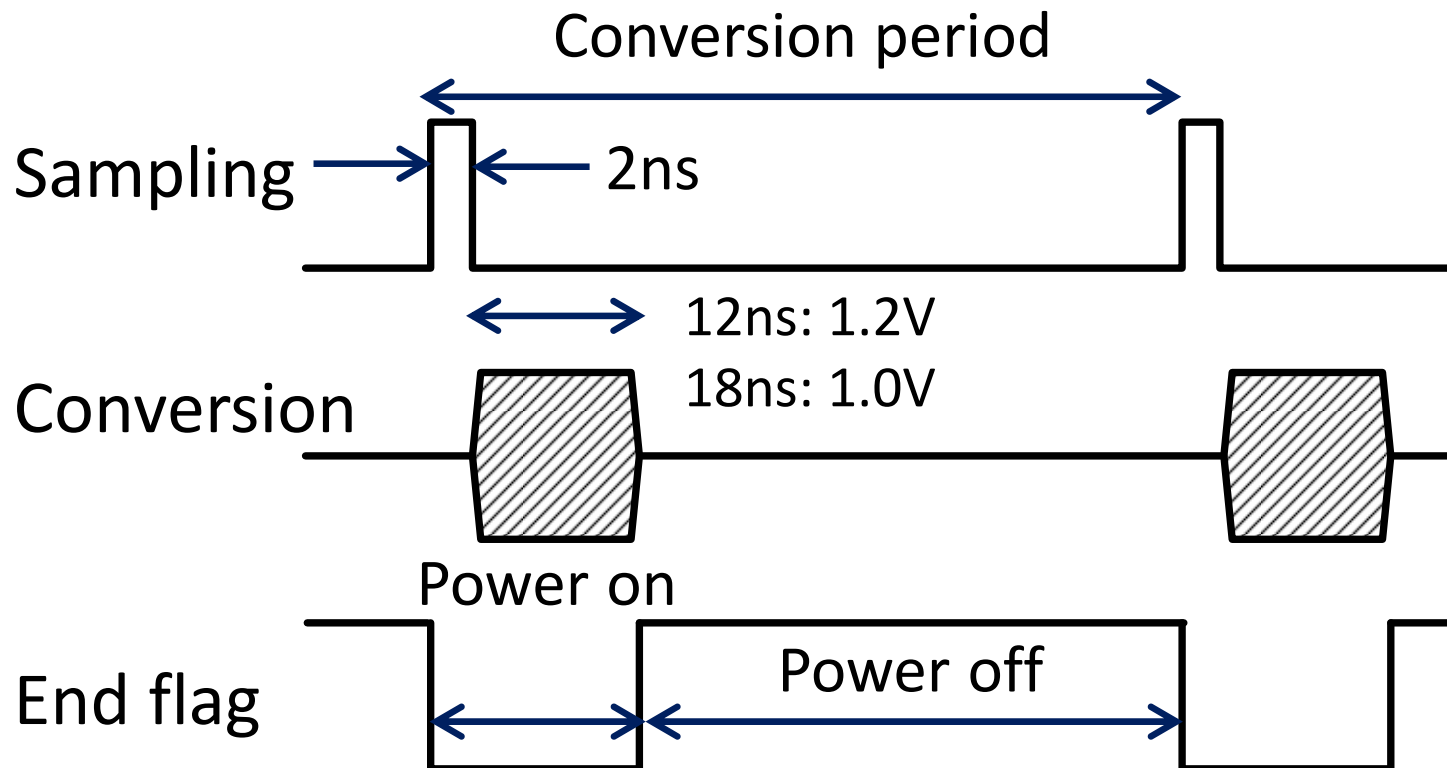


A. Matsuzawa, ASICON 2009, pp. 218-221, Oct. 2009.

サンプリングパルスが入力され、立下りエッジにより逐次比較動作が開始，12回の変換が行われると変換終了フラグが立つ。変換に要する時間は12 -- 18ns程度しかかからない。残りの時間は回路をオフしてリーク電流を遮断できる。

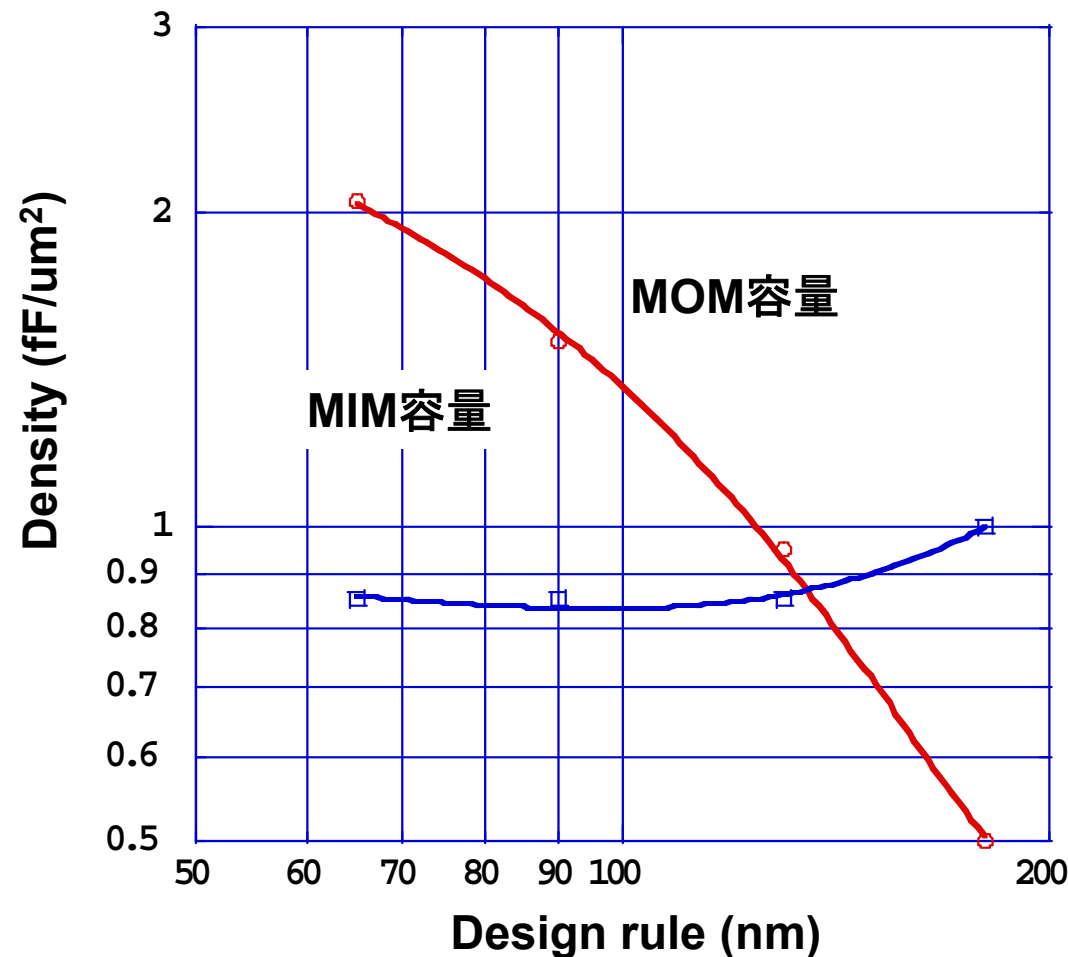
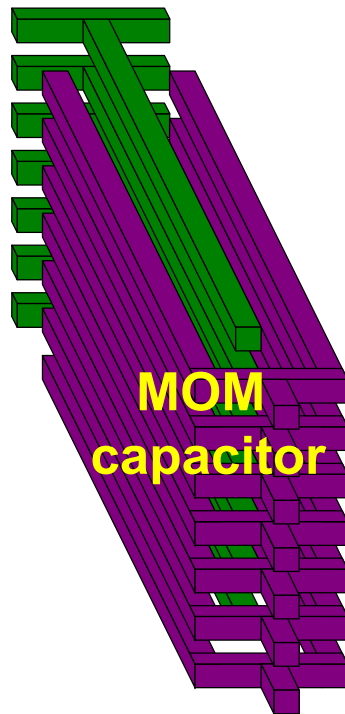
消費電力はサンプリング周波数に比例

$$P_d = f_s \times E_d$$

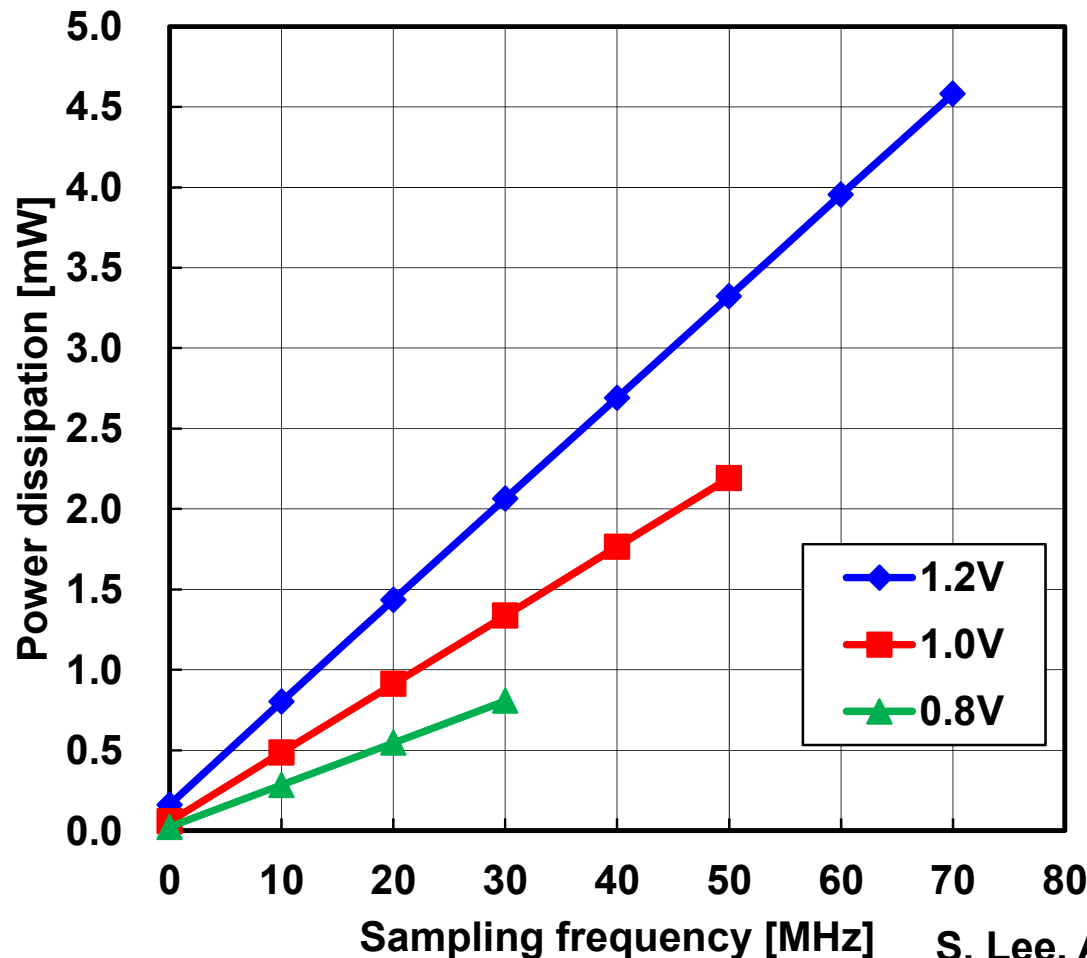


MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

**MOM容量により微細化とともに容量部の面積縮小が可能である**



完全なダイナミック動作により、ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。低い変換周波数では低電圧動作により、より低電力化が可能である。70MSpsの高速動作を実現。



50MSps: 2mW  
5MSps: 200uW  
500KSps: 20uW  
50KSps: 2uW  
5kSps: 0.2uW

S. Lee, A. Matsuzawa, et al., SSDM 2013

- 最高変換速度: 70MSps
- 最低動作電圧: 0.8V
- 最小消費電力: 2.2mW at 50MSps
- 最小FoM: 28fJ
- 最小面積: 0.03mm<sup>2</sup>

## 12bit SAR ADCs

	This work			[3]	[4]
Resolution (bit)	12			12	12
V <sub>DD</sub> (V)	0.8	1	1.2	1.2	1.2
f <sub>sample</sub> (MHz)	30	50	70	45	50
P <sub>d</sub> (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm <sup>2</sup> )	0.03			0.06	0.1

S. Lee, A. Matsuzawa, et al., SSDM 2013.

[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

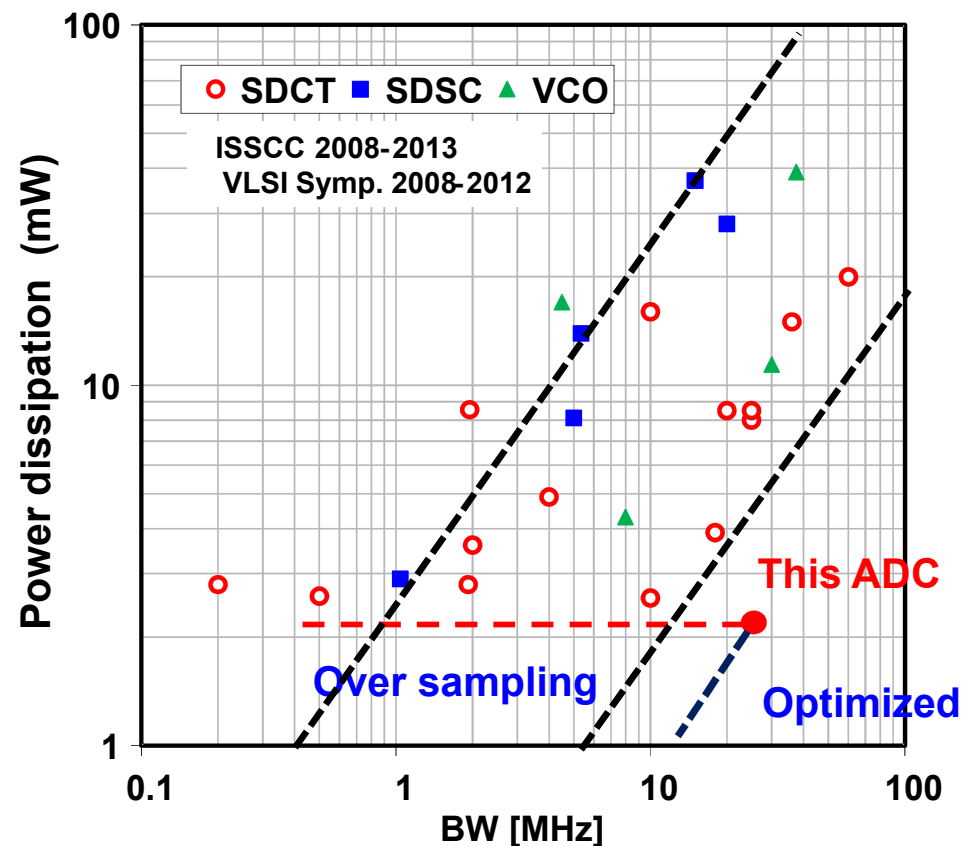
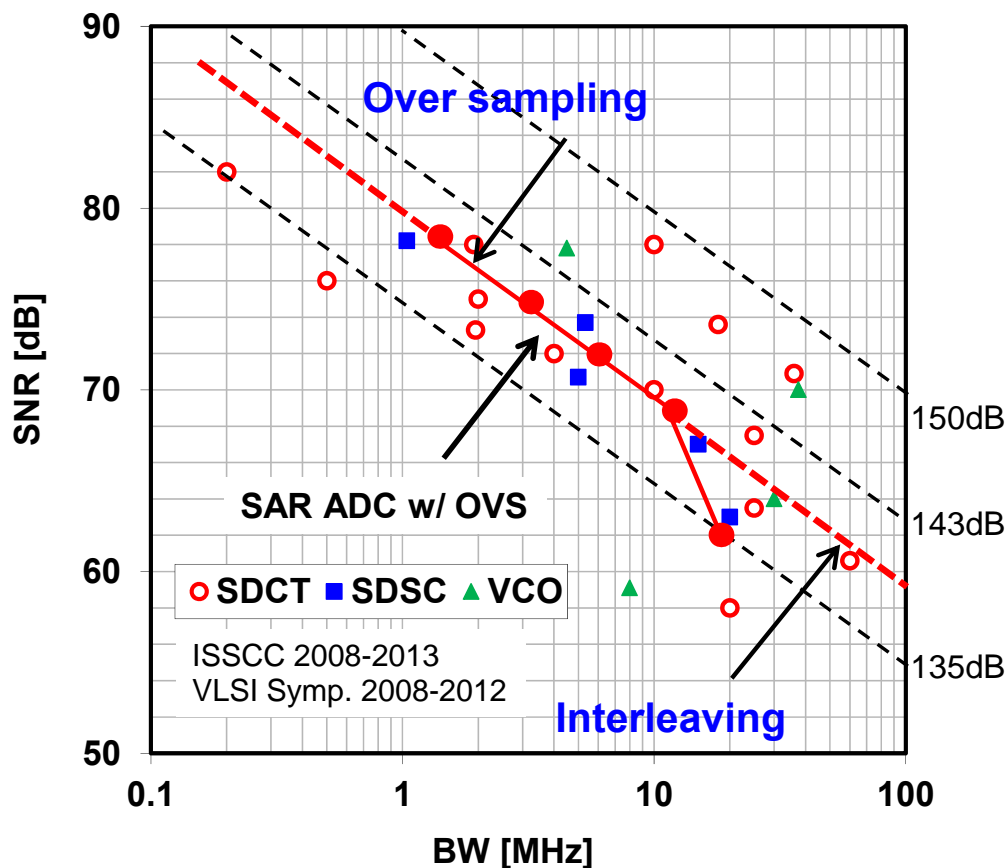
[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.



SNRは信号帯域が20MHzで62dB, デジタルフィルタで信号帯域を制限することでSNRを向上できる。帯域1MHzで78dBのSNRを実現  
 高い信号帯域に対してはインターリーブで対応の予定。  
 消費電力はこれまでの通信用ADCに比べ最少。

S. Lee, A. Matsuzawa, et al., SSDM 2013

1V, 50MSps Operation

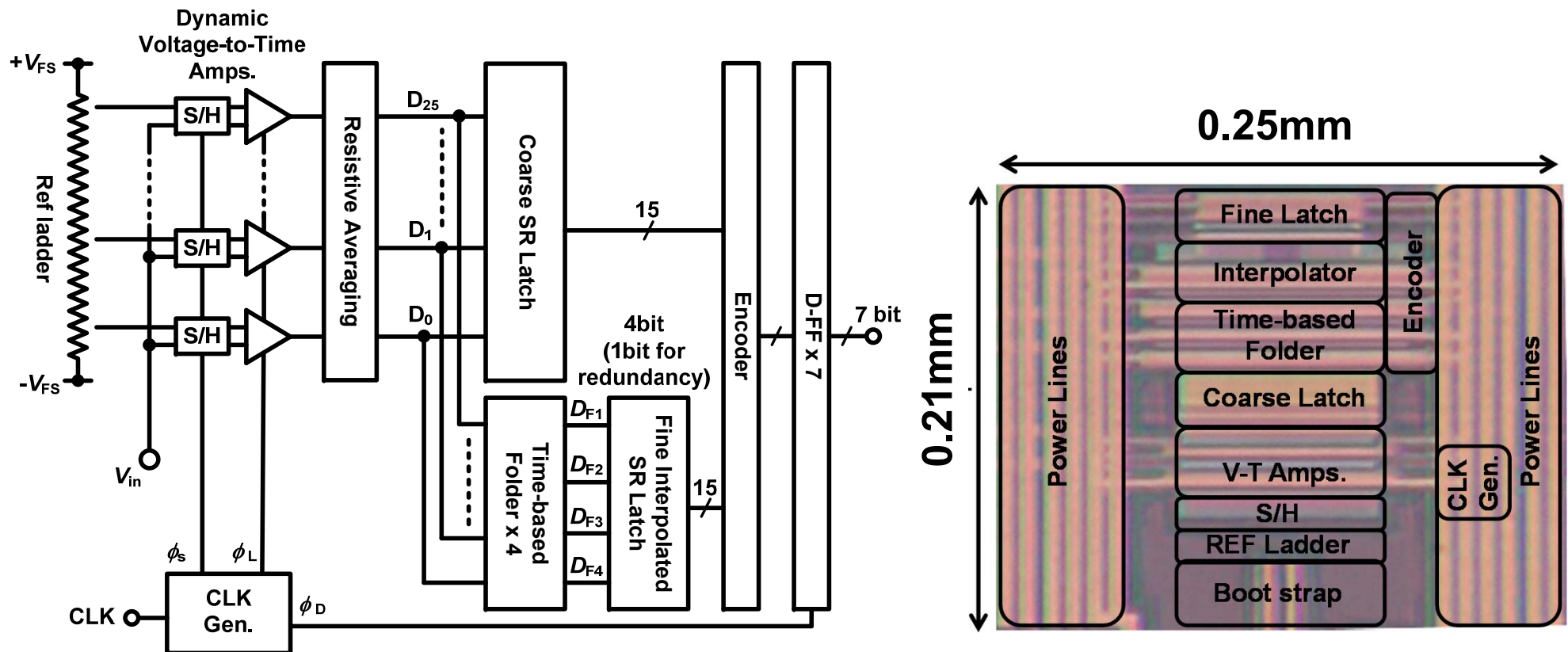


# 時間領域処理を用いた 7bit 2.2GSps ADC

# ABB用7bit 2.2GSps ADCの開発

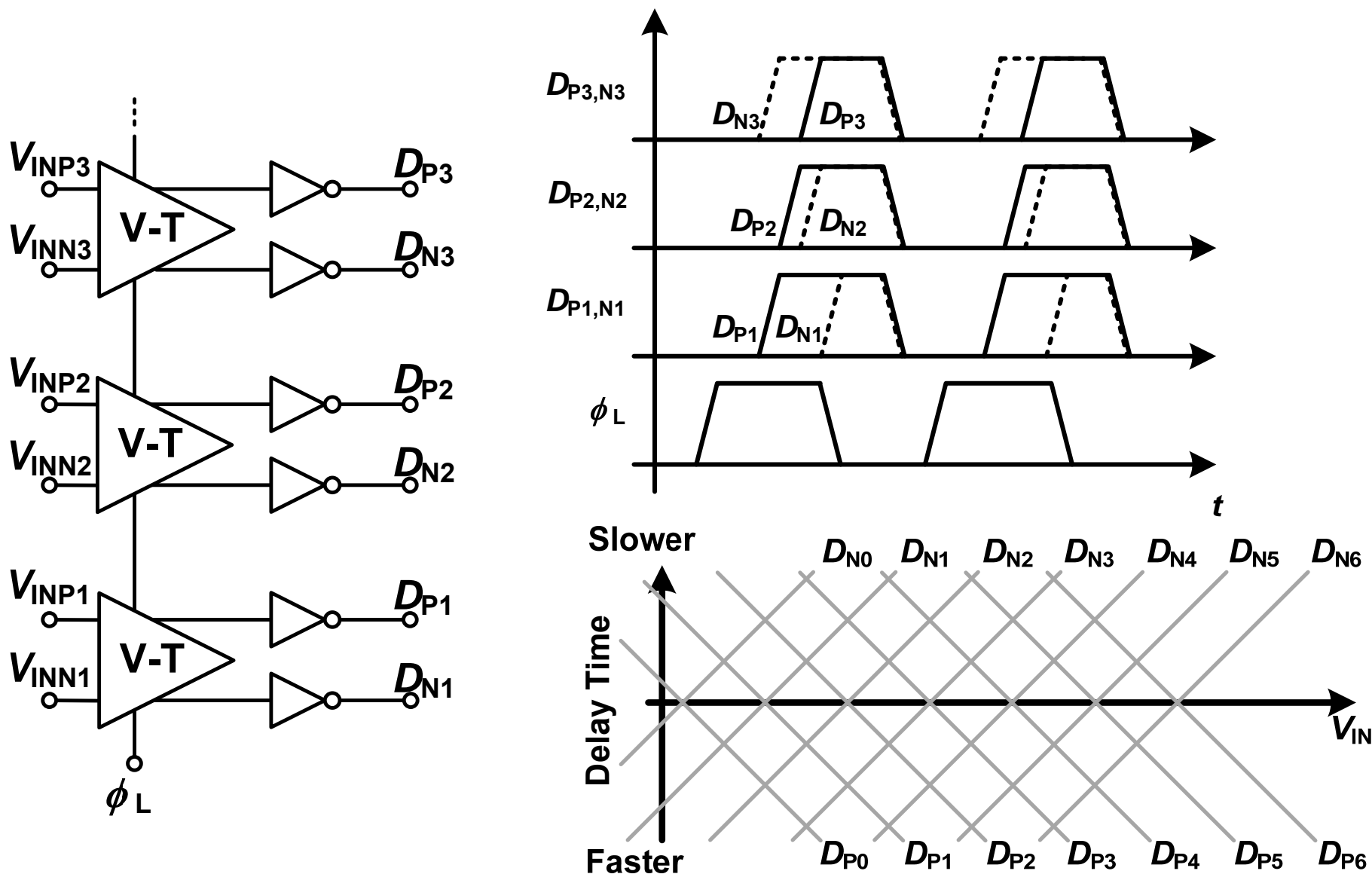
- ・ 16QAM用7bit ADC
- ・ ダイナミックアンプで電圧を時間差信号に変換
- ・ 時間差信号をロジックセルを用いて折り返し特性を実現

M. Miyahara, A. Matsuzawa, ISSCC 2014



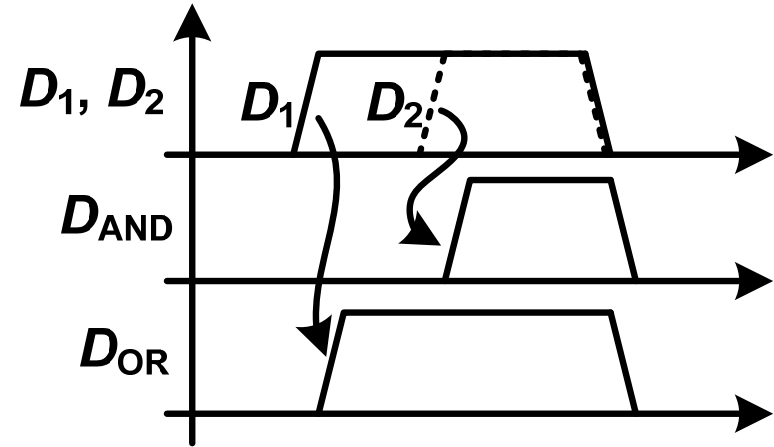
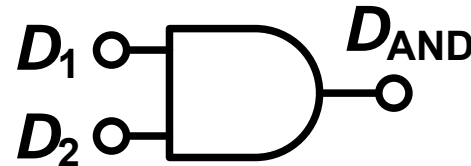
# 電圧差から時間差への変換

ダイナミックアンプでは電位差の大きな入力ほど早く信号が出力されることを用いて、電圧差から時間差に変換している。

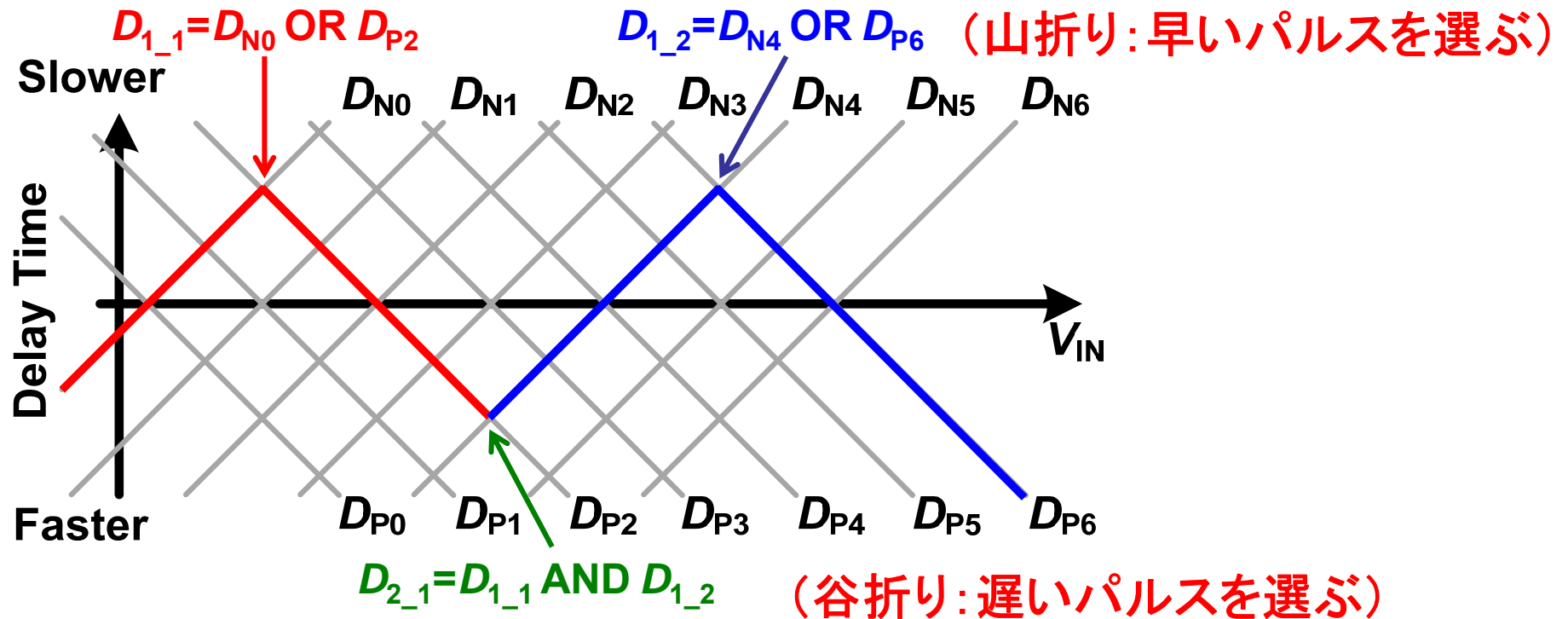
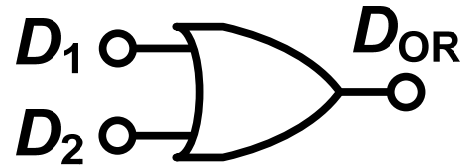


タイミング上の折り返しは簡単な論理回路で実現できる

AND: 遅いパルスを選ぶ

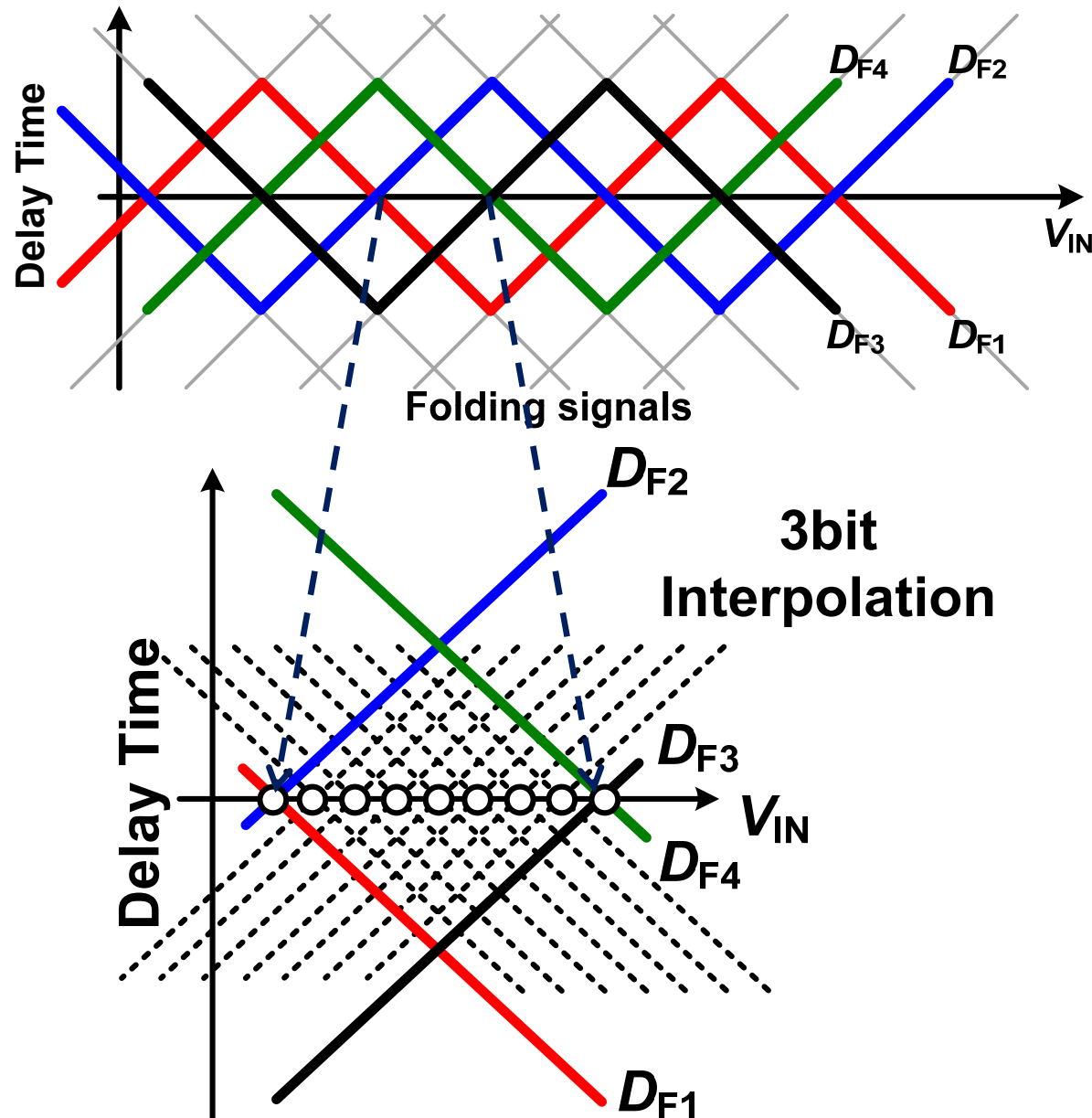


OR: 早いパルスを選ぶ



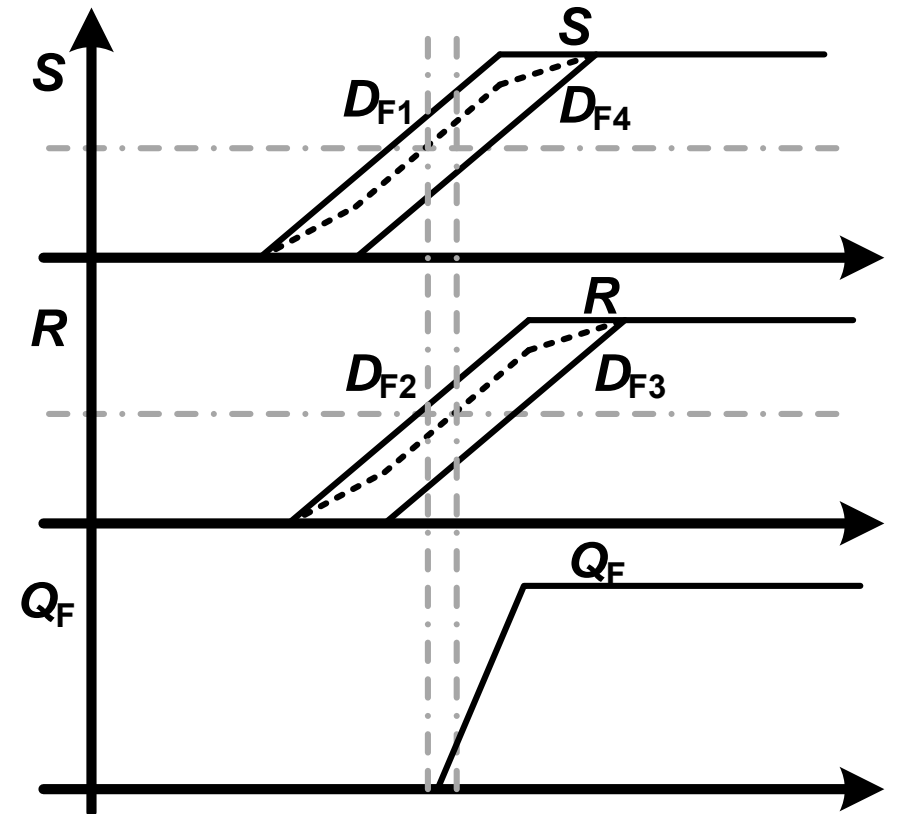
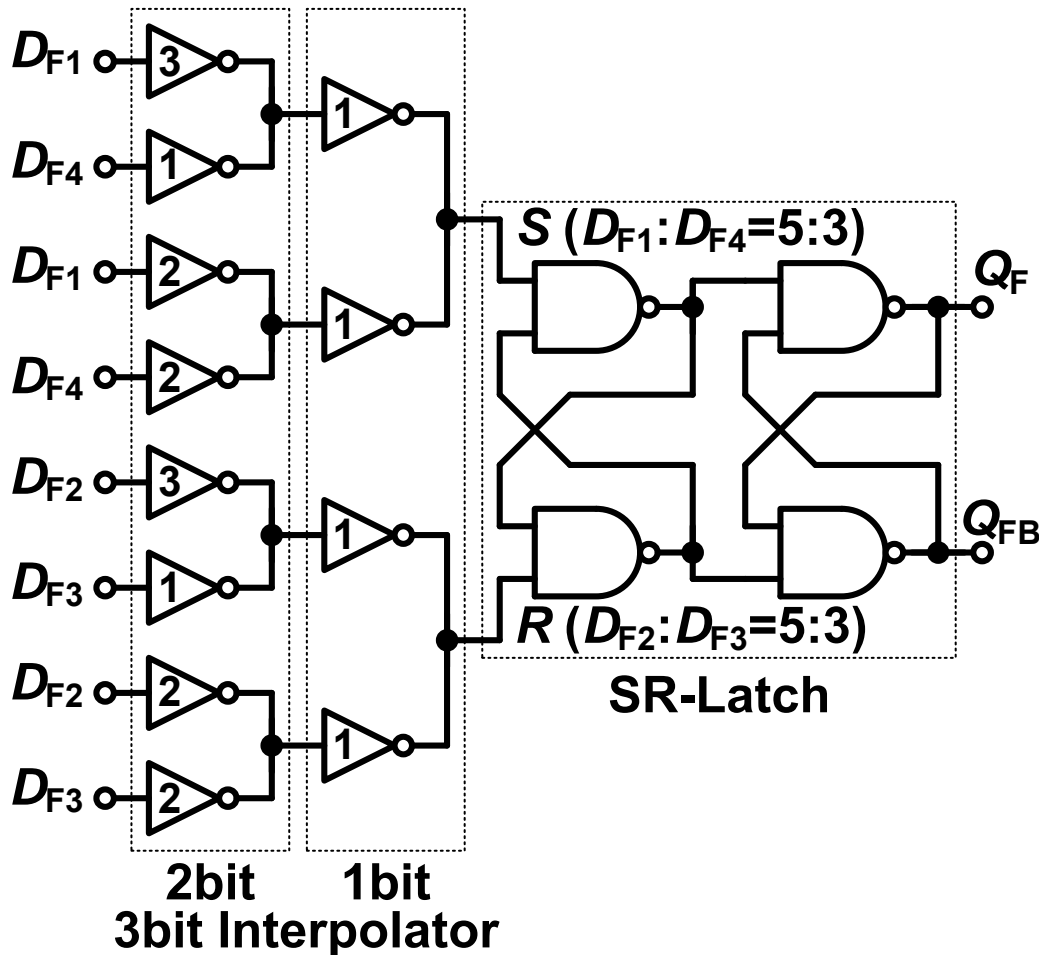
# 折り返し信号間の補間

折り返し信号間を補間することで、高精度なA/D変換が可能になる



重みづけされたインバータで補間を実現し  
SRラッチでタイミングの比較を行う。

時間領域では簡単なロジック回路で各種演算が行える。



SR-Latch response in the case of interpolation ratio of 5:3

[6] D. Miyashita, et al., VLSI symp. 2011

2GS/s以上のFlash型ADCとして最も高いSNDR =37.4dBを達成  
キャリブレーション回路無しで動作可能。

消費電力が大きいが、最適化で半減は可能

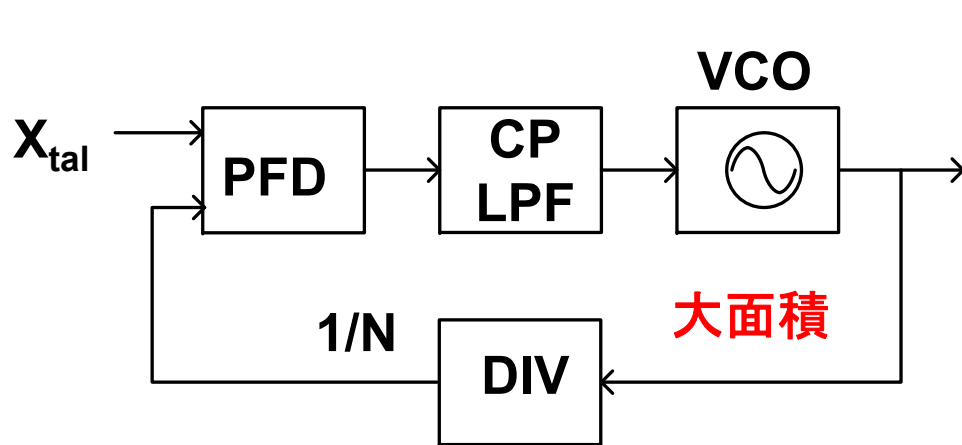
	ISSCC 2008 [3]	VLSI 2012 [8]	VLSI 2013 [9]	This work
Technology	90nm	40nm	32nm SOI	40nm LP
Resolution [bit]	5	6	6	7
Power Supply [V]	1	1.1	0.85	1.1
Sampling Frequency [GS/s]	1.75	3	5	2.2
Power Consumption [mW]	2.2	11	8.5	27.4
SNDR @Nyquist [dB]	27.6	33.1	30.9	<b>37.4</b>
FoMw [fJ/conv.-step]	64.5	99.3	59.4	210
FoMs [dB]	143.5	144.4	145.6	143.3
Core area [mm <sup>2</sup> ]	0.0165	0.021	0.02	0.052
Calibration	Off chip	Foreground	Off chip	<b>No need</b>



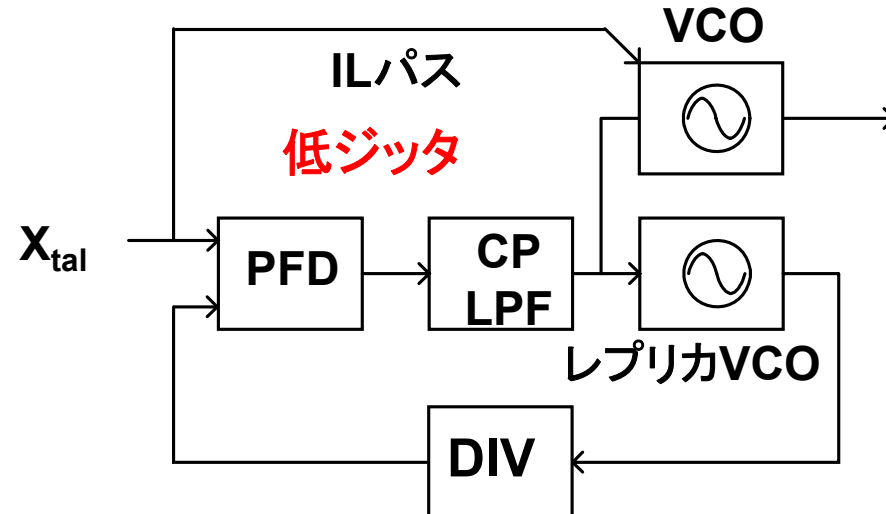
# PLL

正確な周波数とタイミングを作り出すPLLの  
技術革新は今後も続く

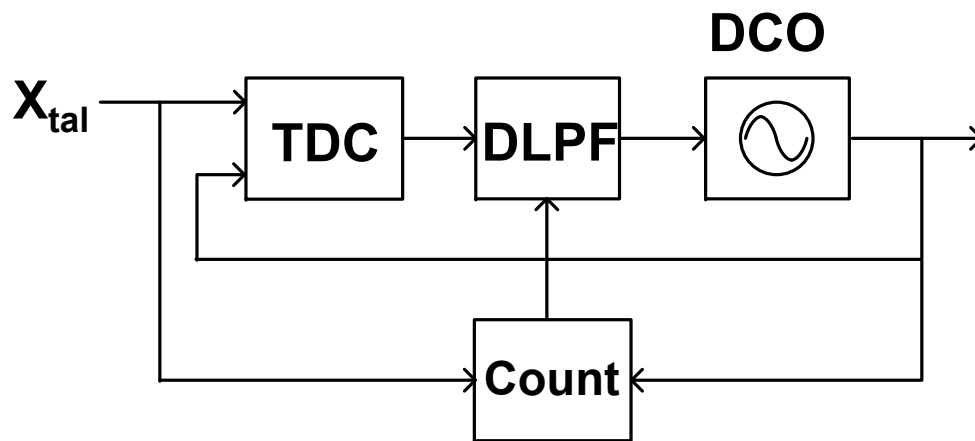
## PLL技術の革新はまだまだ続く



(a) 通常のチャージポンプPLL

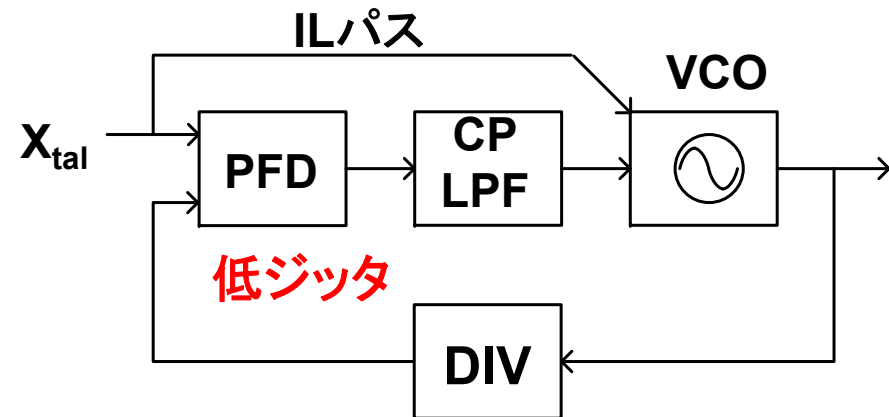


(b) インジェクションロック (IL) PLL  
(レプリカVCOを使用)



(d) 完全デジタル PLL  
(サブサンプリング技術を使用)

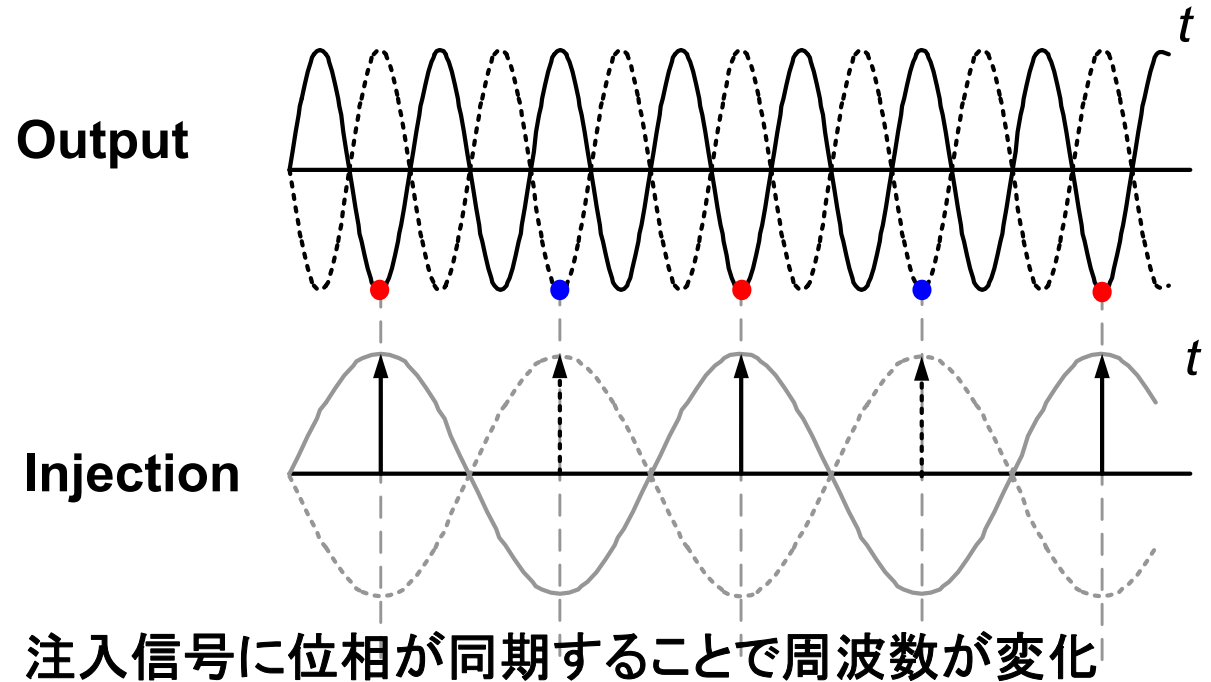
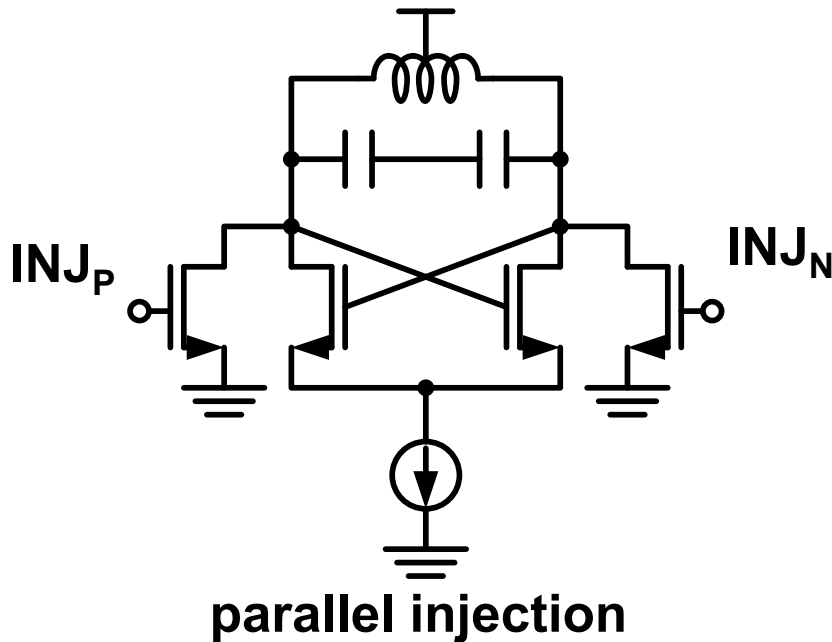
小面積, 低ジッタ



(c) インジェクションロック (IL) PLL  
(レプリカVCOを不使用)

小面積, 低電力

注入同期により、高い周波数の発振器の位相を、より低い発振器で制御することができる。

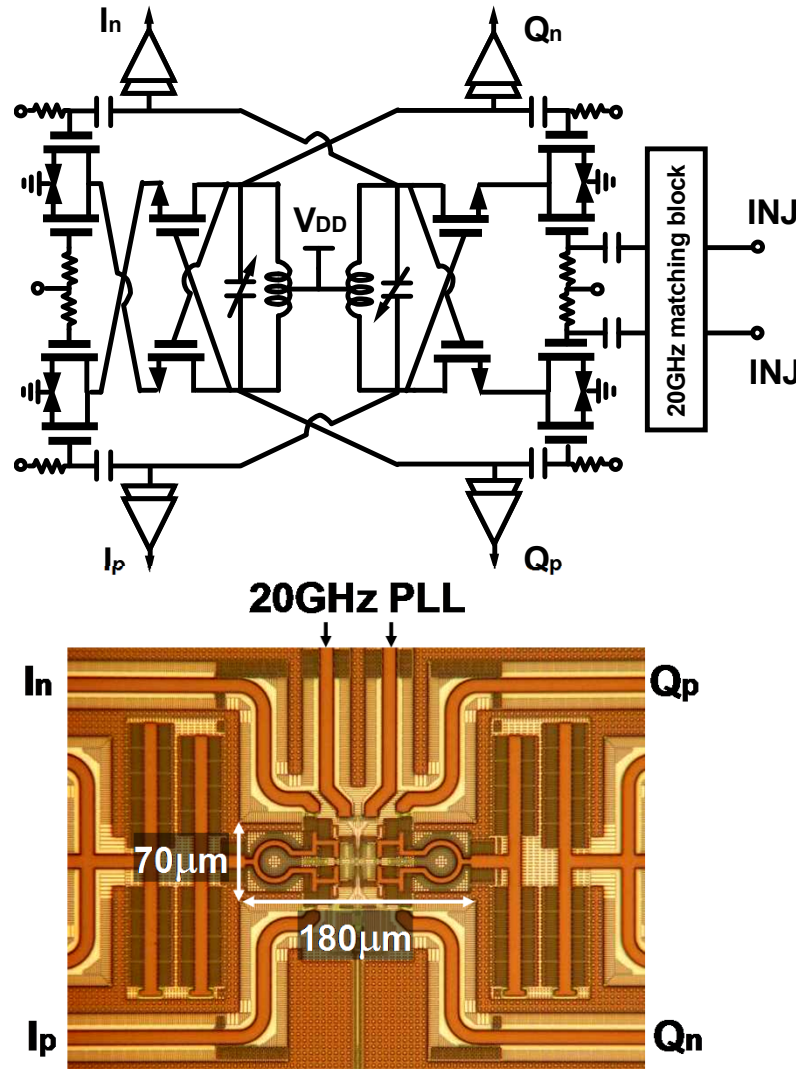


- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きく見える

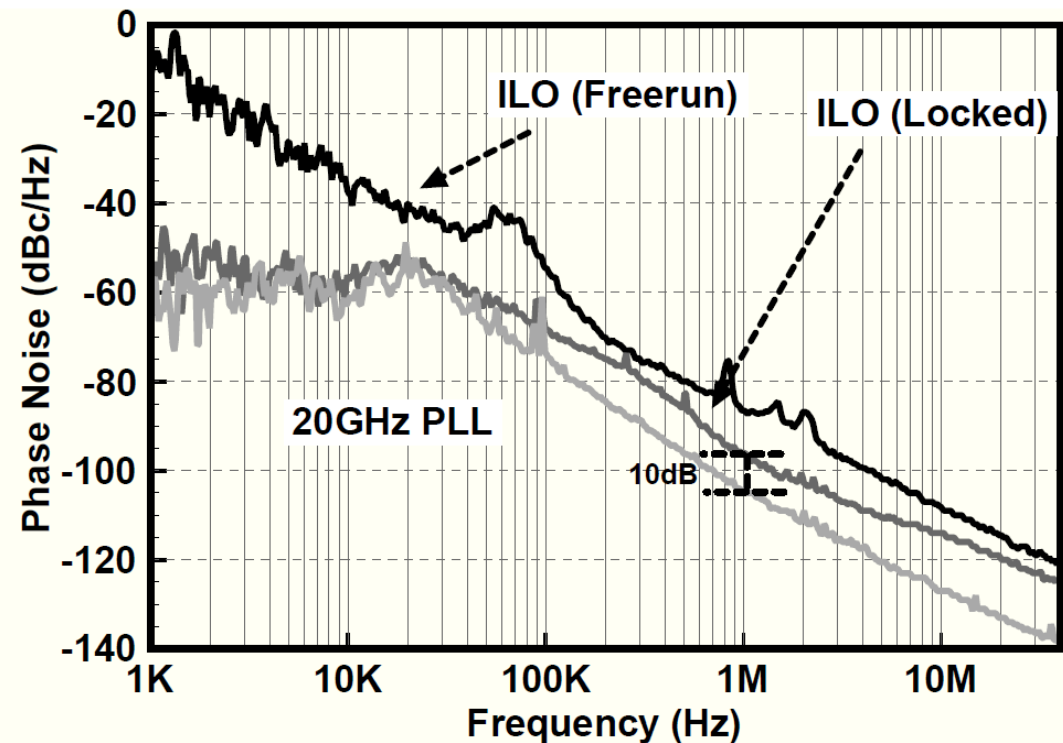
逡倍器の位相雑音  $PN_{ILO} = PN_{INJ} + 20 \log(N)$   $N$ :逡倍数

ロックレンジ 
$$\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{OSC}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{OSC}^2}}}$$
  $N=3$ のとき 9.5dB

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで  
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。  
ダイレクトコンバージョンや64QAMが可能となった。



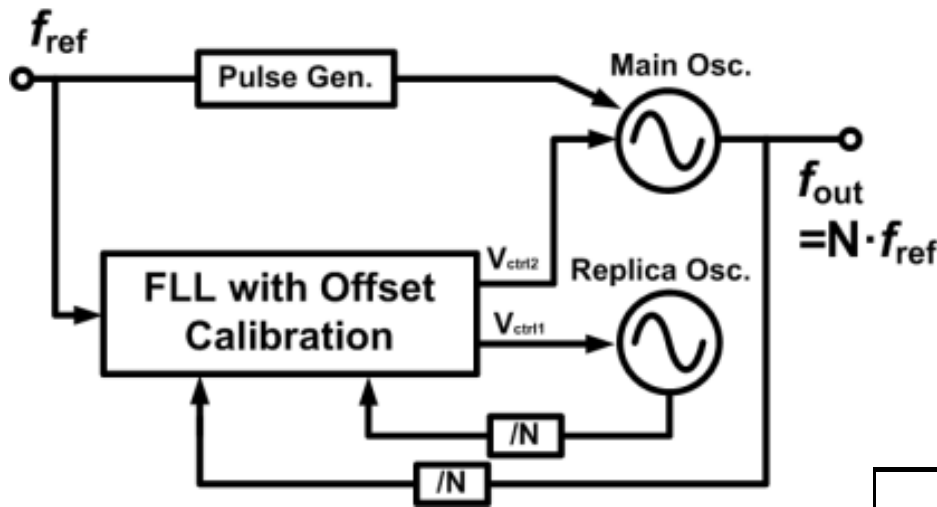
それまでの60GHz 直交VCOの位相ノイズは  
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, in A-SSCC  
Dig. Tech. Papers, pp. 101–102, Nov. 2010.

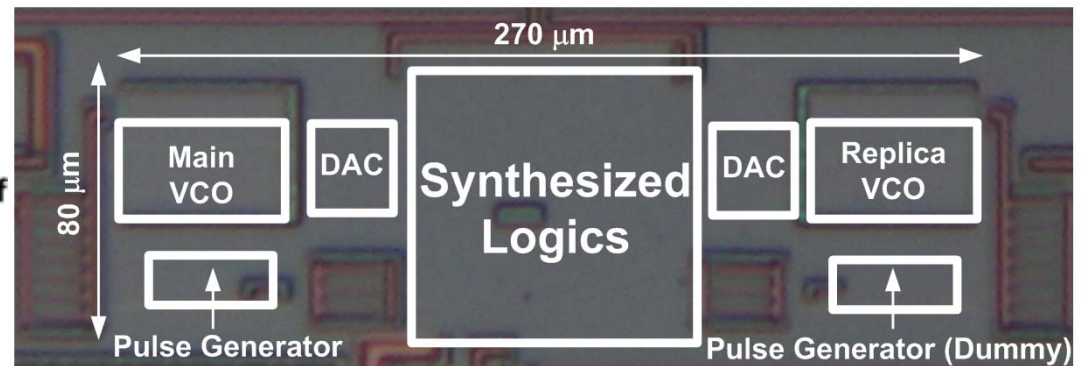
インジェクションロック技術を用いたLSIのシステムクロック発生用  
リング発振器。低ジッタ, 低電力, 小面積 IL VCO,  $T_j=1.8\text{ps}$ ,  $1\text{mW}$ ,  $0.02\text{mm}^2$

従来のPLLに代わるクロック発生器  
今後はレイアウト合成が可能に



IL VCO 性能比較

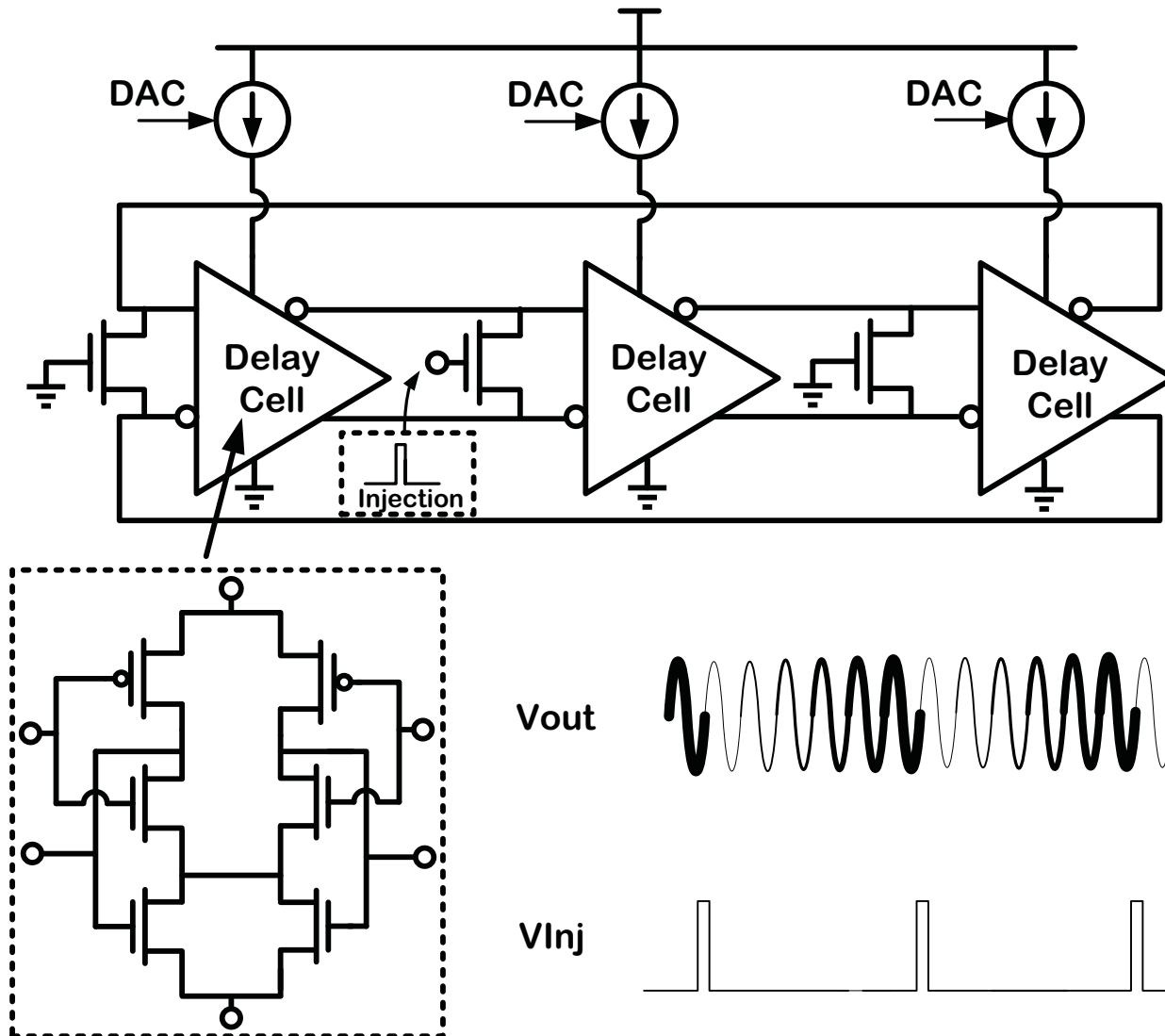
W. Deng, K. Okada, A. Matsuzawa,  
ISSCC 2013



	This work	[1]		[2]	[5]
	IL-PLL	DMDLL	DPLL	MDLL	IL-PLL
Freq. [GHz]	1.2 (0.5-1.6)	1.5 (0.8-1.8)	1.5 (0.8-1.8)	1.6	0.216
Ref. [MHz]	300 (40-300)	375	375	50	27
Power [mW]	<b>0.97</b>	0.89	1.35	<b>12</b>	<b>6.9</b>
Area [mm <sup>2</sup> ]	<b>0.022</b>	<b>0.25</b>	0.25	0.058	0.03
Integ. Jitter [ps]	0.7	0.4	3.2	0.68	2.4
Jitter RMS/PP [ps]	1.81/19.4 10M hits	0.92/9.2 5M hits	4.2/33 5M hits	0.93/11.1 30M hits	N.A.
FOM [dB]	-243	-248.46	-228.59	-233.76	-225
CMOS Tech.	65nm	130nm	130nm	130nm	55nm

# Injection-locked Ring Oscillator

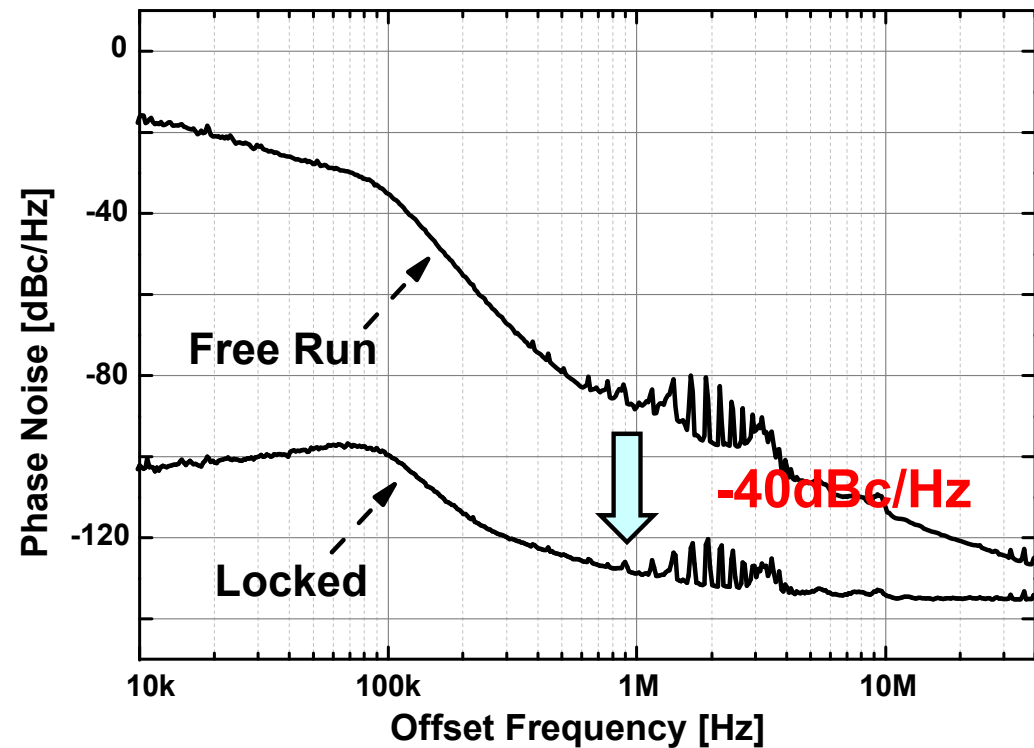
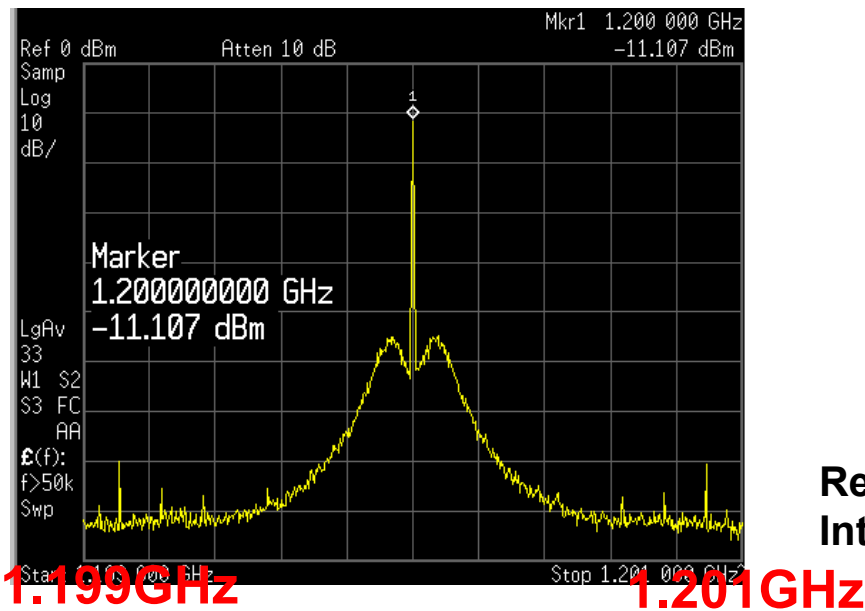
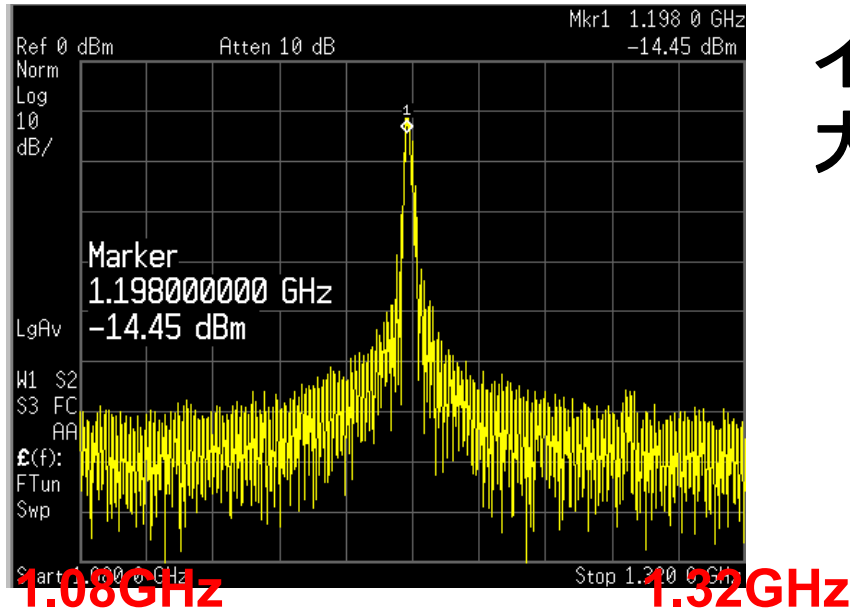
## 差動型インバータリングVCOにインジェクションを行う



W. Deng. ISSCC 2013

# インジェクションロックの効果

## インジェクションロックにより位相雑音は大幅に低下

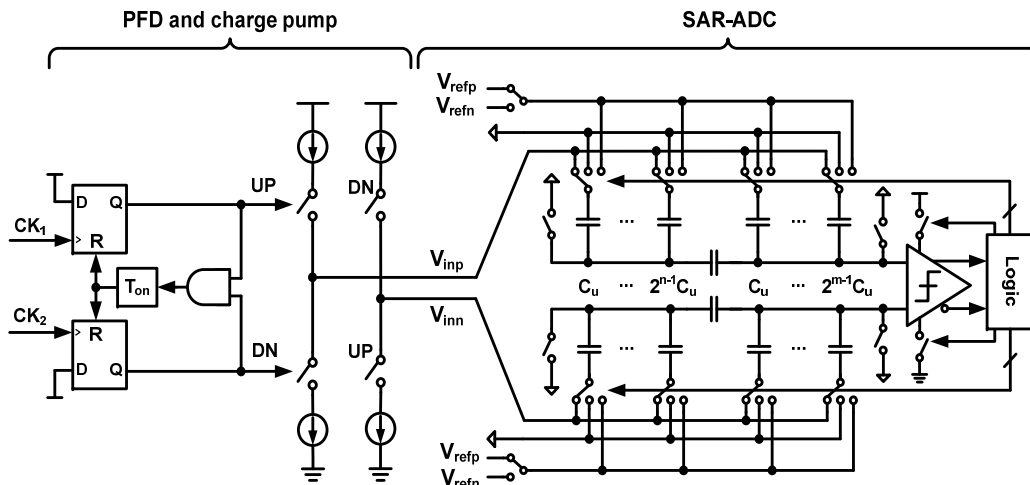


Ref.: 300MHz (40MHz-300MHz) Freq.: 1.2GHz (0.5-1.6GHz)  
Integrated jitter: **0.7ps** (10kHz-40MHz) Pdc: **0.97mW** (1.2GHz)

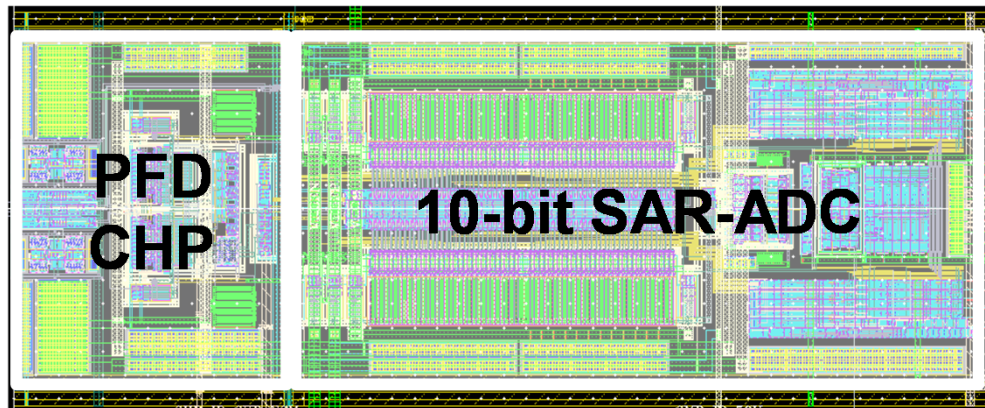
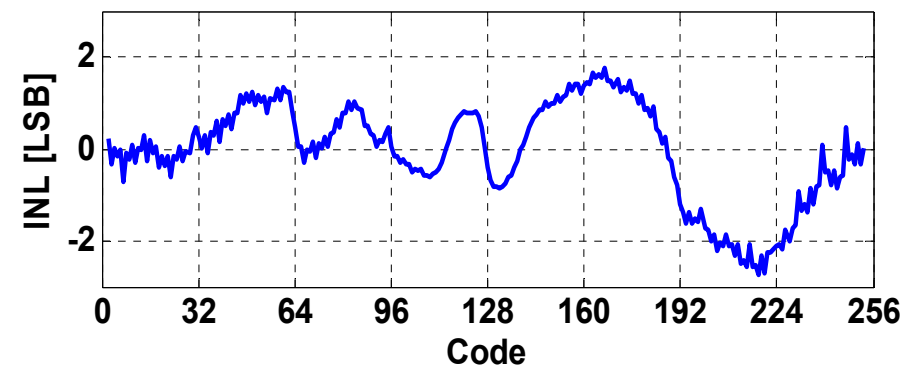
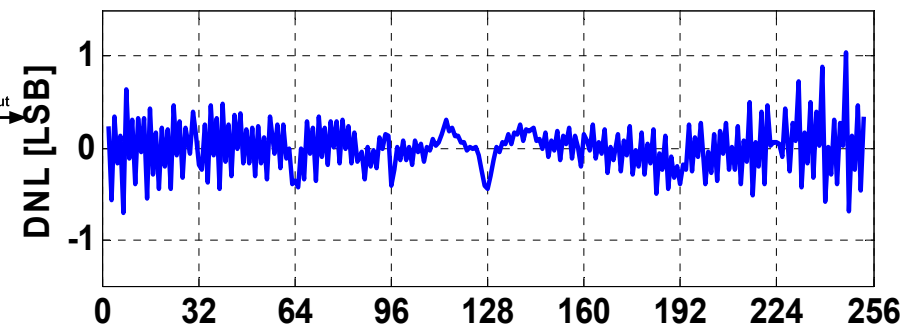
## チャージポンプとSAR ADCを用いたサブps分解能のTDC 低ノイズデジタルPLLなどを使用予定

これまでのTDCはインバータ遅延を用いていたため10ps以下の分解能は困難であった。

時間分解能: 0.8ps, 8bit, 40Msps, 2.5mW



DNL and INL in 8-bit with 0.84ps/LSB



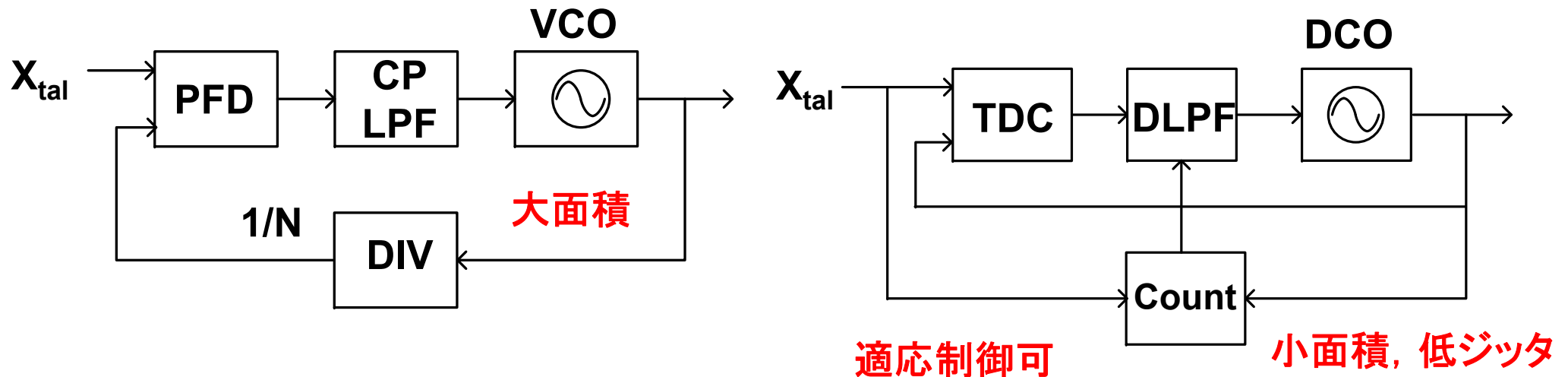
開発中のTDC: 0.8ps, 10bit, 100Msps, 4mW, 0.02mm<sup>2</sup>

Z. Xu, A. Matsuzawa, CICC 2013.



PLLはいまだにデジタル化されていない数少ない分野である。  
チャージポンプPLLは原理的に限界があり、完全デジタルPLL (FDPLL)はその限界を打破できる。これまではTDCなどの性能が悪くその良さを活かすできなかったがTDCの性能に目途がついたことで、飛躍的な性能向上が期待できる。

高性能FDPLLの実現が私の最後の仕事の一つである。



通常 (通常) のチャージポンプPLL

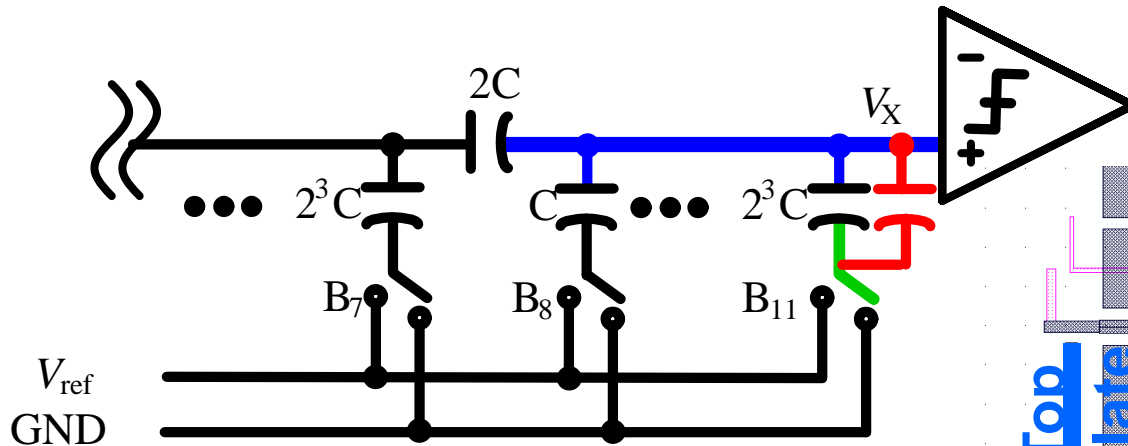
完全デジタルPLL  
(サブサンプリング技術を使用)

# レイアウトドリブン設計と プログラマブルアナログ回路技術

## アナログ回路の自動設計技術への挑戦

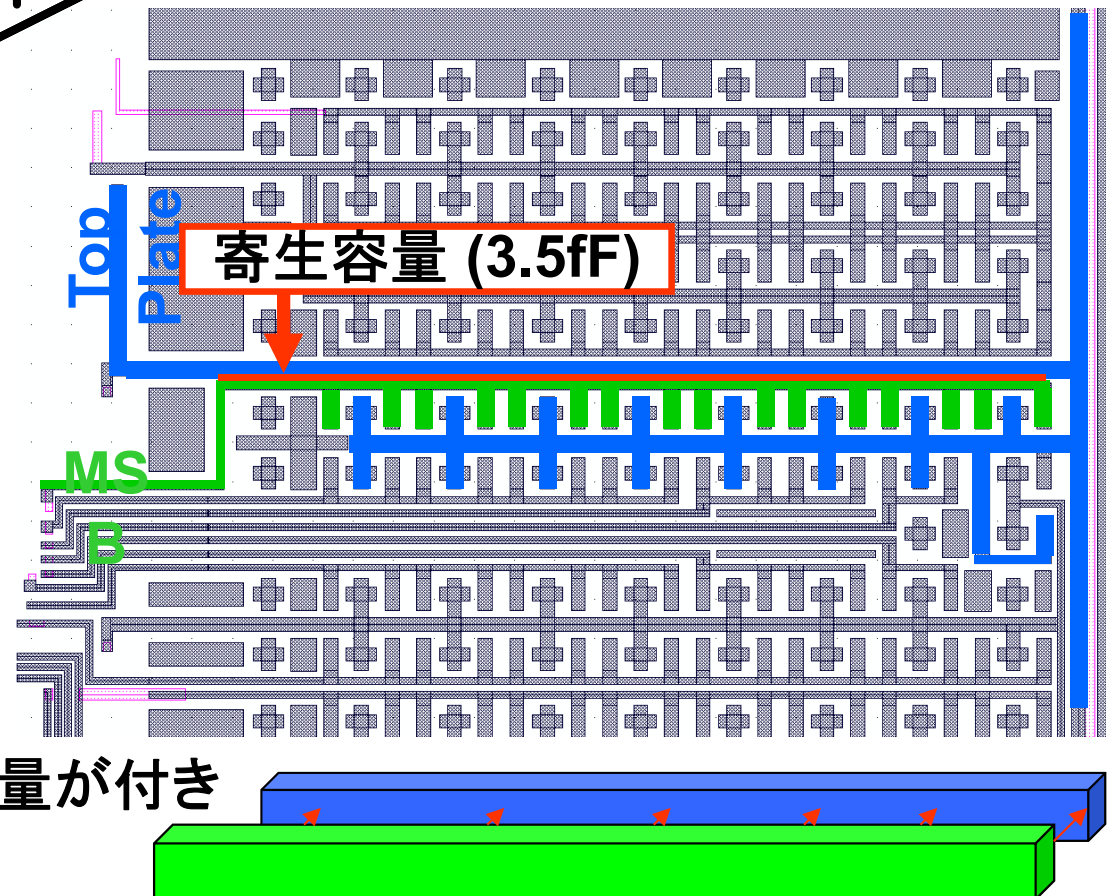
- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
  - 微細化・低電圧化により設計難易度が上昇
  - 設計人材の減少(事業選択・集中, リストラ)
  - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
  - コア回路の種類をできるだけ絞る
  - 微細化・低電圧化に耐えうる回路のみを選抜
  - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
  - レイアウトを含め設計の大半を自動化(プログラマブル化)する
  - テスト容易化設計も併せて行う

「素子」間を結線するという従来からのレイアウト設計思想では、決して高精度で信頼性の高いアナログ回路は実現できない

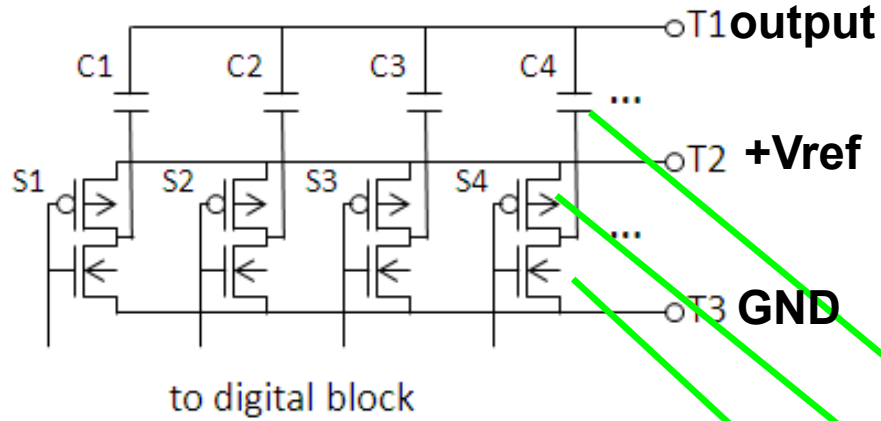


CDACの回路図

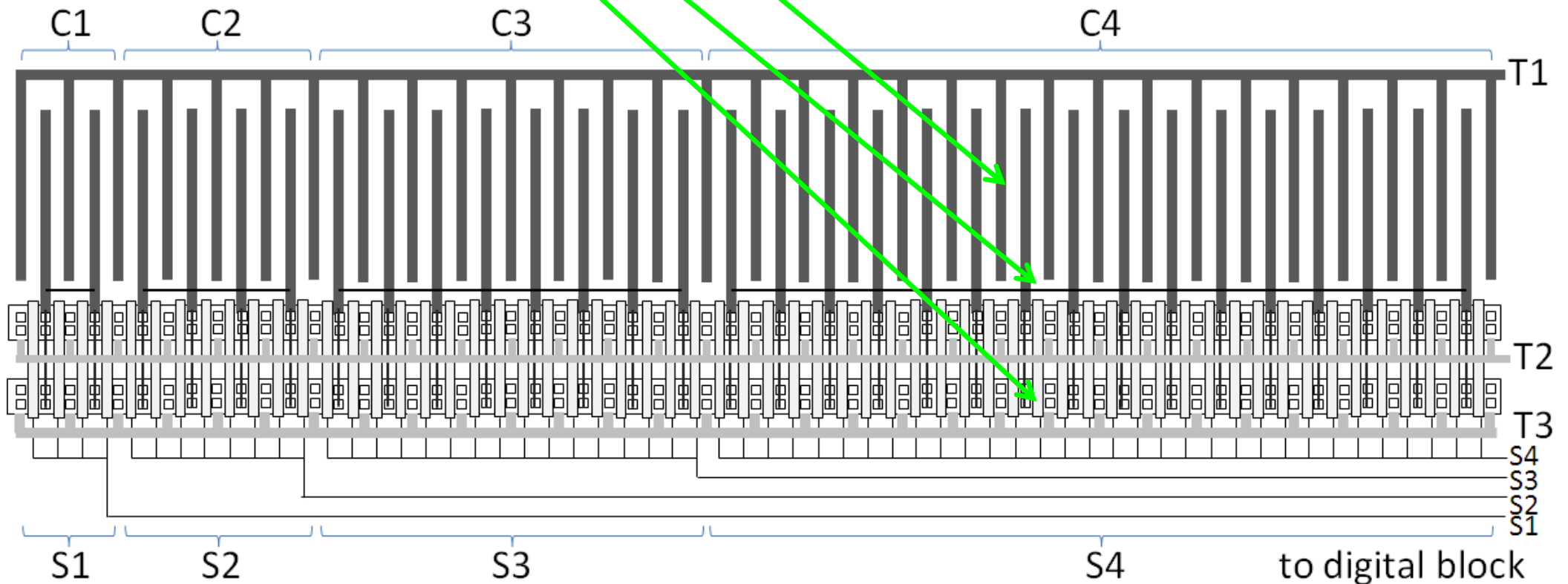
CDACのレイアウト



CDACにおいて、Top Plate(青)とBottom Plate(緑)に3.5fFの寄生容量が付き最大50LSB程度のエラーが生じた。



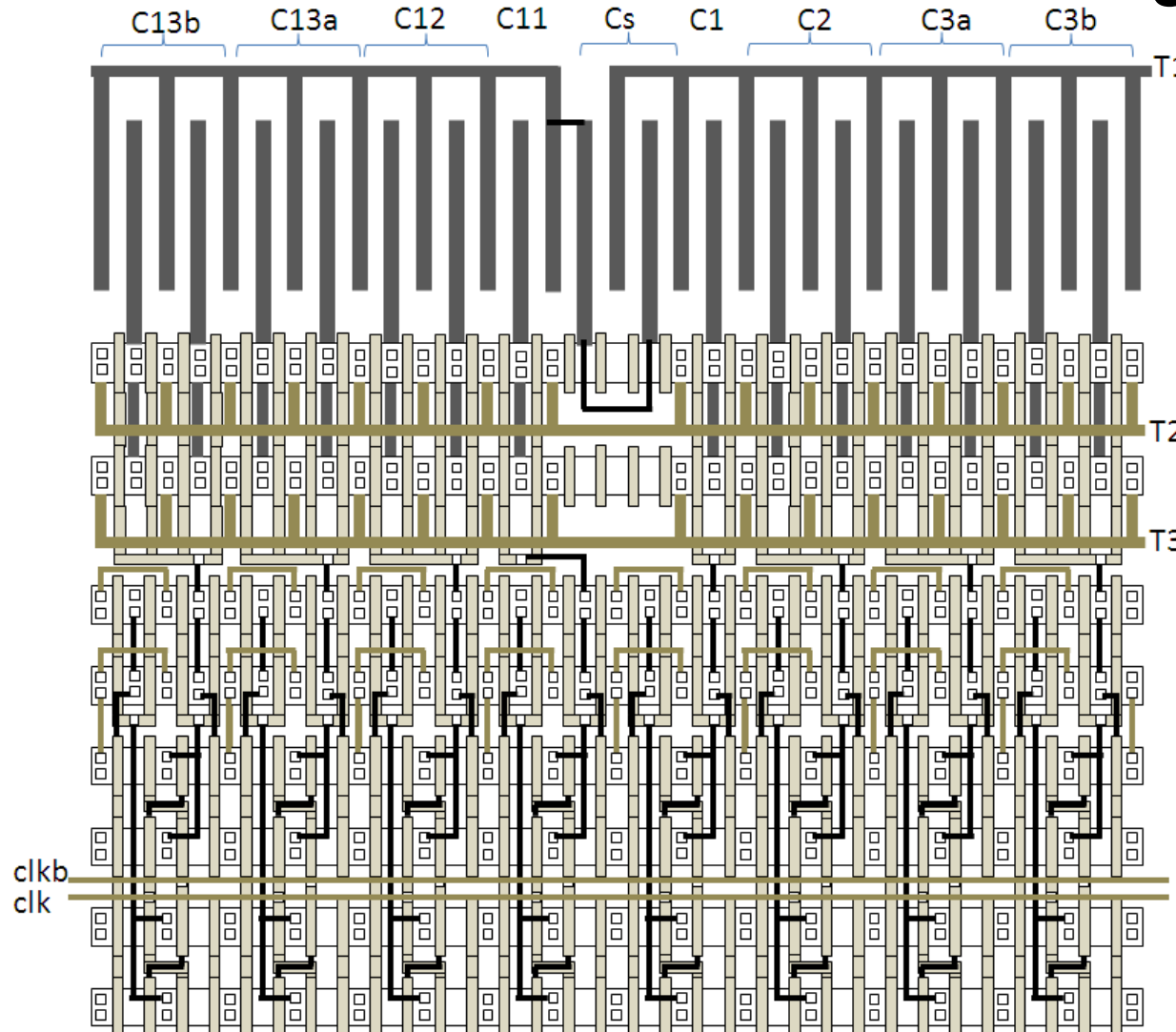
- ・レイアウトの合理性を追求
- ・素子間配線を無くす
- ・素子の規則性を重視
- ・各素子のピッチを合わせる



菅原, 松澤 他, アナログRF 研究会, 2013年11月

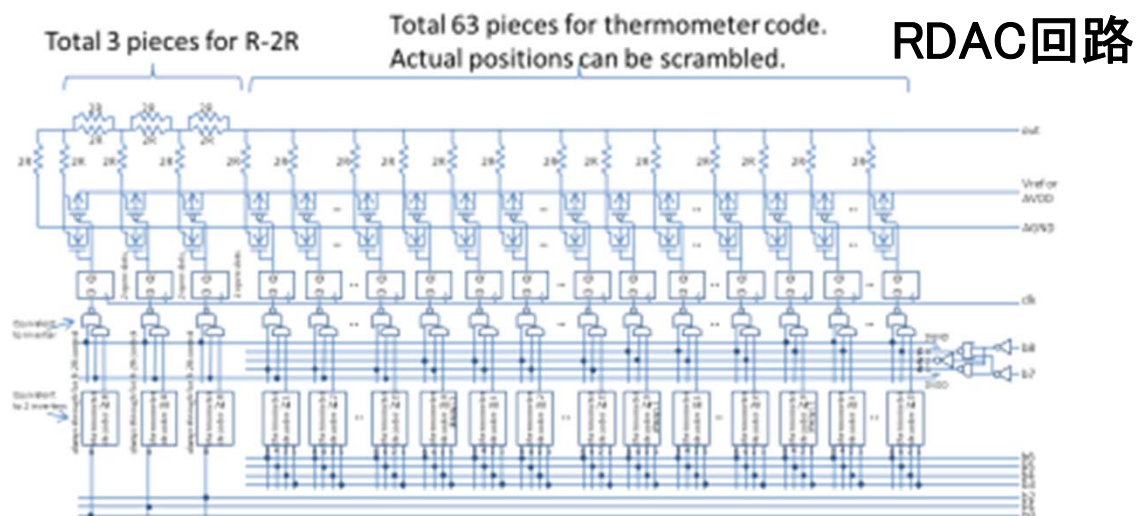
はじめから容量，スイッチ，ロジックのピッチを合わせて設計する  
寄生容量や配線が最小になり，性能向上，低電力，小面積が実現。  
設計の自動化もし易い。

## SAR ADCの例



菅原, 松澤 他,  
アナログRF 研究会  
2013年11月

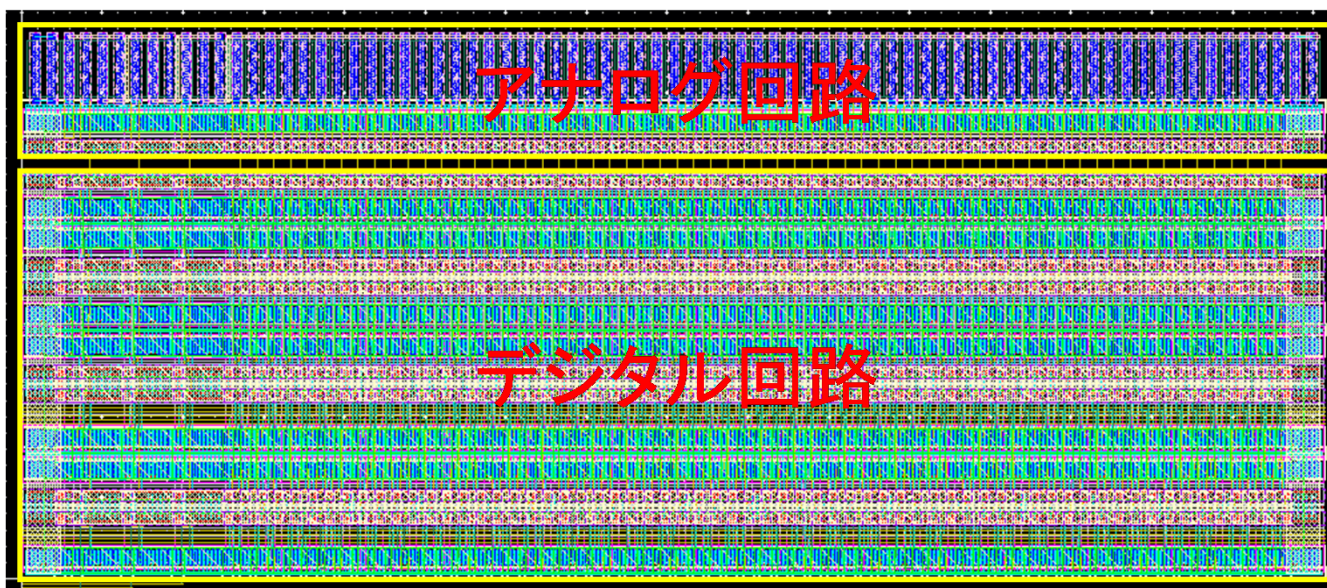
## RDAC, CDACなど規則性のあるアナログ回路を自動合成 開発期間の短縮, 高速・低電力・小面積



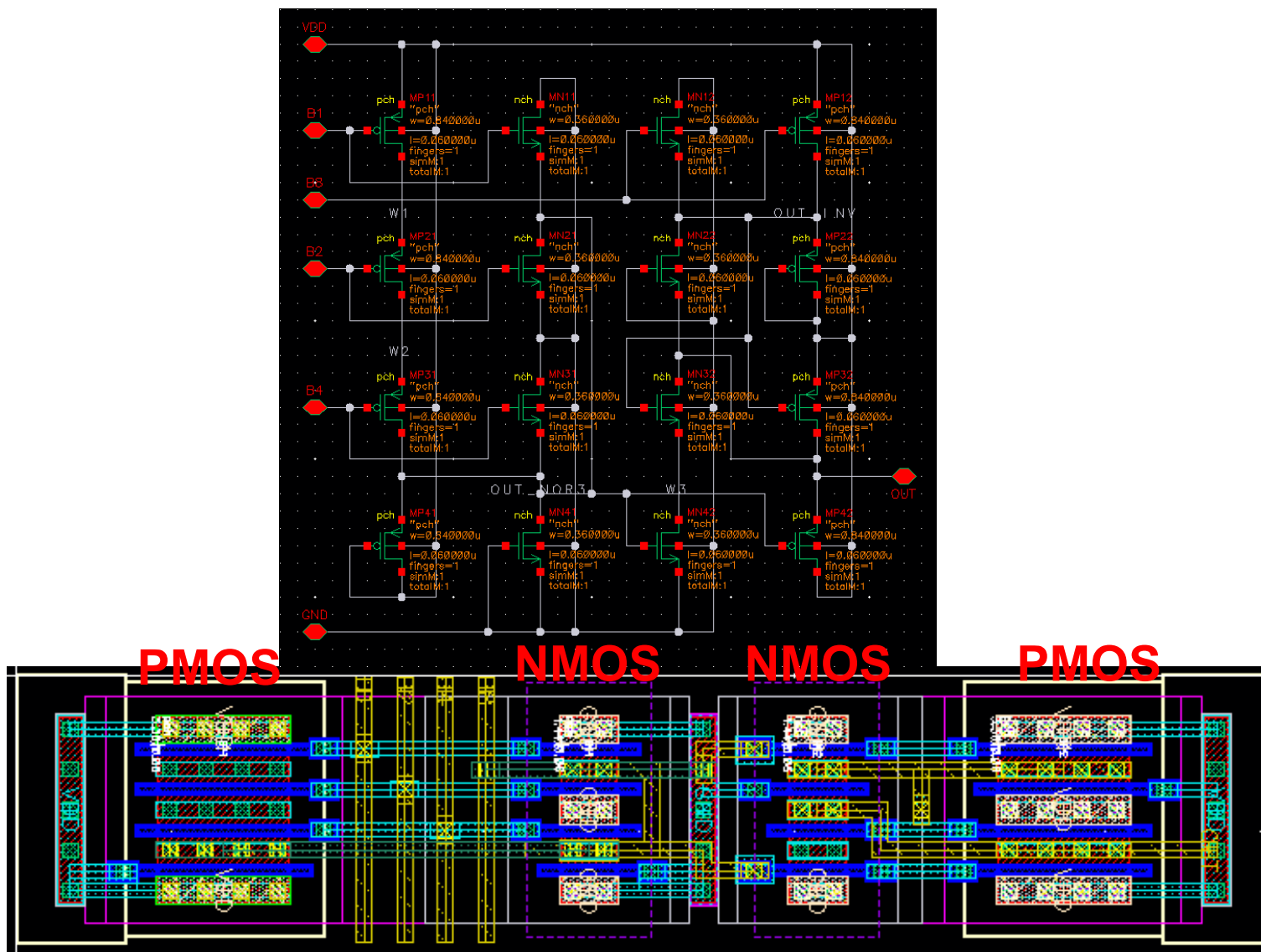
盛, 松澤 他, "9ビットRDACの自動合成"  
アナログRF 研究会, 2013年8月

最適構成の自動計算  
SKILL言語による自動レイアウト

自動合成した  
RDACレイアウト

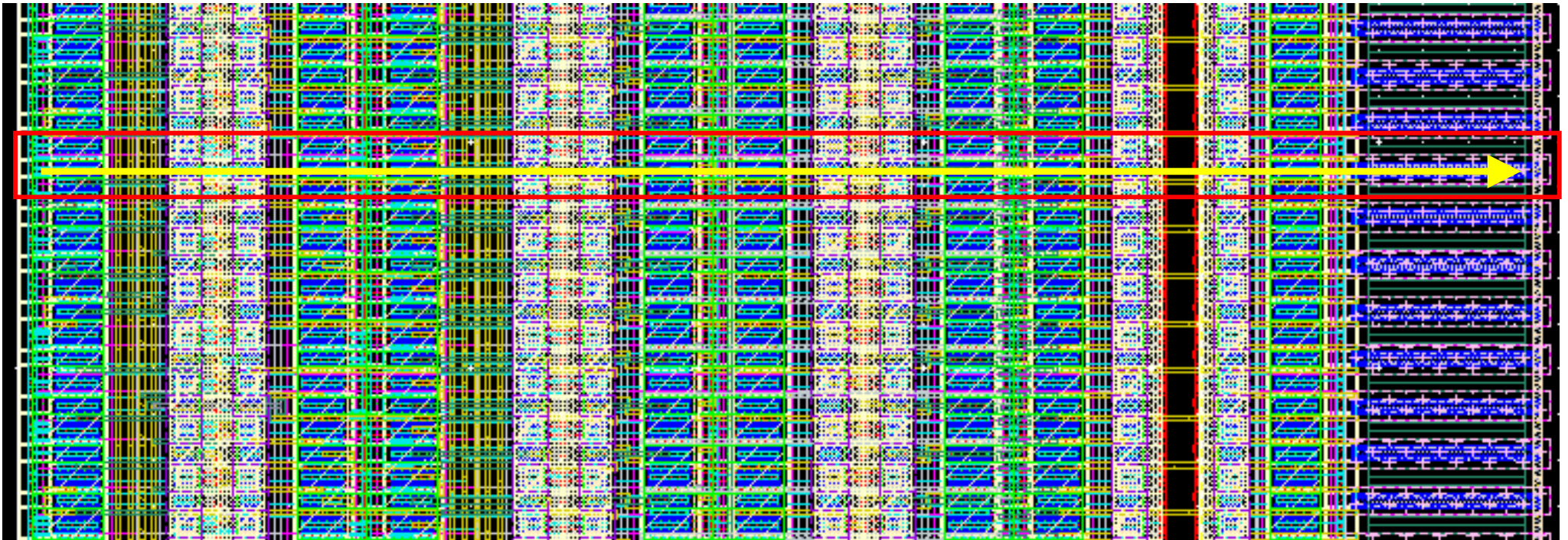


論理回路も規則性を重視して選択し，自動レイアウトに乗せる。



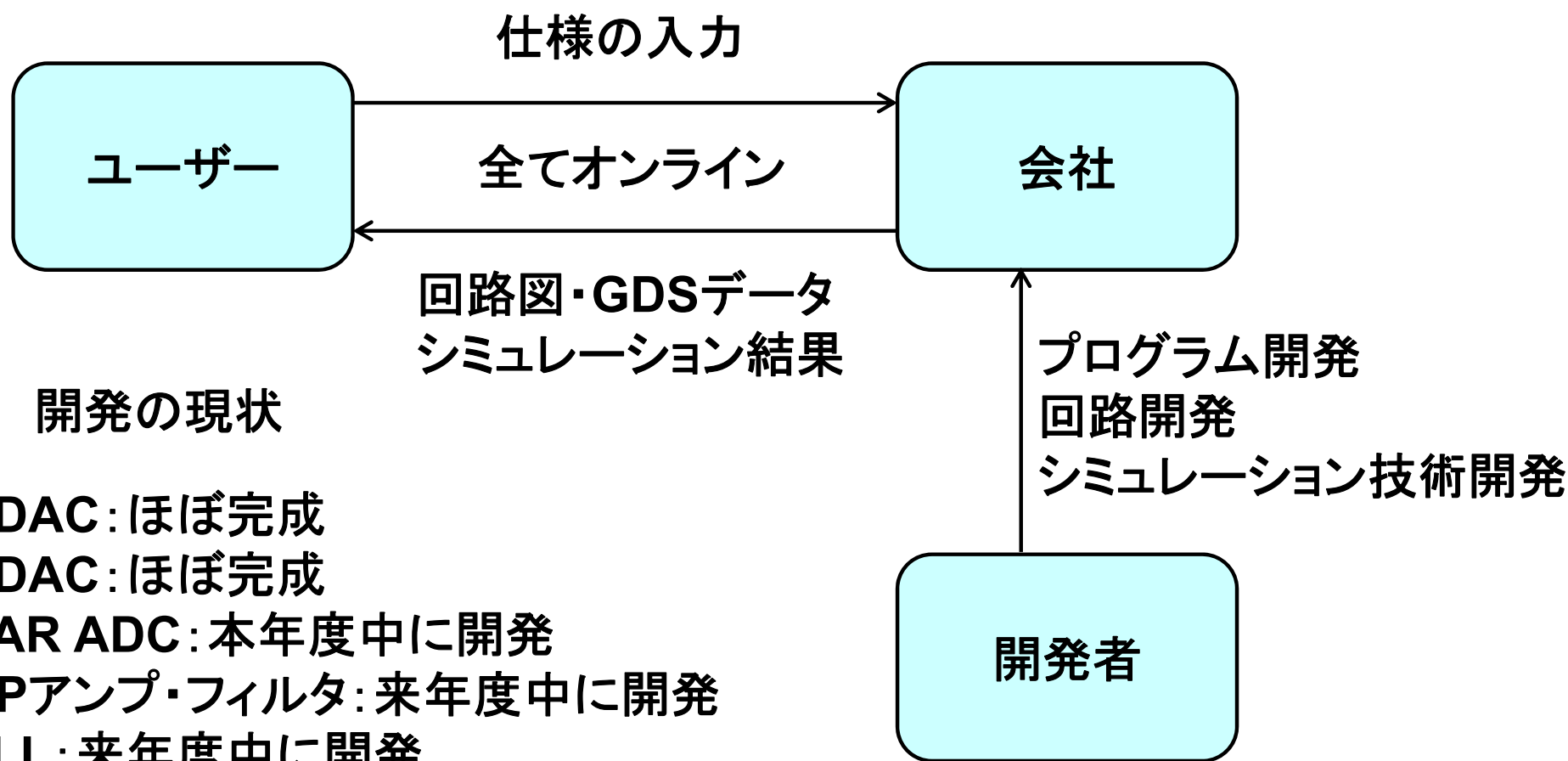


## LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線



人間は技術を開発するだけ，ネットで仕様を受け付け，ネットで設計データを送る。

多くのオーダーに速く，安く対応できる



# 新しい電気系の教育

技術開発に最も必要なものは人材である  
現在、東工大は全学を挙げて教育改革に取り組んでいる  
電気系の新しい教育への取り組みのポイントを紹介する

## ● 教育体制

- 「学習指導要領」を作成し、コースで何をどう教えるかを明確する
- 授業の「見える化」を進め、科目概要やTPにより教員間で科目内容を相互確認し、科目のストーリー性を高め、教授内容の不要なダブリを防ぐ
- 教授内容・方法について教員間で論議し、教材作成などで協力する

## ● 授業方法

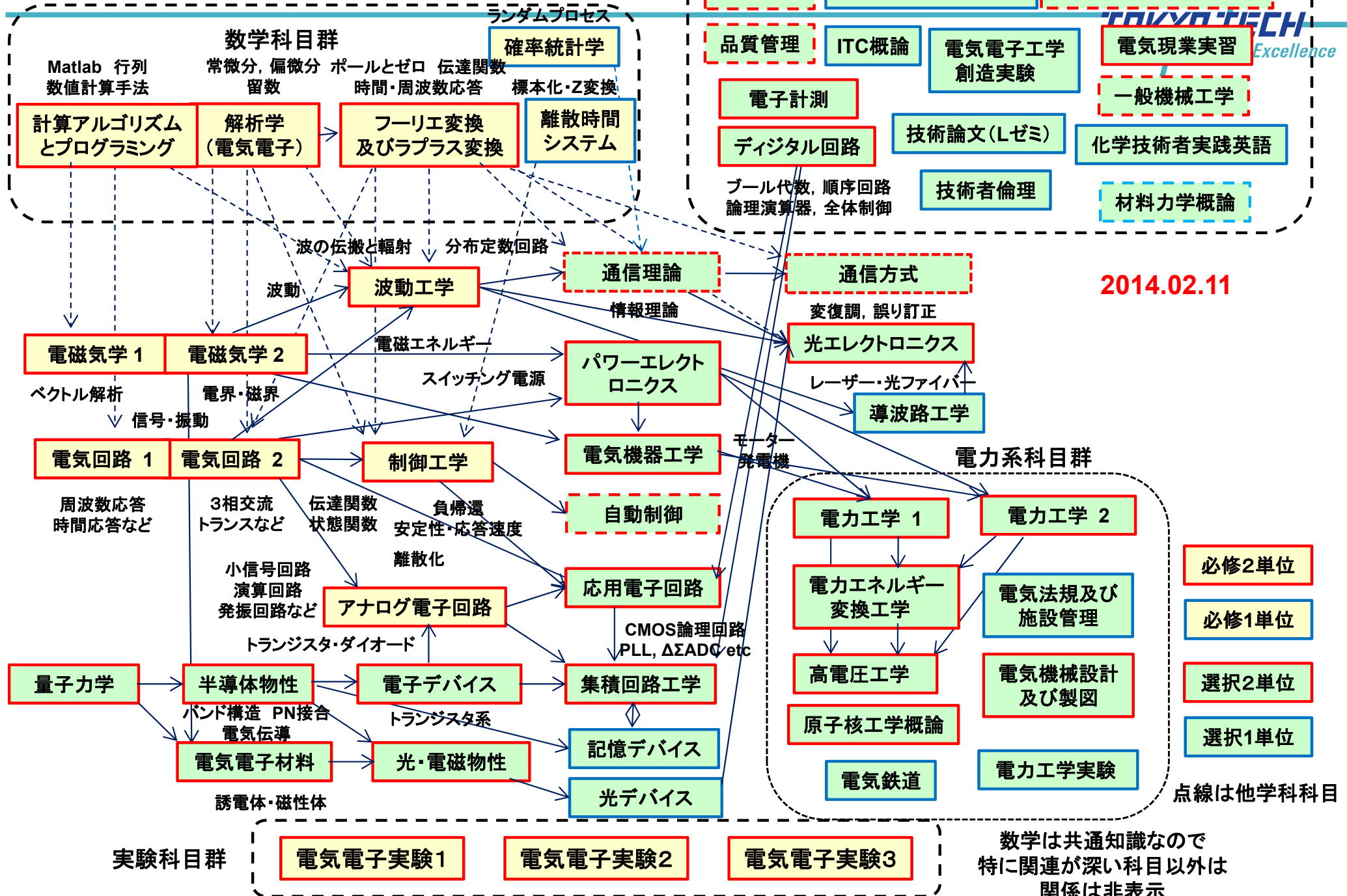
TP (Teaching portfolio)

- **MatlabやSpiceなどの世界標準のシミュレーションツールを学生に提供する**
  - 理論の可視化による理解の促進
  - 自らパラメータや構成を変えて結果を確認する[ミニ実験室]により能動的学習を促す
  - プログラミングを身近なものにし、シミュレーション技術に慣れさせる
- 科目の特性により、授業と演習の重みを変え、ビデオ教材なども充実させる

## ● 授業内容

- 現在の電子工学に不可欠な重要コンセプトを体系化し、シンプルに丁寧に教える
  - スwitchングによる電磁エネルギー変換, 2次の帰還系の回路 (Opamp, PLL,  $\Delta\Sigma$ ADC etc)などの充実
  - 線形システム論を理論の中心に据え, 回路, 信号処理, 制御を統合。時間領域特性の強化。
  - トランジスタ以外のメモリ・センサー・光デバイスなどの電子デバイスを強化
- 理論を理解させるだけでなく、理論を実際に使用できる環境まで与える
  - シミュレータの提供とシミュレーション技術の習得。学生実験などによる体験。

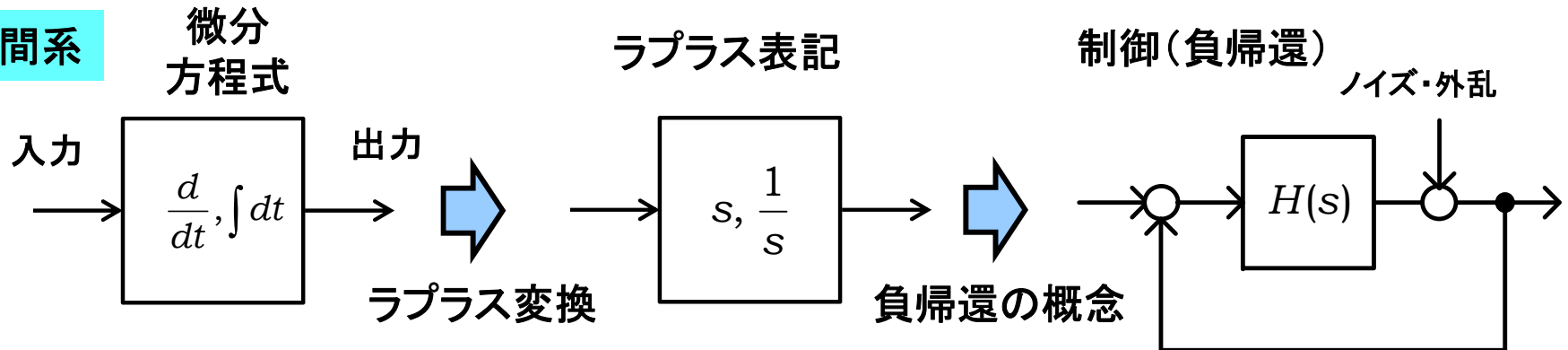
# 電気・電子コース群 体系図



2014.02.11

電気・電子システムは全てこのような構造になっている。この概念をしっかり教える。このためには、回路だけでなく、制御と信号処理を加え、融合させる必要がある。

連続時間系



微分方程式

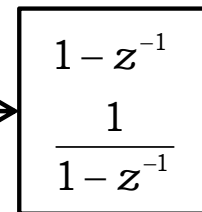
- ・ポールとゼロ
- ・時間応答
- ・周波数応答
- ・安定性

- ・システムの設計
- ・応答, 安定性
- ・ノイズ伝達関数

Y関数, Z関数, H関数

S→Z変換

離散時間系

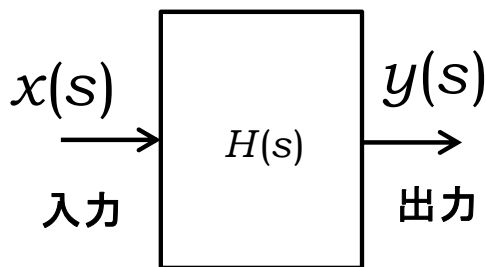


- ・標本化
- ・Z変換 (差分化)

- ・ポールとゼロ
- ・時間応答
- ・周波数応答
- ・安定性

システム設計はSドメインで行い、S→Z変換でZドメインに写像しCPU, DSPでデジタル制御するのが一般的

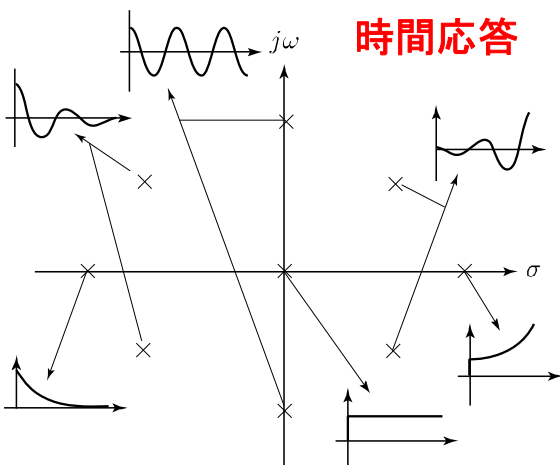
H(s):システム関数



$$H(s) = H \frac{(s - z_1)(s - z_2) \cdots (s - z_n)}{(s - p_1)(s - p_2) \cdots (s - p_m)}$$

$$y(s) = H(s) \cdot x(s)$$

- ・伝達関数
- ・インピーダンス
- ・アドミッタンス



ポールの位置で応答や安定性が決まる

ポールとゼロで表す  $s \rightarrow j\omega$

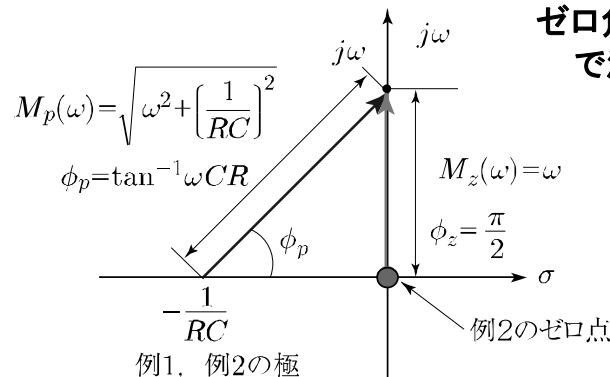
$$p \rightarrow Ke^{pt}$$

基本: 指数関数応答

周波数特性

ポール・ゼロからのベクトル

$$j\omega - S_r = M(\omega)e^{j\phi(\omega)}$$



ポール角周波数  
ゼロ角周波数  
で決まる

$$H(j\omega) = H \frac{(j\omega - z_1)(j\omega - z_2) \cdots (j\omega - z_n)}{(j\omega - p_1)(j\omega - p_2) \cdots (j\omega - p_m)}$$

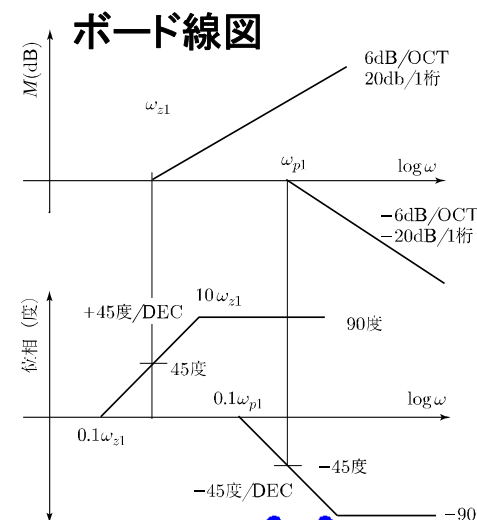
$$j\omega - S_r = M(\omega)e^{j\phi(\omega)}$$

ポール・ゼロからのベクトルで決まる

$$H(j\omega) = H \frac{M_{z1} \cdot M_{z2} \cdots M_{zn}}{M_{p1} \cdot M_{p2} \cdots M_{pm}} e^{j(\phi_{z1} + \phi_{z2} + \cdots + \phi_{zn} - \phi_{p1} - \phi_{p2} - \cdots - \phi_{pm})}$$

大きさと位相で表される

$$H(j\omega) = G \frac{\left(1 + \frac{j\omega}{\omega_{z1}}\right) \left(1 + \frac{j\omega}{\omega_{z2}}\right) \cdots \left(1 + \frac{j\omega}{\omega_{zn}}\right)}{\left(1 + \frac{j\omega}{\omega_{p1}}\right) \left(1 + \frac{j\omega}{\omega_{p2}}\right) \cdots \left(1 + \frac{j\omega}{\omega_{pm}}\right)}$$



現在は周波数，クロックの発生はPLL，オーディオや狭帯域通信は $\Delta\Sigma$ ADC・DAC，フロントエンドは能動アナログフィルタが使われるが，大学では殆ど教えていない。電気電子工学を卒業しても現行の電子機器の仕組みを知らない！！

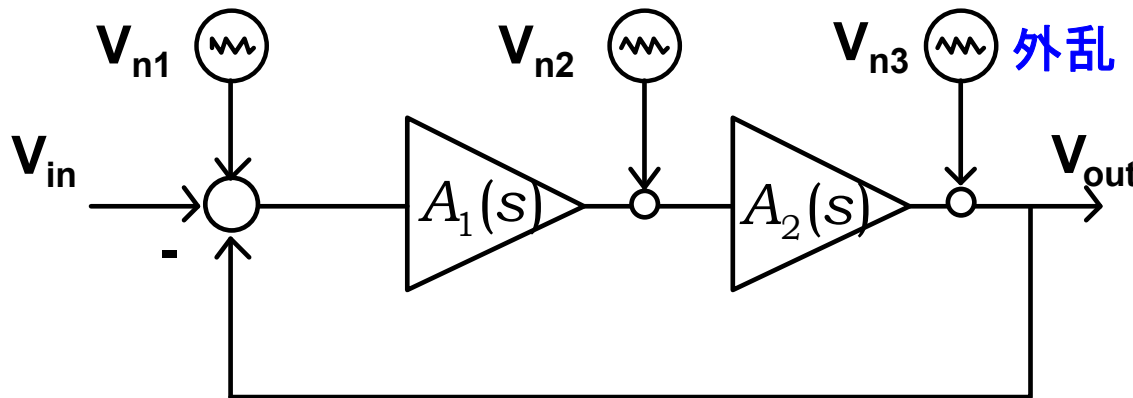
これらの回路は2つ以上の積分器を用いた負帰還回路で説明できる

PID制御と同等

PLLのVCOノイズ  
 $\Delta\Sigma$ ADCの量子化ノイズ

完全積分器

ゼロ点補償積分器



$$A_1(s) = \frac{\omega_u}{s} \quad A_2(s) = \frac{\omega_u}{s} \left( 1 + \frac{s}{\omega_z} \right)$$

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{A_1(s)A_2(s)}{1 + A_1(s)A_2(s)}$$

$$H(s) = \frac{\frac{\omega_u^2}{s^2} \left( 1 + \frac{s}{\omega_z} \right)}{1 + \frac{\omega_u^2}{s^2} \left( 1 + \frac{s}{\omega_z} \right)} = \frac{\omega_u^2 \left( 1 + \frac{s}{\omega_z} \right)}{s^2 + \frac{\omega_u^2}{\omega_z} s + \omega_u^2}$$

$$\zeta = \frac{\omega_u}{2\omega_z} \quad \text{ダンピングファクター}$$

$$S_p = \omega_u \zeta \left\{ -1 \pm \sqrt{1 - \frac{1}{\zeta^2}} \right\}$$



入力端のノイズは高域で減衰するが、他のノイズは低域で減衰し、高域でそのまま現れる。  
ΔΣADC・DACのノイズシェーピングもこのノイズ伝達関数で説明できる

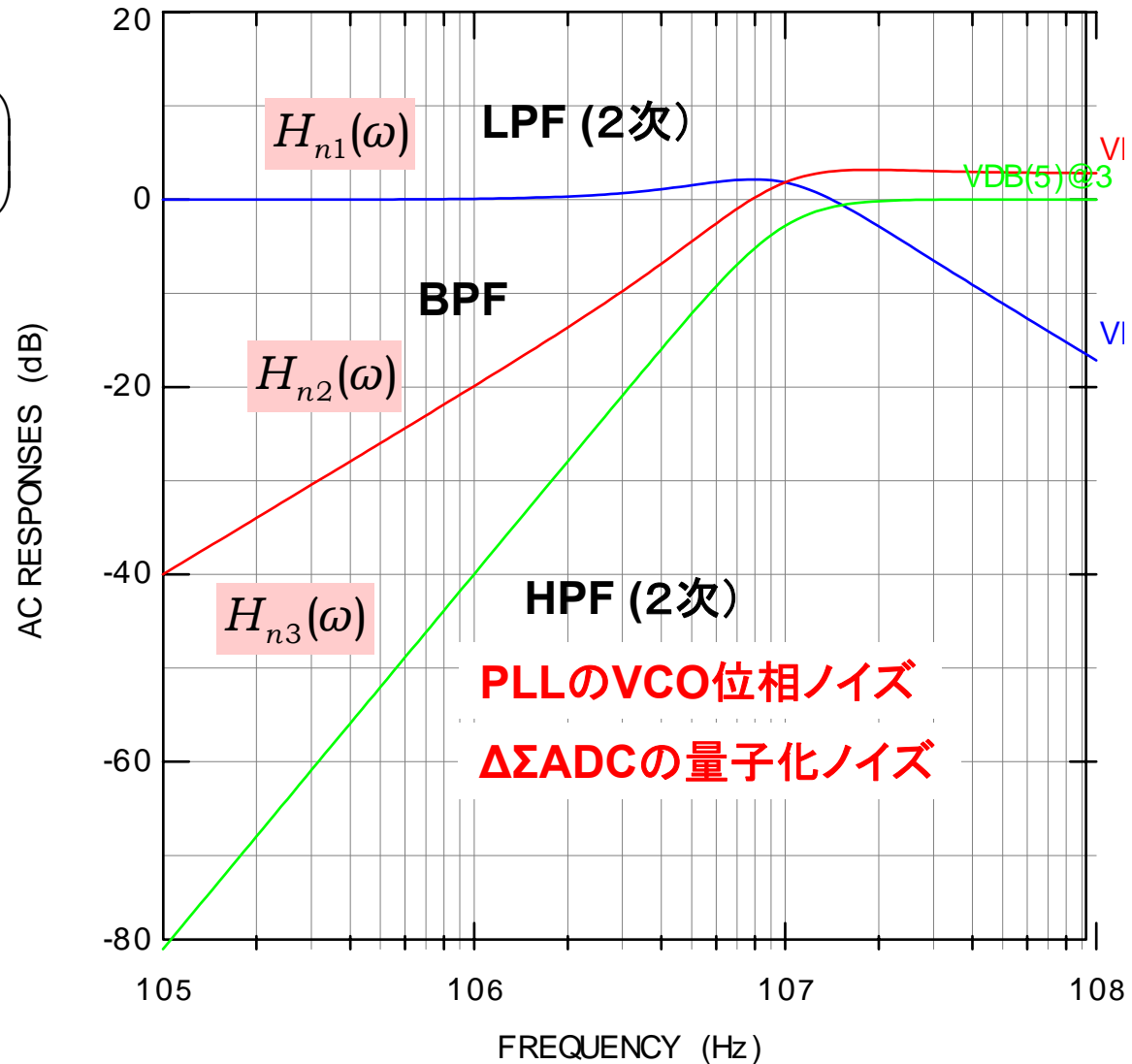
## 2次のLPFの場合

$$A_1(s) = \frac{\omega_u}{s} \quad A_2(s) = \frac{\omega_u}{s} \left( 1 + \frac{s}{\omega_z} \right)$$

$$H_{n1}(s) = \frac{\omega_u^2 \left( 1 + \frac{s}{\omega_z} \right)}{s^2 + \frac{\omega_u^2}{\omega_z} s + \omega_u^2}$$

$$H_{n2}(s) = \frac{s\omega_n \left( 1 + \frac{s}{\omega_z} \right)}{s^2 + \frac{\omega_u^2}{\omega_z} s + \omega_u^2}$$

$$H_{n3}(s) = \frac{s^2}{s^2 + \frac{\omega_u^2}{\omega_z} s + \omega_u^2}$$



- 無線での超高速データ伝送技術を開発。60GHzのチャネルボンディングによる広帯域化と16QAMを用いた多値化によりミリ波最高速の28Gbpsを達成。300Gbpsを目指す。
- 今後の汎用的ADCとして高速12bit SAR ADCを開発。これまでの無線通信用ADCの性能を最小電力で実現。オーバーサンプリング技術を用いることで、80dB程度のSNRは可能。
- 時間領域処理は論理回路でアナログ演算が可能になる。この技術を用いたミリ波16QAM用7bit, 2.2GspsのADCを開発。
- PLLの高性能化・低電力化に向けて、インジェクションロック発振器, サブサンプリング技術, サブps分解能TDC, フルデジタルPLLなどを開発中。
- レイアウトドリブンのアナログ設計手法を提案。プログラムアナログ技術によりレイアウトを含めた設計自動化を推進。
- 東工大電気系の教育への取り組みを紹介。