

デジタル情報家電用SoC技術の動向と テクノロジーへのインパクト

松澤 昭

東京工業大学
大学院理工学研究科
電子物理工学専攻

内容

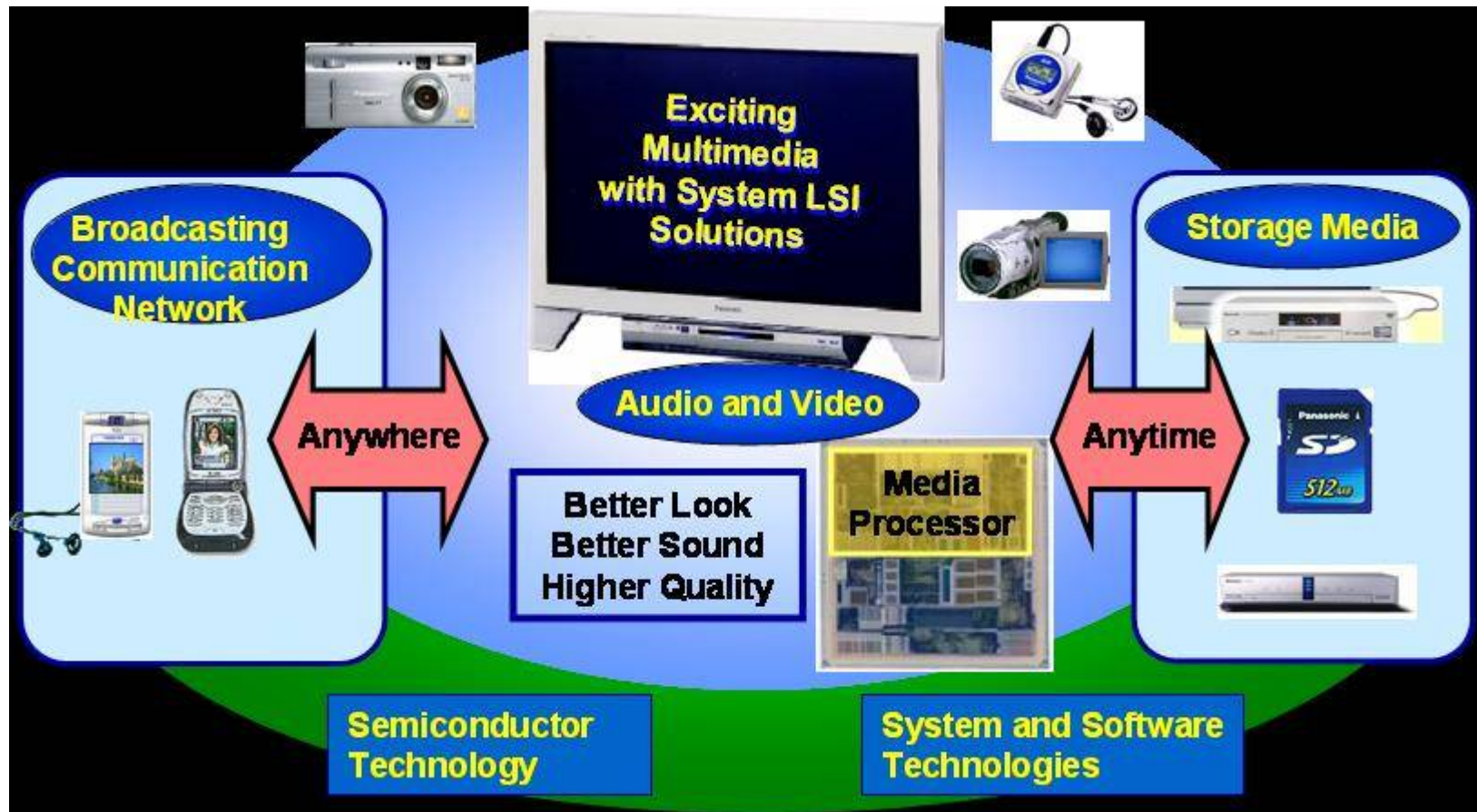
- デジタル情報家電の時代
- デジタル情報家電用SoC
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

内容

- デジタル情報家電の時代
- デジタル情報家電用SoC
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

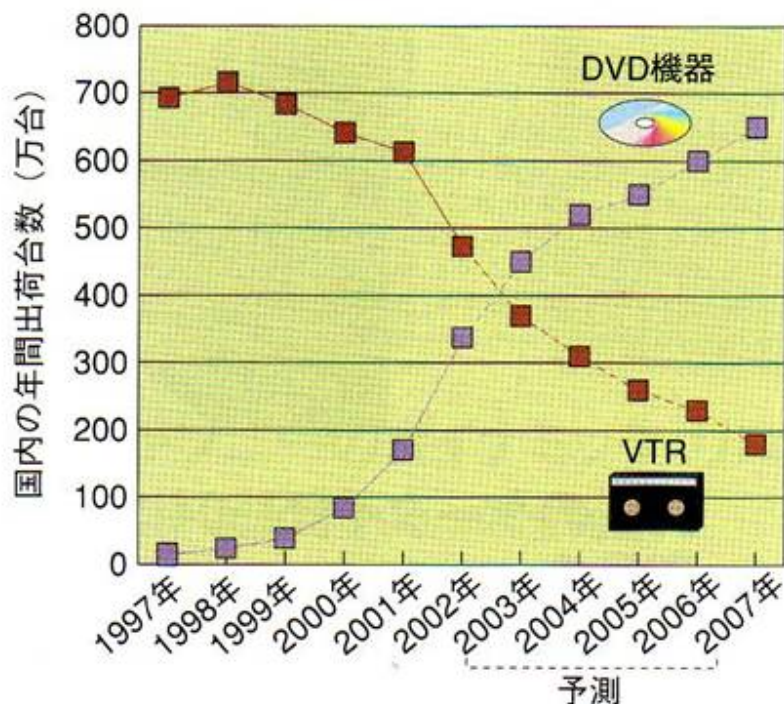
デジタル情報家電の時代

デジカメ、カメラ付携帯電話、DVDレコーダー、デジタルTV、フラットディスプレイなどのデジタル情報家電機器が大成長。
これらの機器には1~2個のシステムLSI (SoC)が使用されている。

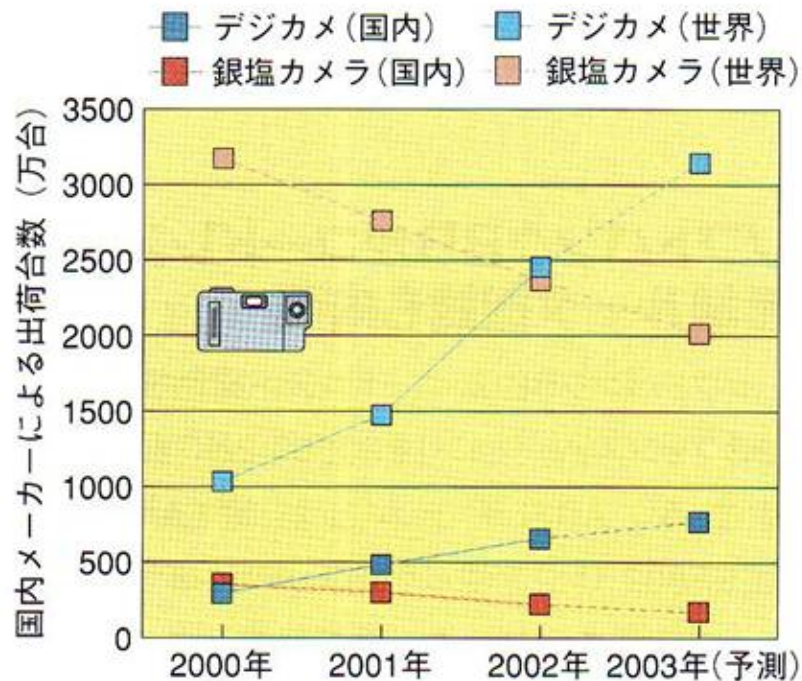


デジタル情報家電機器の急伸

デジタル情報家電機器が急伸し、従来のアナログ機器を完全に置き換えた



国内の民生用DVD機器と家庭用VTRの出荷台数推移。2003年1月発表のJEITAの「AV主要品目世界需要予測」による



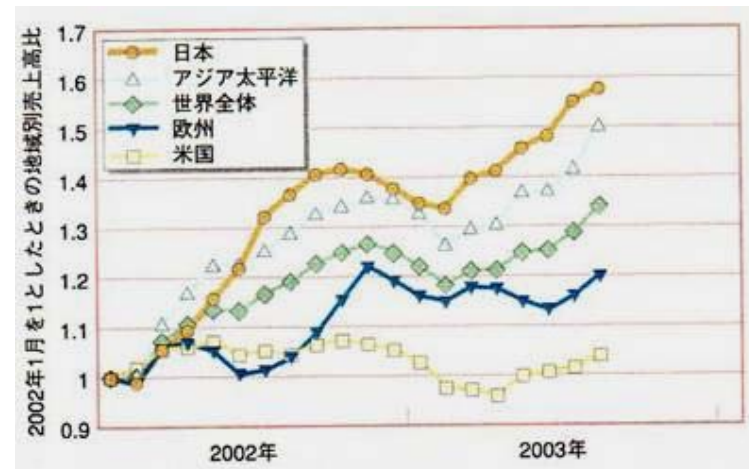
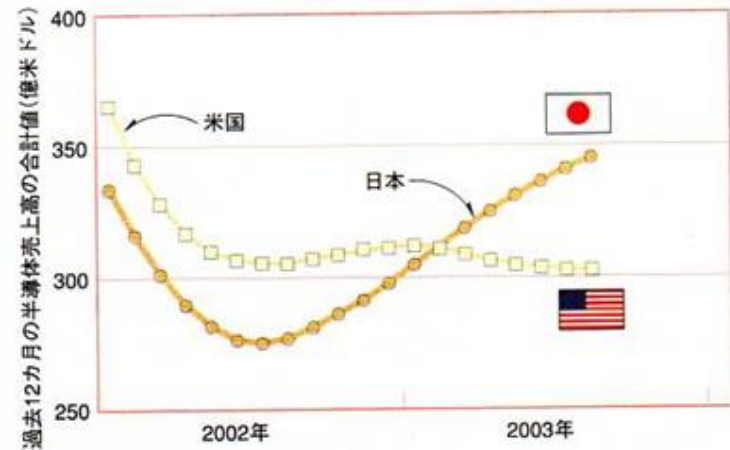
日本メーカーのカメラ出荷台数の推移。2003年1月発表のカメラ映像機器工業会の「平成15年カメラ等品目別出荷見通し」による

デジタル情報家電と半導体

携帯電話を入れるとデジタル情報家電の生産金額はPCの国内生産を上回った。
 このため、SoC, Flashメモリ, CCDなどの半導体売り上げは米国を抜いた。

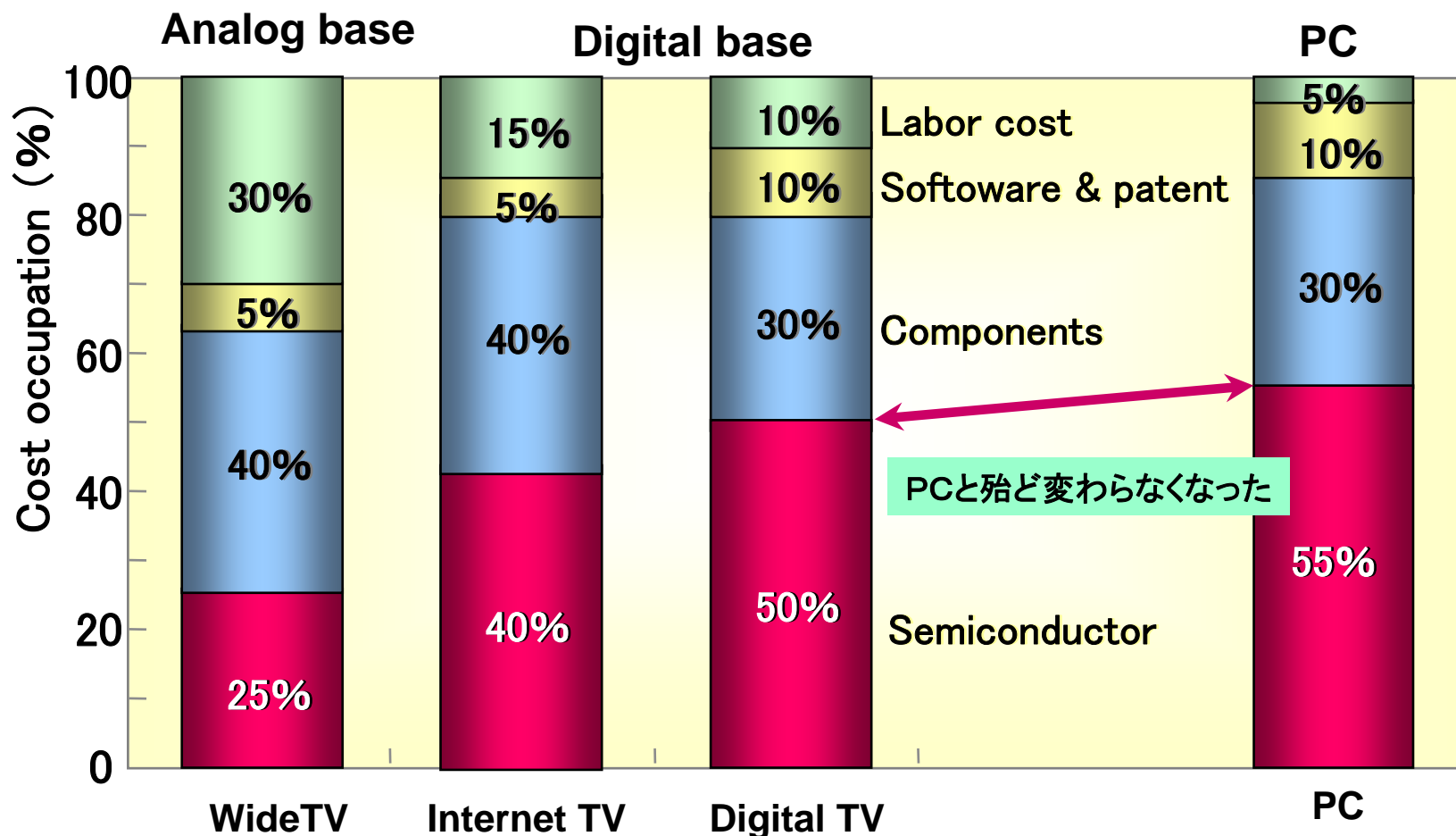


日経エレクトロニクス 2003.10.27号 pp.129-130



デジタル情報家電用機器のコスト構成

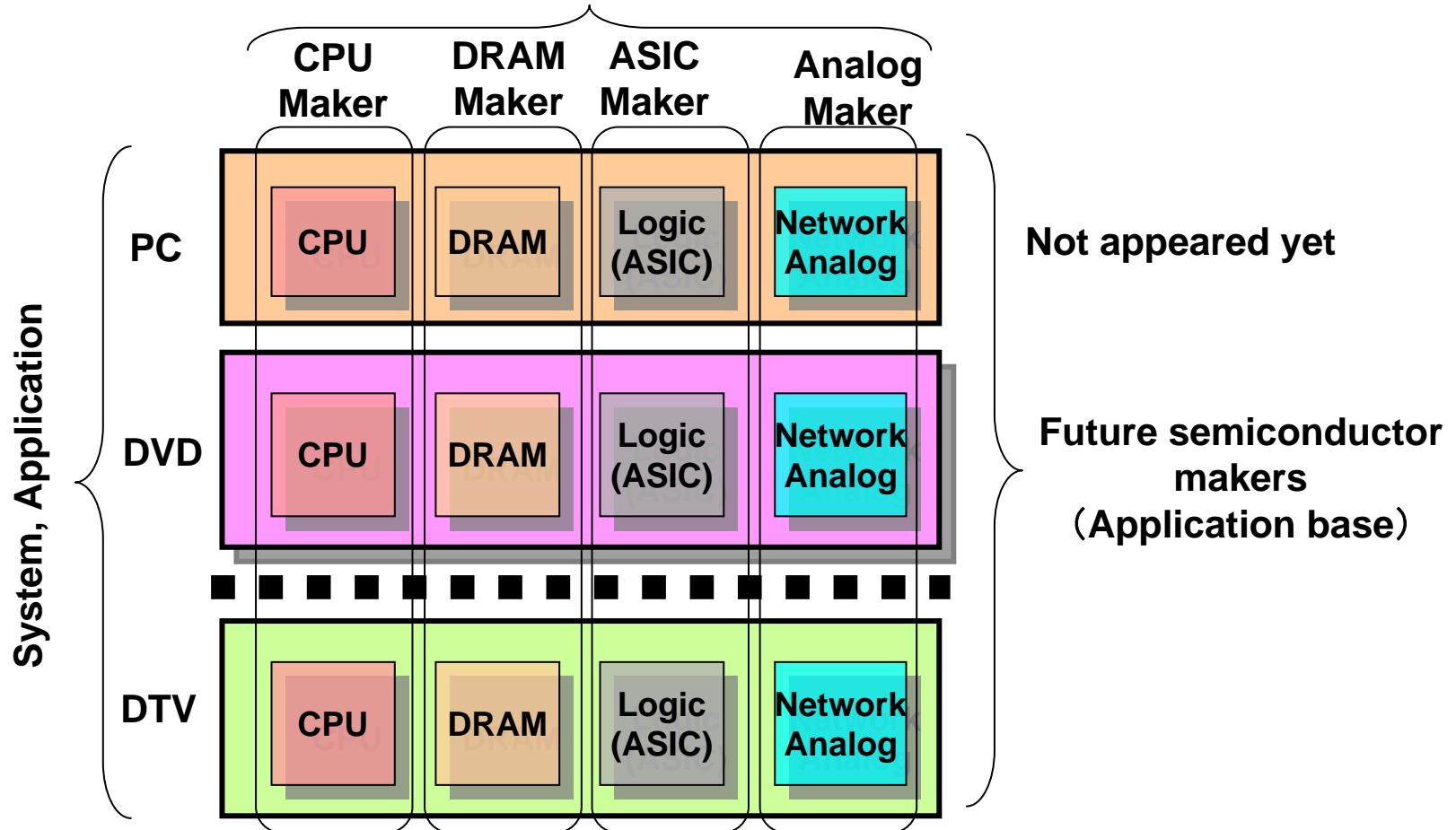
機器のデジタル化によりコスト構成はPCと殆ど同じになった。
半導体投入比率は倍増している。機器=半導体の時代になった。



新たな半導体ビジネスの構図

従来の半導体技術オリエンティドなメーカーだけではなくアプリケーションオリエンティドなSoCを主体とするメーカーが出現する。

Conventional semiconductor makers (semiconductor technology base)



内容

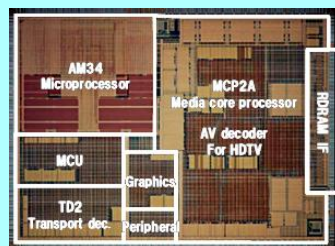
- デジタル情報家電の時代
- **デジタル情報家電用SoC**
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

デジタル情報家電用SoCの分類

デジタル情報家電用SoCは3分野に分類できる。

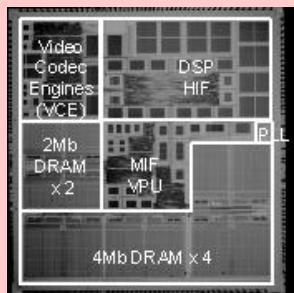
- ・超高速メディアプロセッサ系
- ・ローパワー処理系
- ・アナ・デジ混載系

超高速メディアプロセッサ系



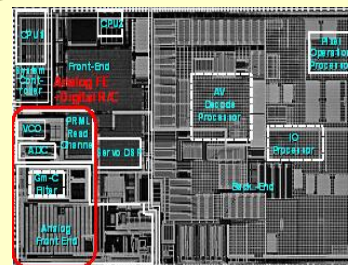
- ・デジタルTV
- ・超高速動作

ローパワー処理系



- ・携帯機器
- ・低リーク/低電力

アナ・デジ混載系



- ・DVD, デジカメ
- ・アナログ混載

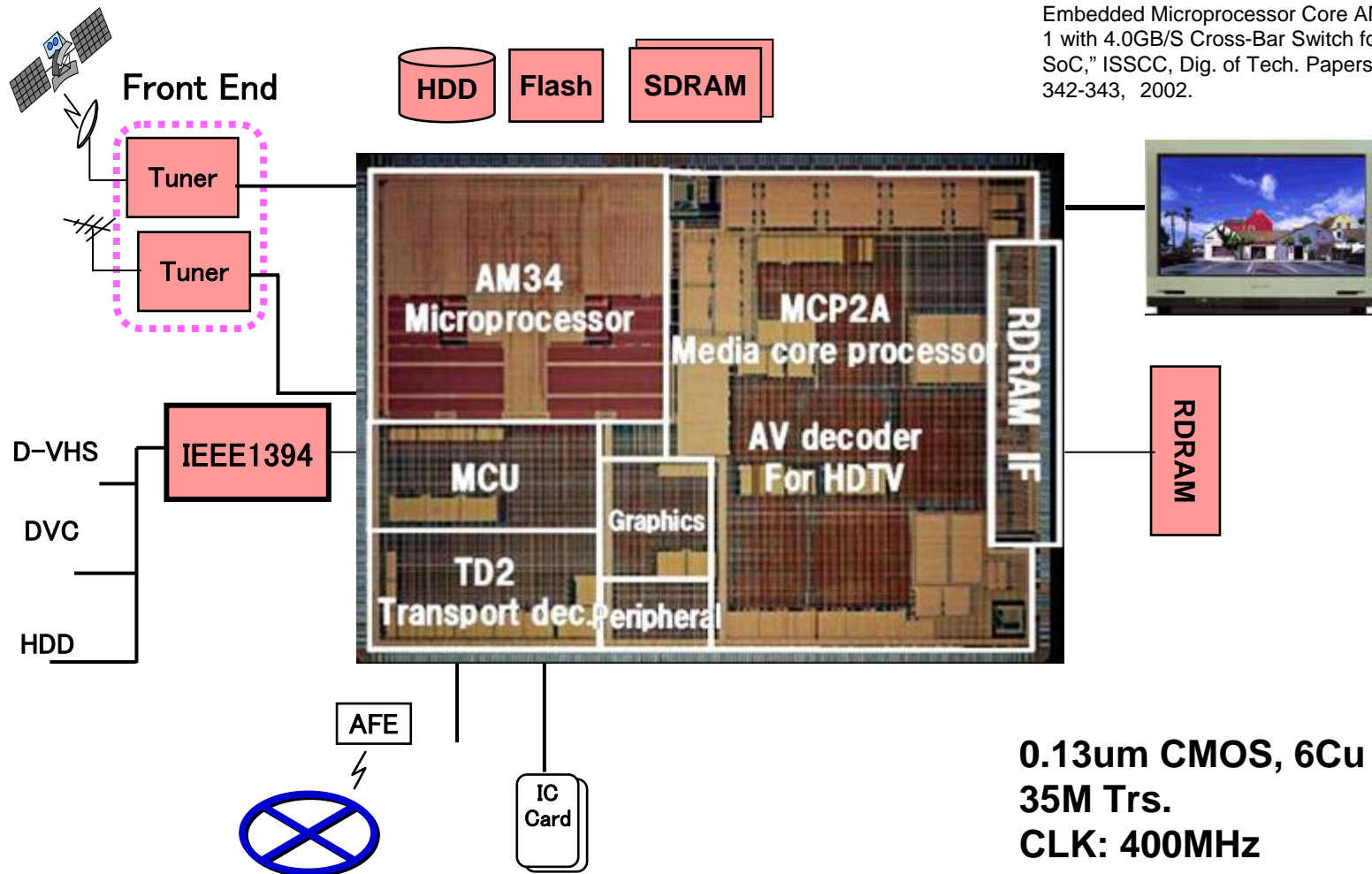
内容

- デジタル情報家電の時代
- **デジタル情報家電用SoC**
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

超高速メディアプロセッサ型SoC

メディアプロセッサ+マイクロプロセッサによるSoCを用いてデジタルHDTVなどの超高速画像処理ができる。

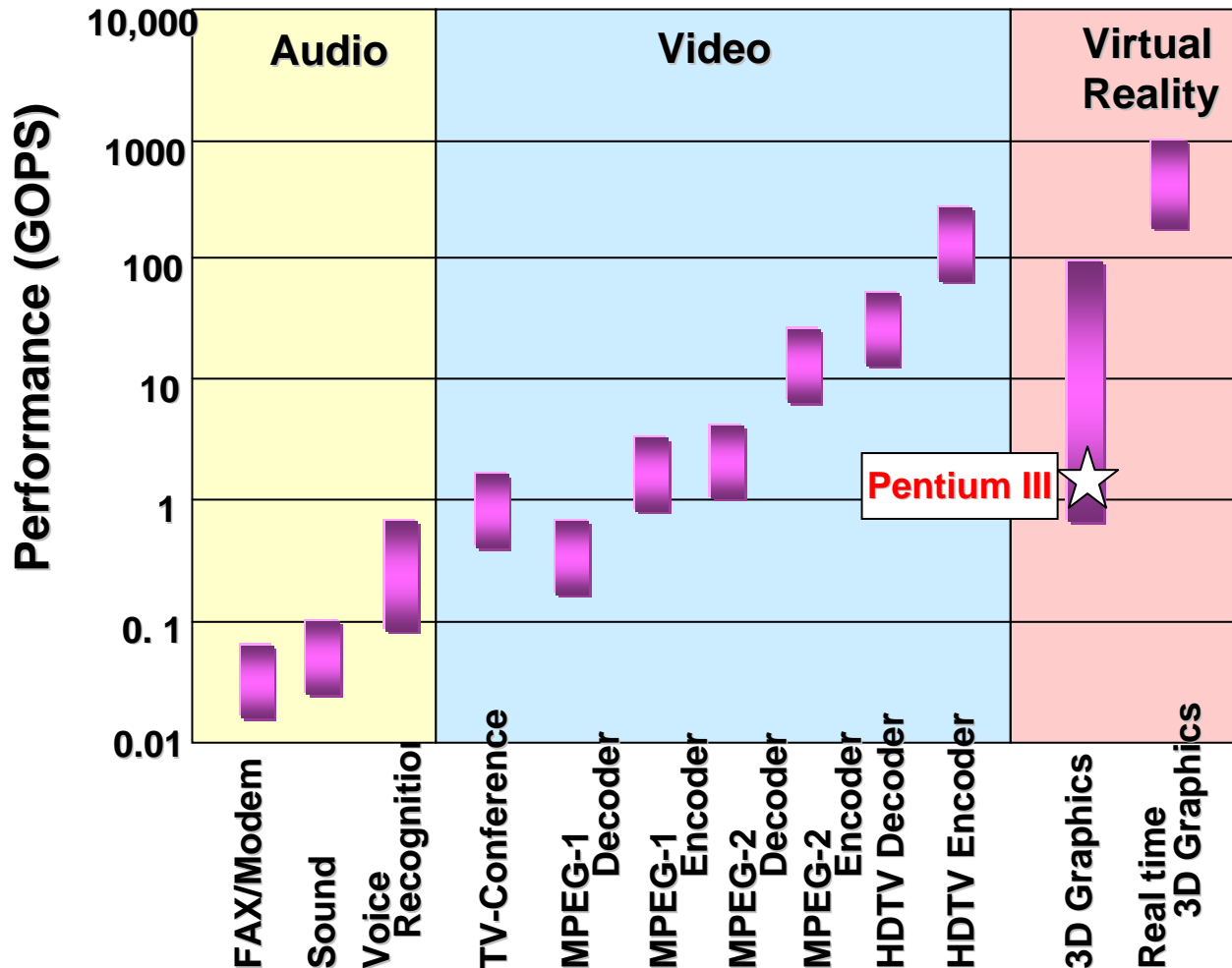
M. Nakajima, et al., "A 400MHz 32b Embedded Microprocessor Core AM34-1 with 4.0GB/S Cross-Bar Switch for SoC," ISSCC, Dig. of Tech. Papers, pp. 342-343, 2002.



0.13um CMOS, 6Cu
35M Trs.
CLK: 400MHz

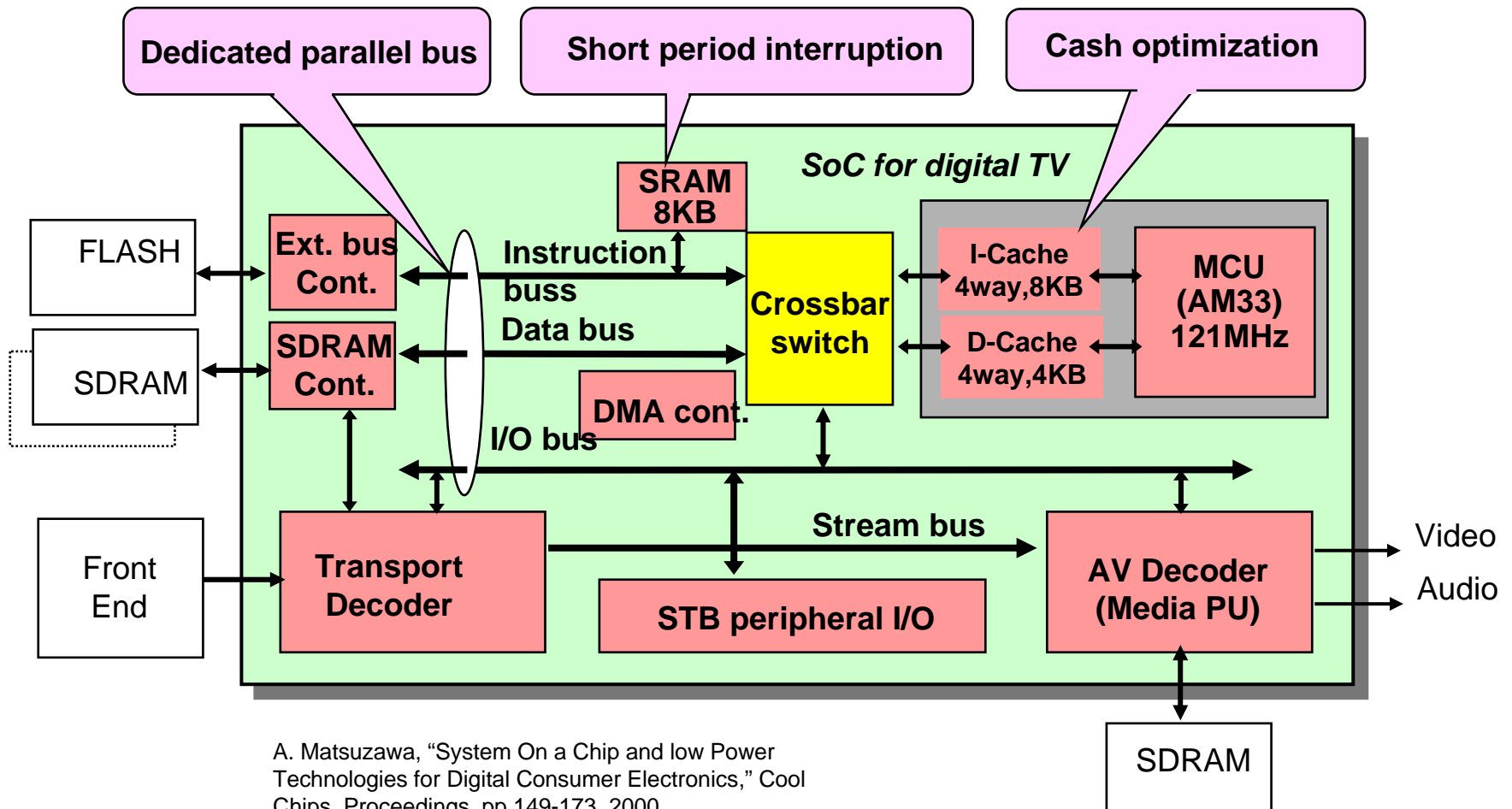
メディアプロセッサの処理能力

メディアプロセッサは汎用プロセッサの1桁以上上の処理能力が求められる。



応用システムに特化したアーキテクチャ

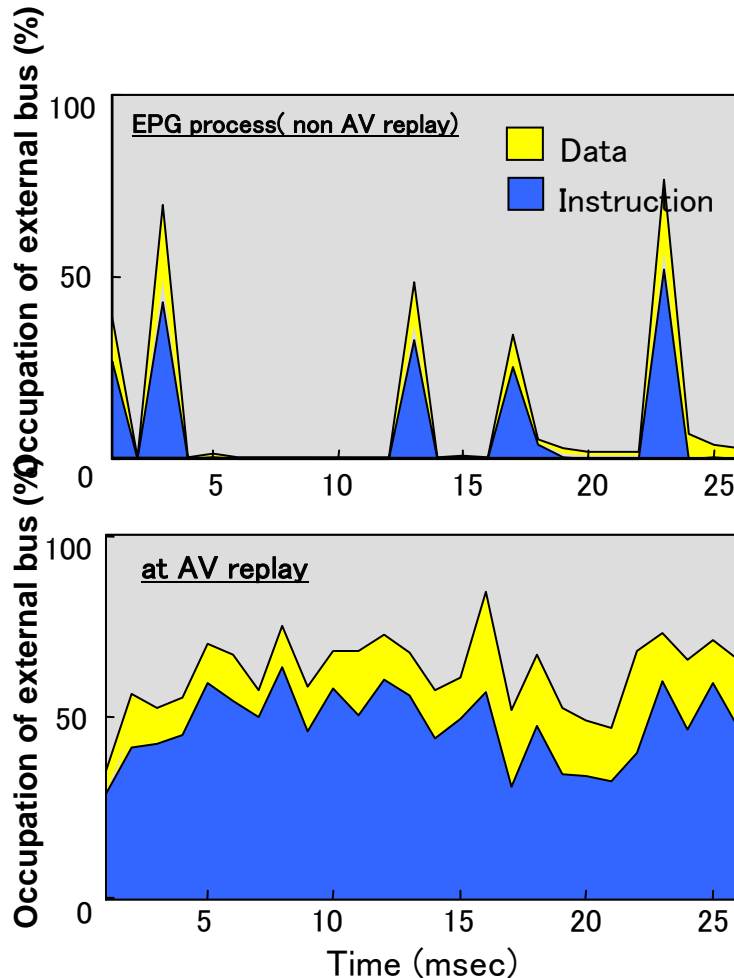
The architecture optimization based on a system analysis is a key.



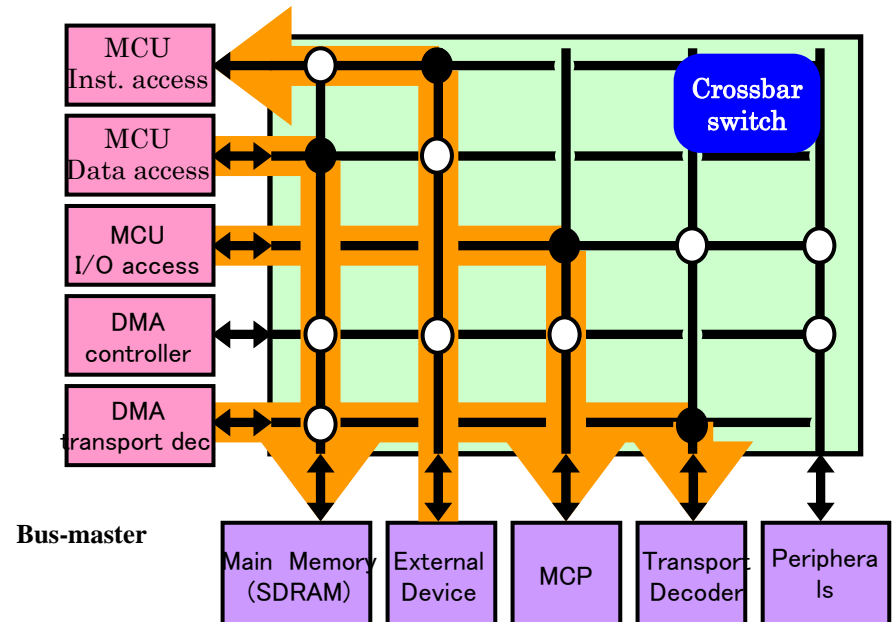
A. Matsuzawa, "System On a Chip and low Power Technologies for Digital Consumer Electronics," Cool Chips, Proceedings, pp.149-173, 2000

専用バス構造

通常のPC処理に比べてAV処理ではバスの占有率が高く、処理速度が上がらない。
そこで、クロスバースイッチから構成される専用バス構成にしている。
これにより処理速度は70%程度向上した。



A. Matsuzawa, "System On a Chip and low Power Technologies for Digital Consumer Electronics," Cool Chips, Proceedings, pp.149-173, 2000



内容

- デジタル情報家電の時代
- **デジタル情報家電用SoC**
 - メディアプロセッサ技術
 - **ローパワー技術**
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

ローパワー処理用SoC

携帯型デジタル情報家電機器には超低電力・低リークのSoCが求められる。

MPEG4 Codec

0.18um e-DRAM

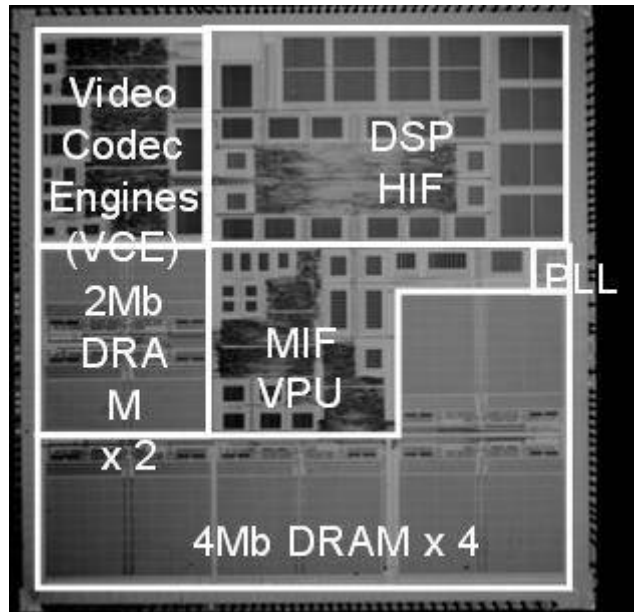
31M Tr

90 mW@54MHz

T. Hashimoto, et al., "A 90mW MPEG4 Video Codec LSI with the Capability for Core Profile," ISSCC, Dig. of Tech. Papers, pp. 140-141, 2001.

15fps (Core@L1 decode)

30 fps (Simple@L3 decode)



MPEG4 Decoder

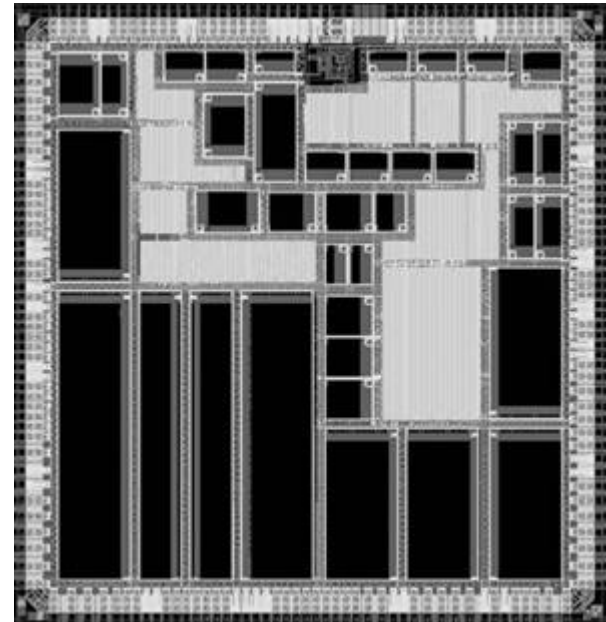
0.18um CMOS

11M Tr

11 mW@27/54MHz

M. Ohashi, et al., "A 27MHz 11.1 mW MPEG4 Video Decoder LSI for Mobile Application," ISSCC, Dig. of Tech. Papers, pp. 366-367, 2002.

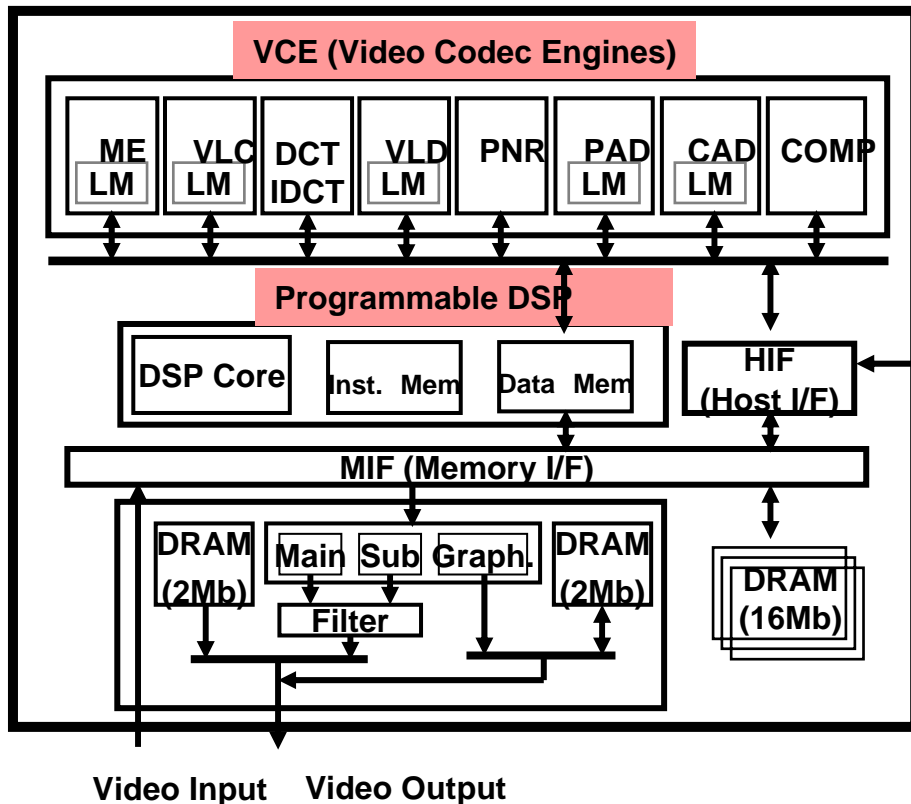
15fps (Core@L1 decode)



低電力化技術

低電力化のためには素子の微細化・低電圧化の他にクロックあたりの処理能力を上げるために並列処理技術、専用ハードウェア処理回路・クロックゲートなどのシステム・アーキテクチャ・回路技術が総動員される。

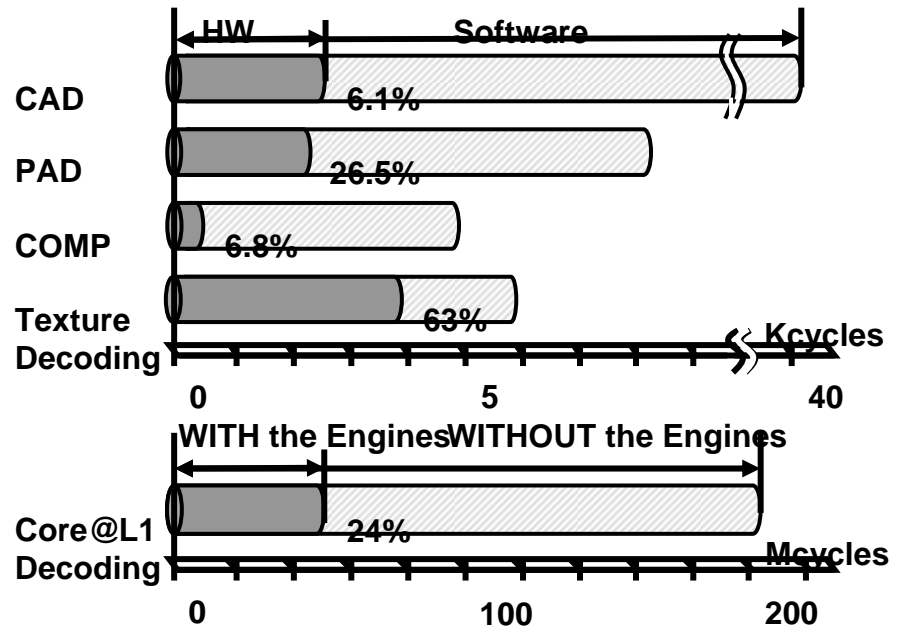
ブロック図



1.5 GOPS: Simple@L1
 12 GOPS: Simple@L3
 6 GOPS: Core@L1

T. Hashimoto, et al., "A 90mW MPEG4 Video Codec LSI with the Capability for Core Profile," ISSCC, Dig. of Tech. Papers, pp. 140-141, 2001.

ハードウェア処理の効果



内容

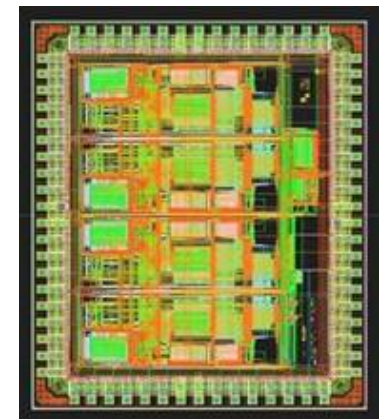
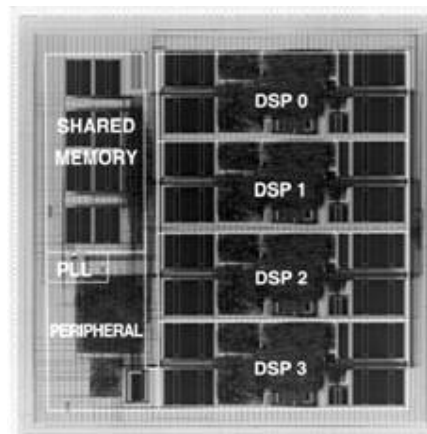
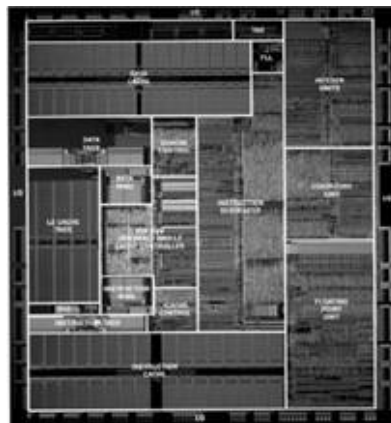
- デジタル情報家電の時代
- **デジタル情報家電用SoC**
 - メディアプロセッサ技術
 - ローパワー技術
 - **アーキテクチャと消費電力**
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

LSI構成と消費電力

LSIの構成の違いにより同一の処理能力でも消費電力は3桁違う。
汎用プロセッサが最も電力を消費する。

	MPU	DSP	Dedicated LSI
Parallelism	2	16	96
GOPS	0.9	0.8	2.4
Pd (mW)	7000	110	12
Pd (mW)/GOPS	7800	138	5

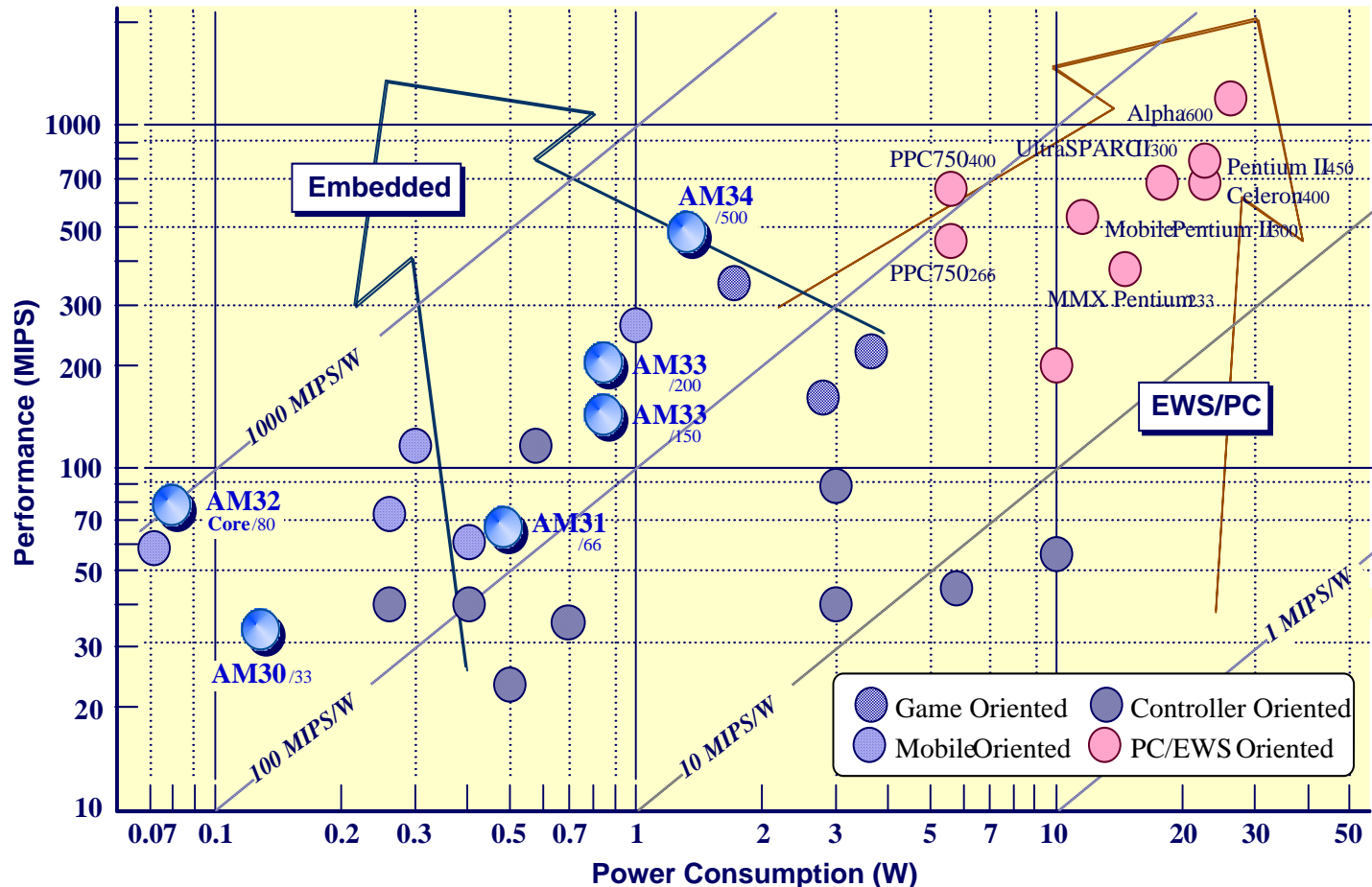
3 order's difference



Courtesy,
Prof. Brodersen,
UCB

MPU/MCUにおける処理能力と消費電力

同じ処理能力でも情報家電系のプロセッサは汎用プロセッサに比べ1桁程度消費電力が小さい

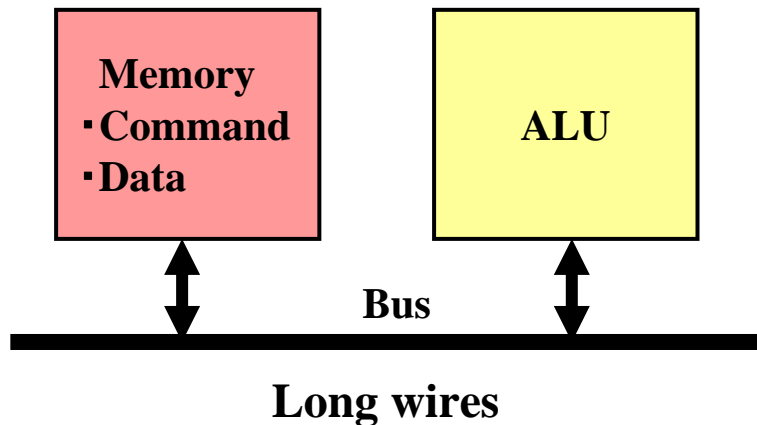


LSIアーキテクチャの課題

専用処理回路や並列構成にすればクロック速度が遅くとも処理能力を上げることができ、消費電力も下げることができる。

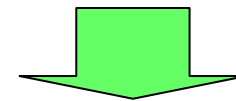
しかし、アプリケーション特化の設計であり、汎用性が失われる。

Centralized: Current general purpose MPU

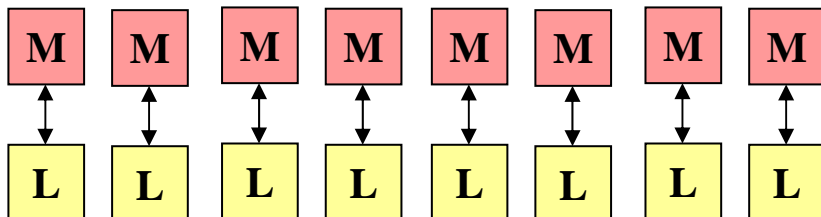


MIPS=(2 or 3) x Clock

needs higher clock frequency
needs longer wire line
needs high speed devices



Distributed: Parallel computing



Large power dissipation
Tough timing skew,
yet low processing ability

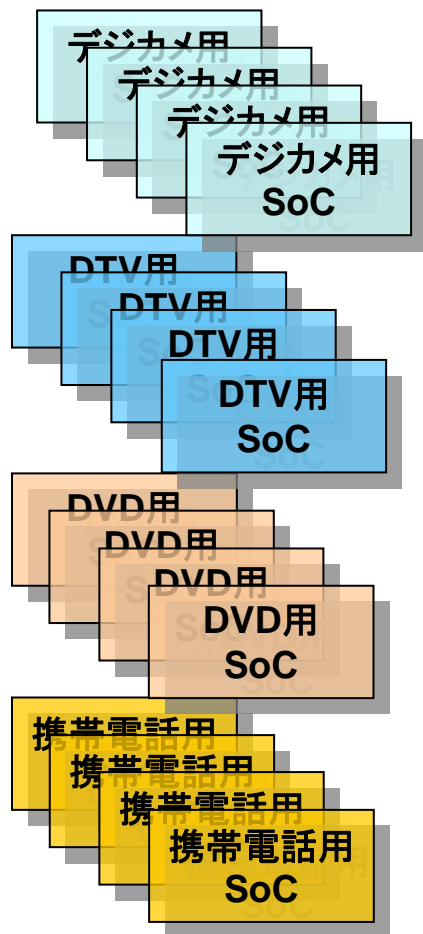
Change the LSI architecture!!

Locate every needed circuits in the neighborhood

デジタル情報家電用SoCの開発方向

分野共通のメディア処理の台頭、開発コスト・TATの短縮などの理由から、SoC品種は統一される方向に向かう。汎用CPUに近い技術が要求される。

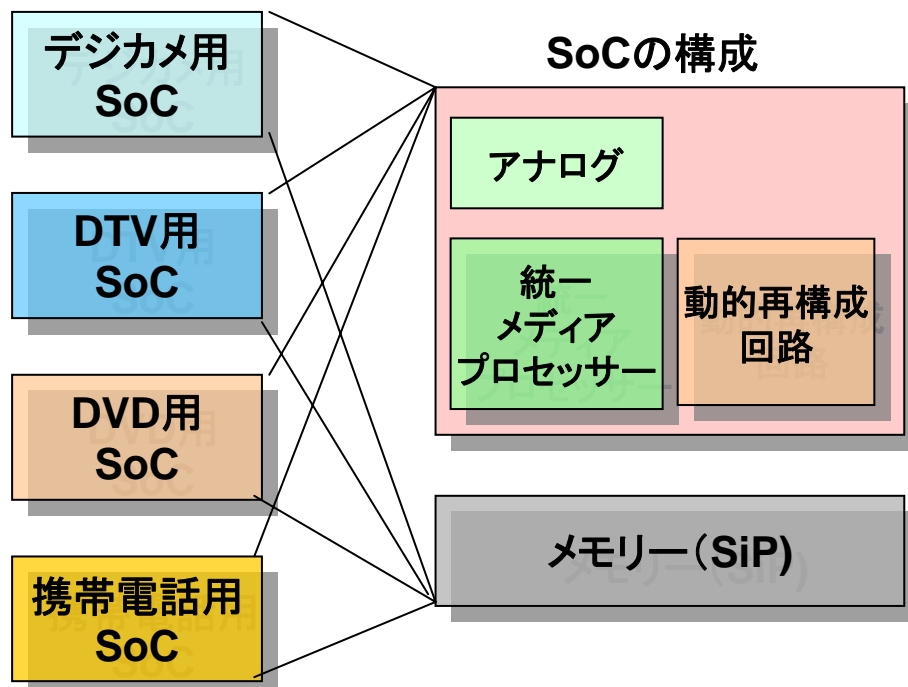
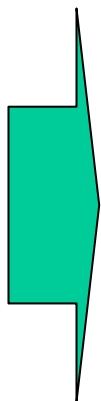
・分野毎・製品毎のSoC



・分野毎SoC

- ・統一メディアプロセッサ
- ・ソフトウェア処理化の促進(様々な用途に対応)
- ・ダウンローダブル(出荷後の仕様変更可能)
- ・動的再構成回路の使用(様々な用途に対応)
- ・SiPにより多様なメモリーサイズと高速化に対応

今後の方向



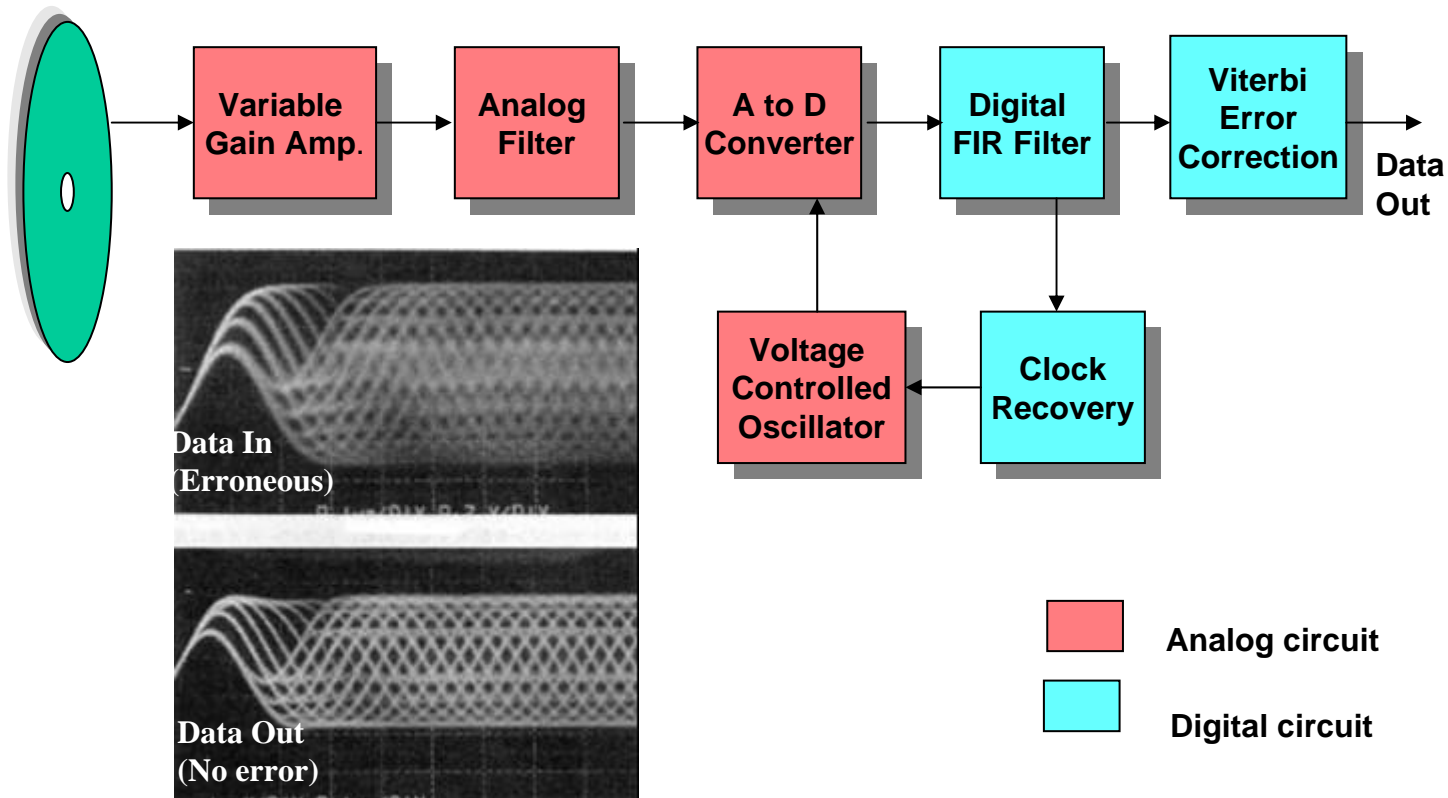
内容

- デジタル情報家電の時代
- **デジタル情報家電用SoC**
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - **アナログ・デジタル混載技術**
- SoCの開発体系
- テクノロジーへのインパクト

アナ・デジ混在信号処理

アナデジ混在型信号処理は殆どのシステムに用いられている。

- ・デジタル放送・通信・ネットワーク(DTV, ADSL, Ethernet, USBなど)
- ・デジタル記録(HDD, DVD, DVCなど)
- ・デジタルカメラやディスプレイなどの入出力

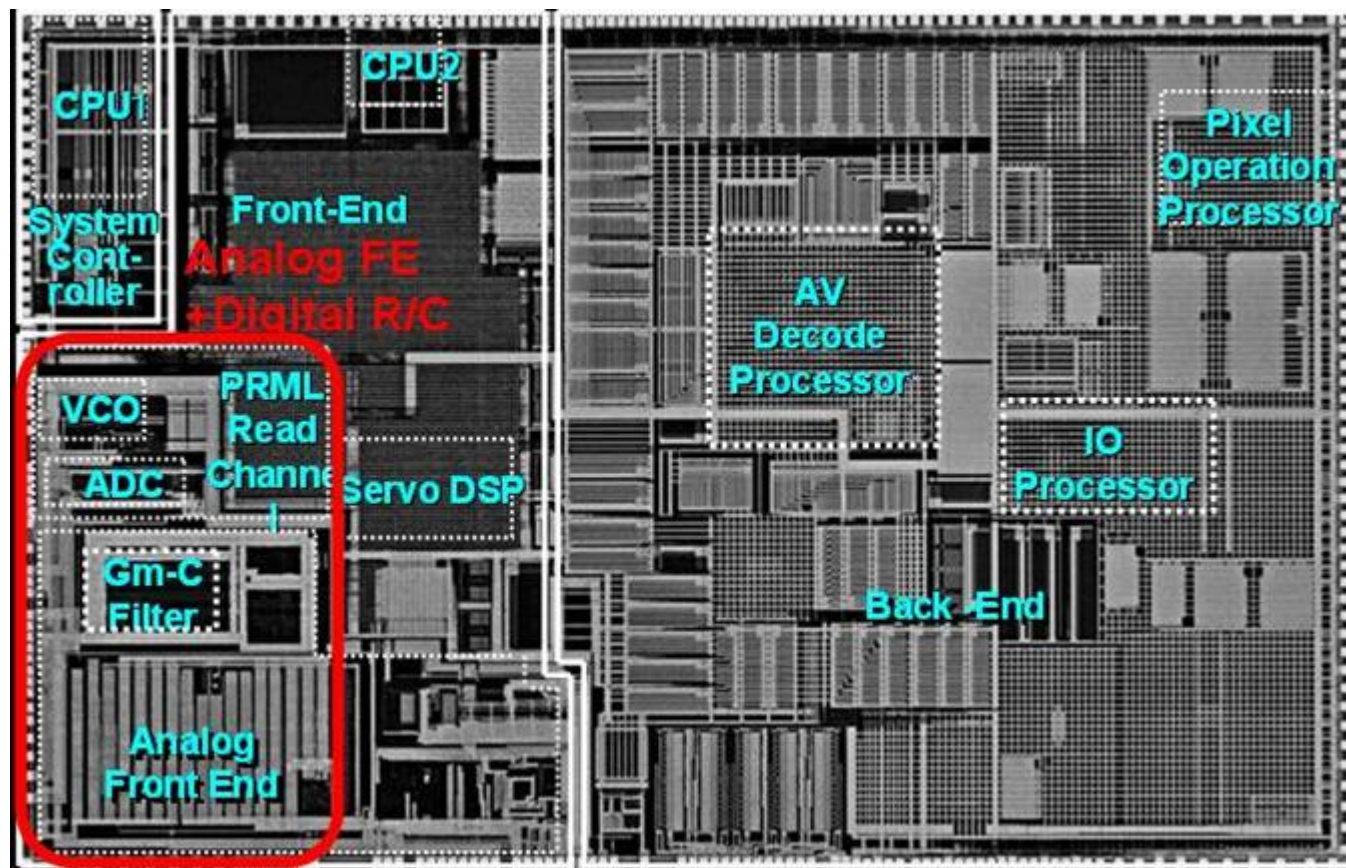


アナ・デジ混載SoC: DVDの完全ワンチップ化

高性能アナログを含むDVDの全機能を0.13um技術を用いてワンチップに集積した。

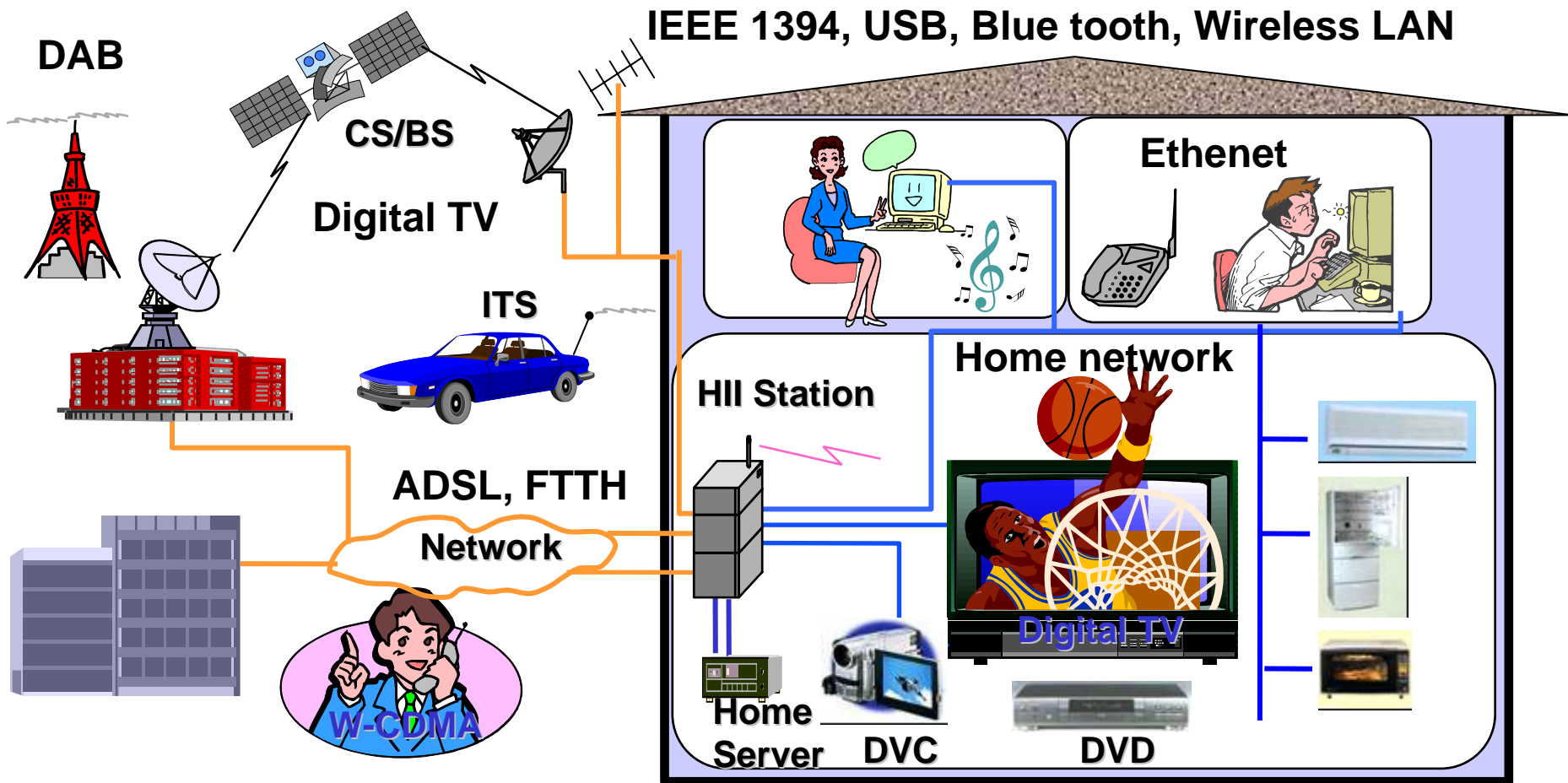
0.13um, Cu 6Layer, 24MTr

Okamoto, et al., ISSCC 2003



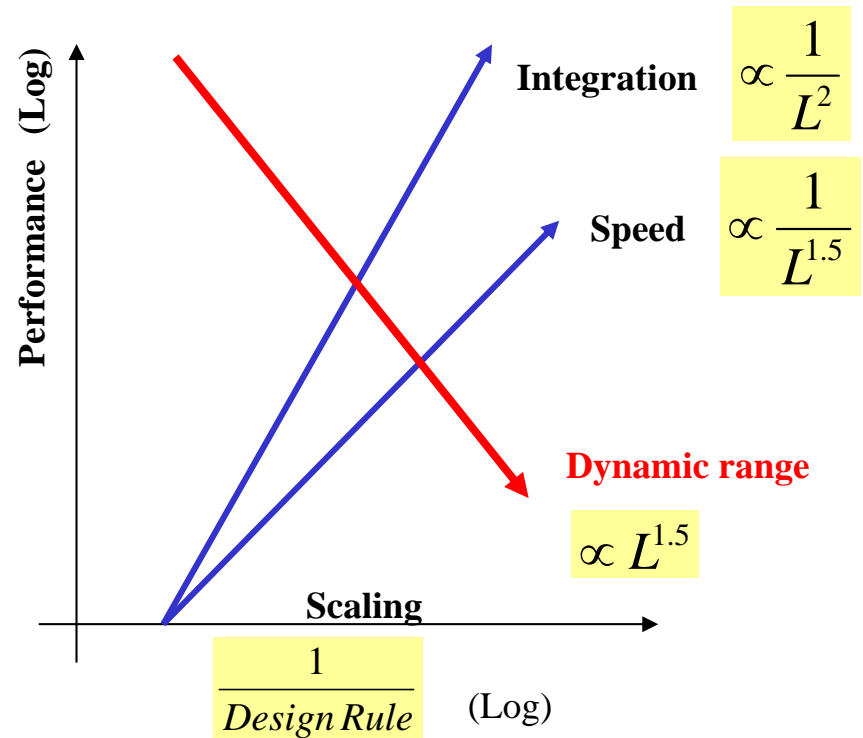
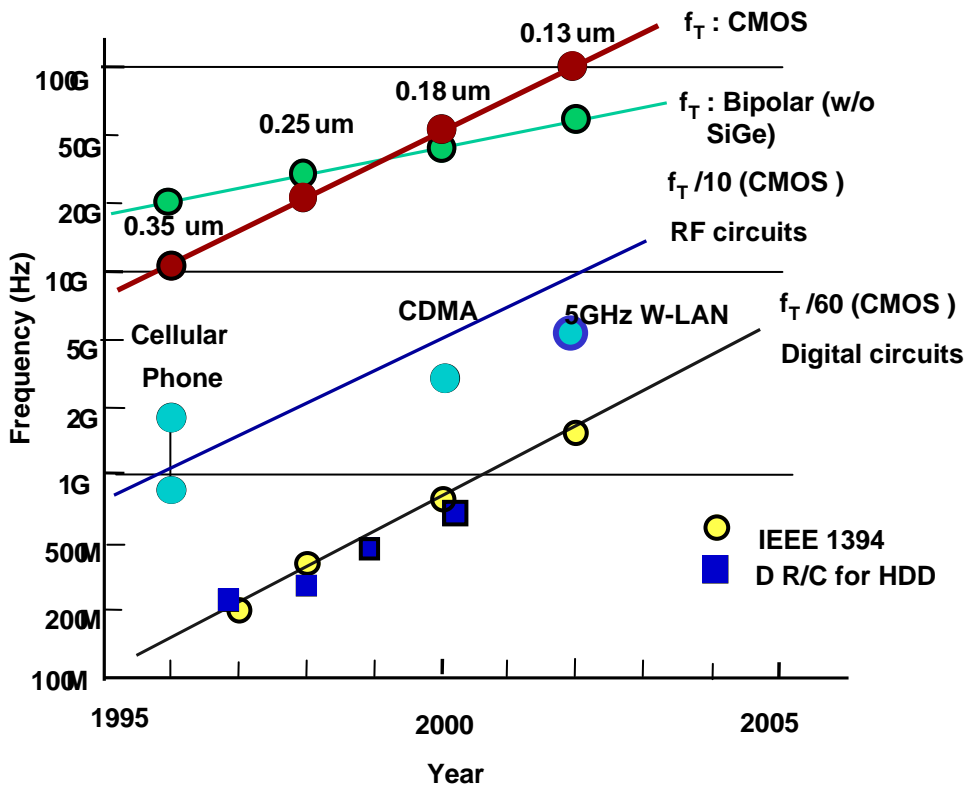
デジタルネットワーク社会

デジタルネットワーク化も現在の特徴である。ここでもアナログ・RF混載技術が使われる



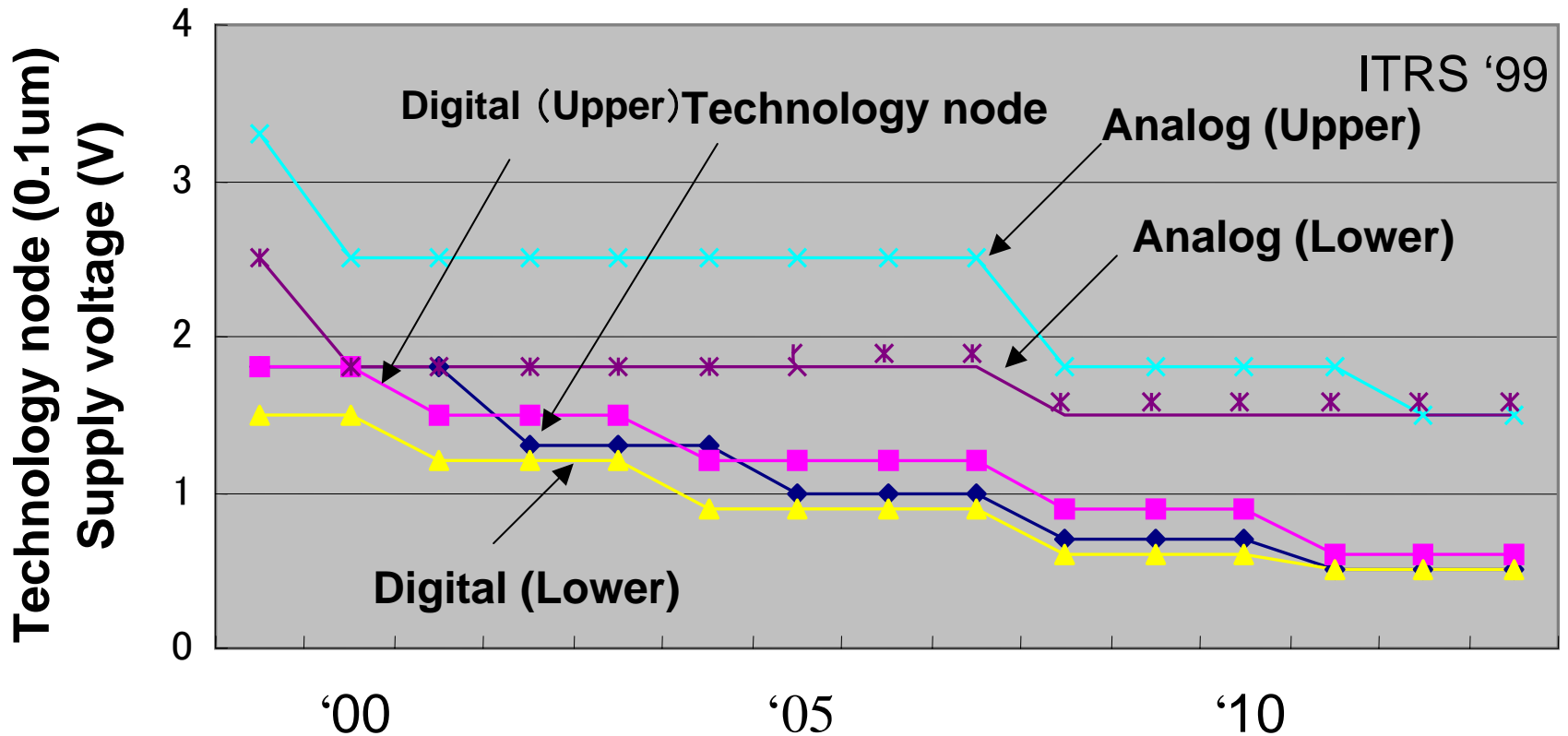
CMOSの高周波化とアナログの困難さ

微細化によりMOSの高周波特性は向上し、高周波応用が可能になった。
 しかし、電源電圧の低下はダイナミックレンジの低下を招き、アナログ混載を難しくしている。



アナログ回路の低電圧化の困難さ

- ・アナログ回路では低電圧動作限界が1.5-1.2V程度と見られている。
このことは0.13um以降の微細化が限界に達し、アナログの面積縮小と動作周波数の限界が迫っていることを意味する



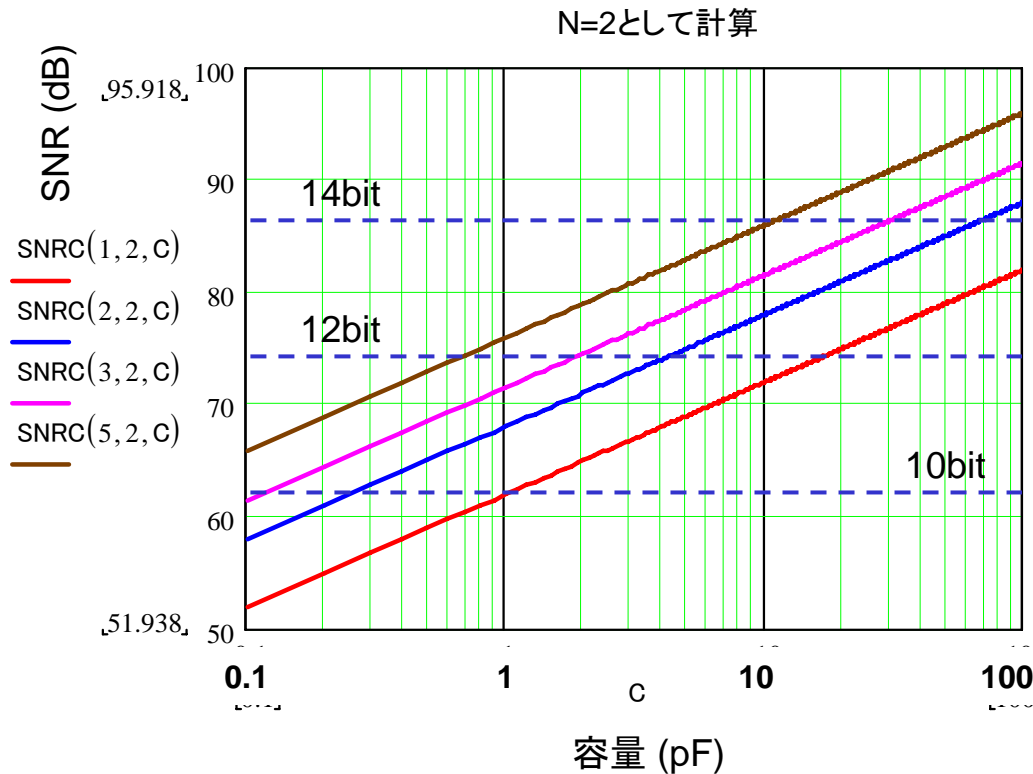
低電圧アナログの困難さ

標本化回路では熱雑音をサンプリングし、これがノイズとなる

→高精度化＝高ダイナミックレンジ化のためには容量か電圧を大きくしなければならない

→低電源電圧で同一のダイナミックレンジを取るためには容量を大きくしなければならない

微細化で電源電圧が下がると高性能アナログが設計しにくくなる



kT/Cノイズは $V_n^2 = \frac{nkT}{C}$

ここでnは関係する容量数

フルスケール入力電圧を V_{FS} とおくと

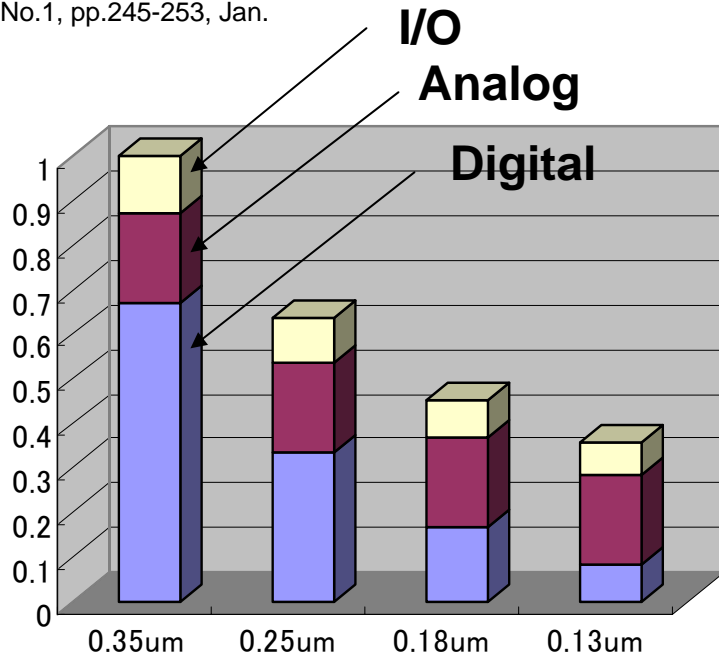
$$SNR_{(dB)} = 10 \log \left(\frac{CV_{FS}^2}{8nkT} \right)$$

アナログ・I/O回路によるコストアップ

アナログ回路やI/O回路の面積縮小が図られなければ微細化によりチップコストは上昇する。

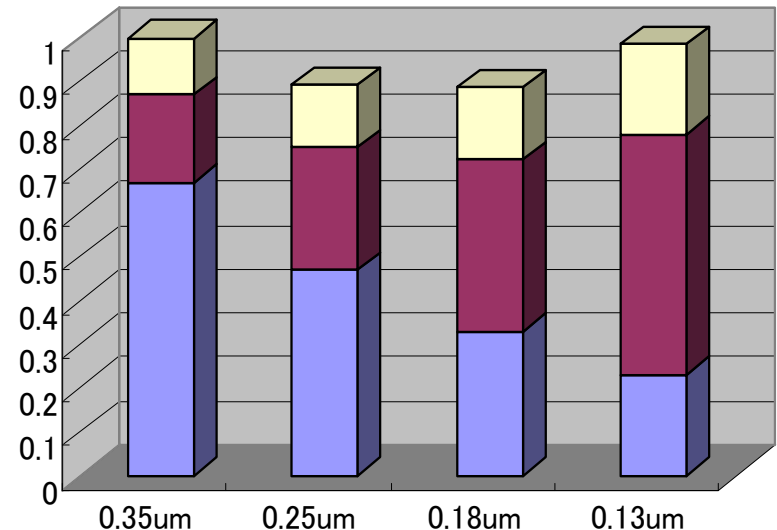
1.A. Matsuzawa, "RF-SoC: Expectations and required condition," IEEE Transaction on Microwave Theory and Techniques, Vol.50, No.1, pp.245-253, Jan. 2002.

今後大規模アナログ回路のSoC搭載は難しくなる。
一部の本質的なアナログ回路以外はデジタルになっていく。



Chip area

Wafer cost increases 1.3x
for one generation
(0.35um : 1)



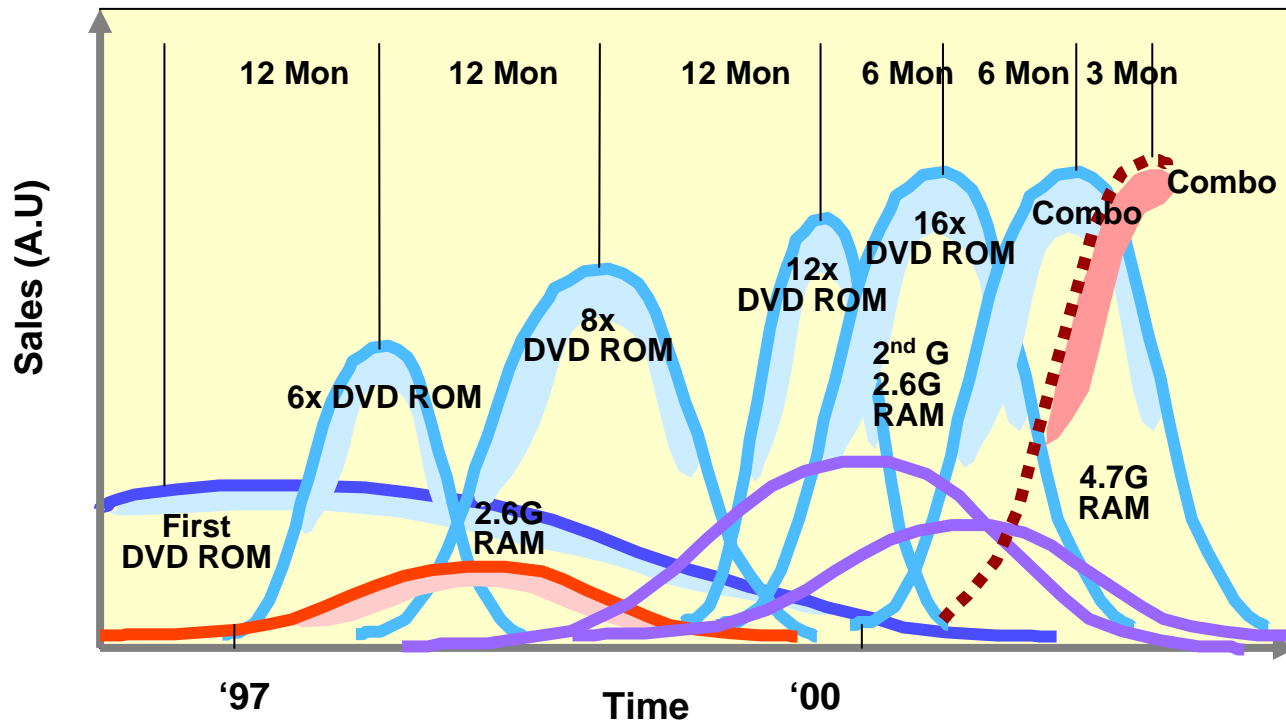
Chip cost

内容

- デジタル情報家電の時代
- デジタル情報家電用SoC
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- **SoCの開発体系**
- テクノロジーへのインパクト

開発期間の短縮

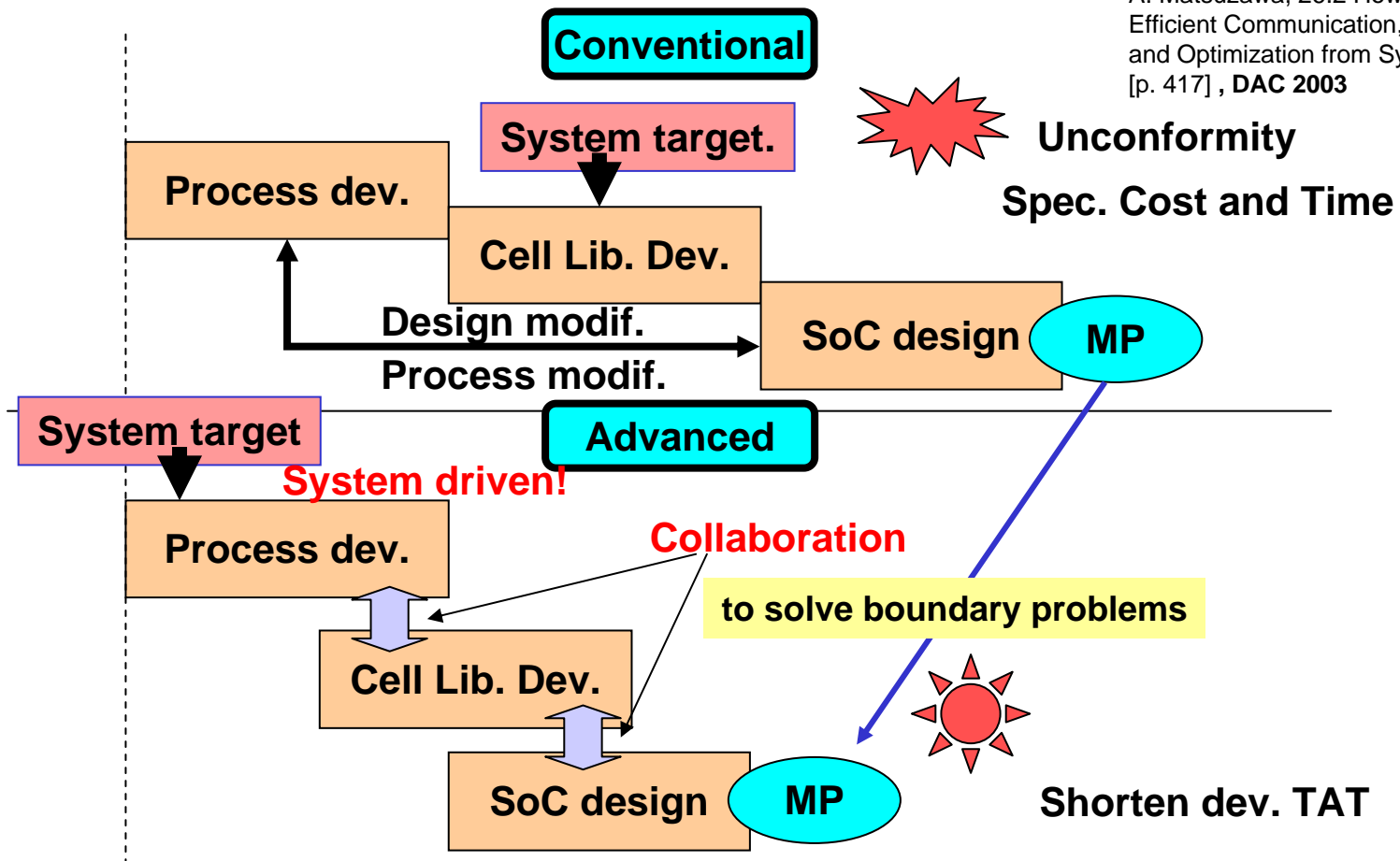
デジタル情報家電機器の開発サイクルは短い。
→短期間で確実な開発が求められる。



システムに最適化されたSoC開発

システムに最適化されたプロセスからSoC設計までの開発スタイルが重要。

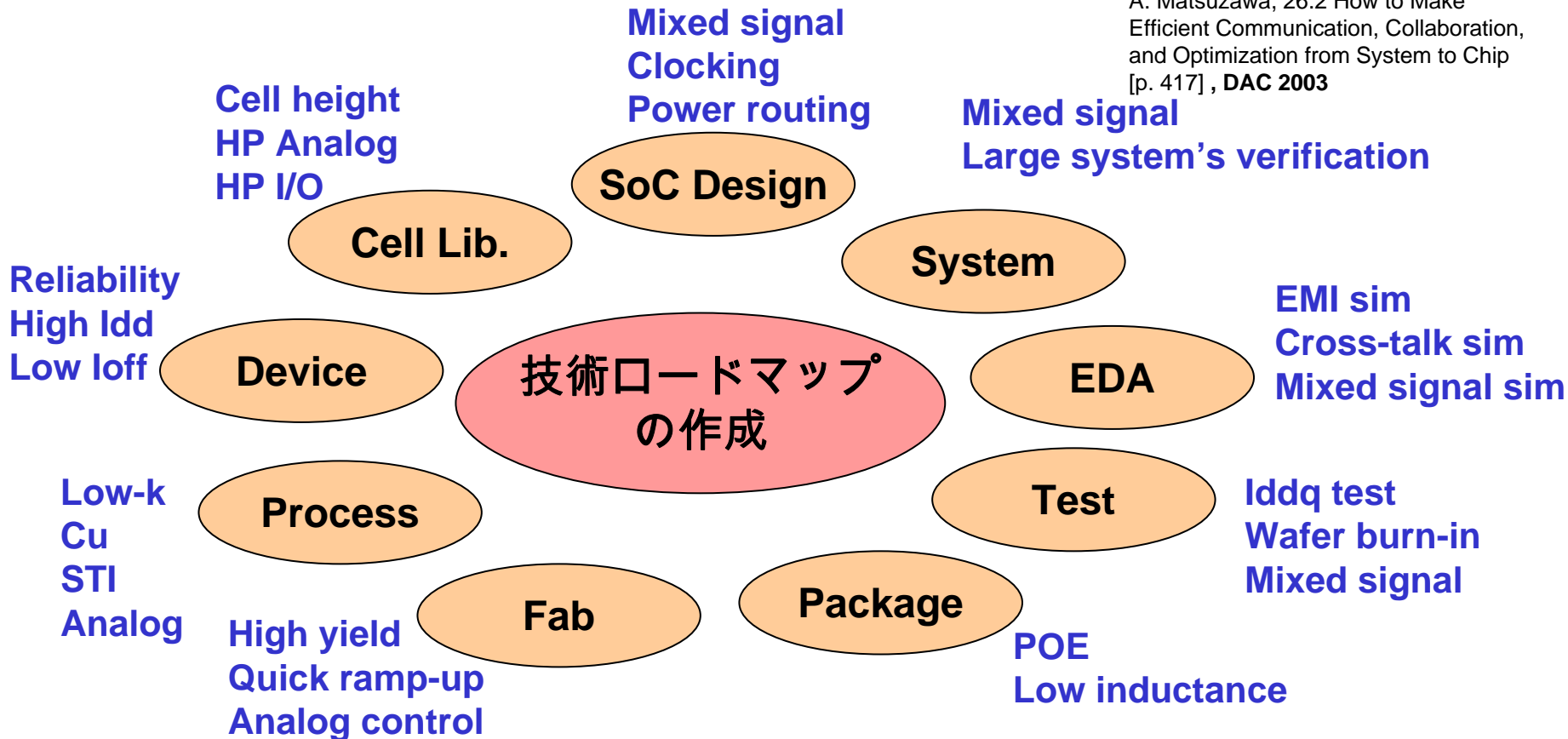
A. Matsuzawa, 26.2 How to Make Efficient Communication, Collaboration, and Optimization from System to Chip [p. 417], DAC 2003



SoC開発における様々な技術分野の力の結集

デジタル情報家電機器向けSoCの開発はシステムから工場までの最適化が必要である。

A. Matsuzawa, 26.2 How to Make Efficient Communication, Collaboration, and Optimization from System to Chip [p. 417], DAC 2003



Future demands, issues, and solutions

内容

- デジタル情報家電の時代
- デジタル情報家電用SoC
 - メディアプロセッサ技術
 - ローパワー技術
 - アーキテクチャと消費電力
 - アナログ・デジタル混載技術
- SoCの開発体系
- テクノロジーへのインパクト

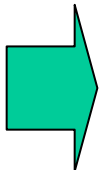
技術の特徴とテクノロジーへのインパクト

技術・製品の特徴

- 応用特化のアーキテクチャ
- アナ・デジ混載対応が求められる
- コスト要求が厳しい
- 短期開発が求められる
- 品種あたりの生産個数が少ない
(対汎用CPU比較にて)
- 高速化要求は低い
- 低電力要求はやや高い
- 低リーク要求は同等
- 高集積要求は低い

テクノロジーへのインパクト

- 高速化・低電力化・低リーク化・高集積化は必要であるが、これは汎用CPUと同等である
- アナログなどシステムに必要な機能集積要求が高い
- 低コスト化技術が強く求められる
- 短期開発可能な技術が必要
- 応用システムに応じて最適なテクノロジーノードが存在する
(システム規模・性能が増大し続けない)



機能集積度、チップコスト、開発コスト、開発期間などの展望が重要

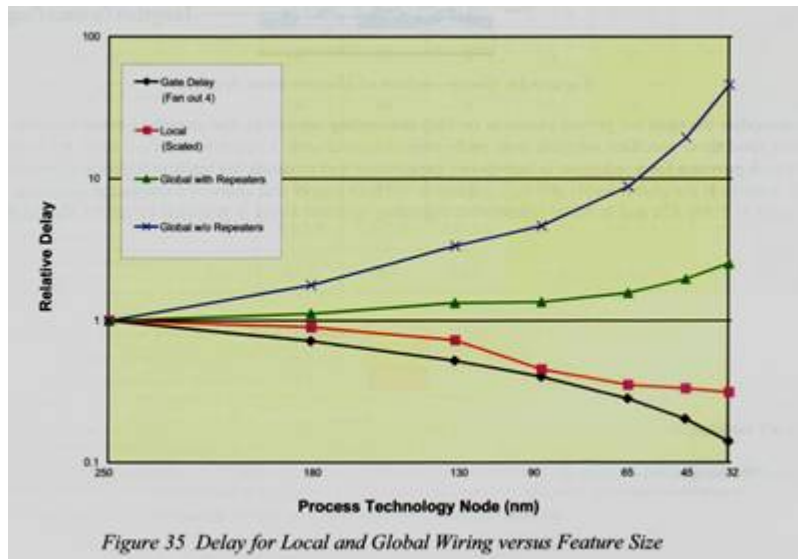
テクノロジーへのインパクト:ロジック系

- デジタル情報家電用SoCがロジック系のテクノロジー開発に大きな技術インパクトを与えるとは考えにくい。
 - 基本要件性能(集積度・速度・消費電力・リーク電流)は汎用プロセッサと変わらず、この分野は汎用CPUがリードすると思われる。
 - デジタル情報家電用SoCは応用特化の専用化により処理性能を上げ、消費電力を下げてきたが、開発コストの高騰や開発期間短縮により大量品以外は専用設計が困難になり、汎用的CPU使用がますます高まる。
 - 速度は高速性はますます要求されるが汎用CPUほどではなく、超高速技術をリードする立場にはならないであろう。
 - 如果说えば低消費電力・低リーク電流がより強く求められるが、状況は汎用CPUと同様である。
- したがって、配線の高密度化とLow-Kは強く求められるが、配線遅延の短縮は汎用CPUほどではない。
トランジスタは駆動能力よりは低リーク電流重視程度の味付けの差程度と思われる。

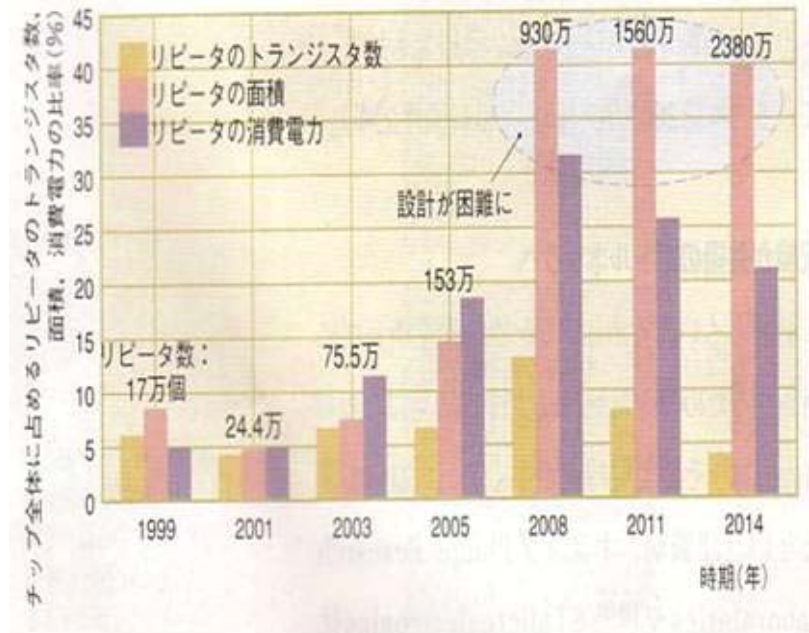
超高速動作の課題

- ・ 配線遅延時間が短縮される目処は殆どなさそうである。
- ・ リピーターの面積・消費電力が急増し、許容限界を超える。
- ・ メモリー間のデータ転送時間が70%程度となりCPU単体の速度向上効果が少ない

→ 今後クロック周波数増加による高速化は飽和する
並列化やメモリーインターフェースの見直しで処理能力向上の方向へ



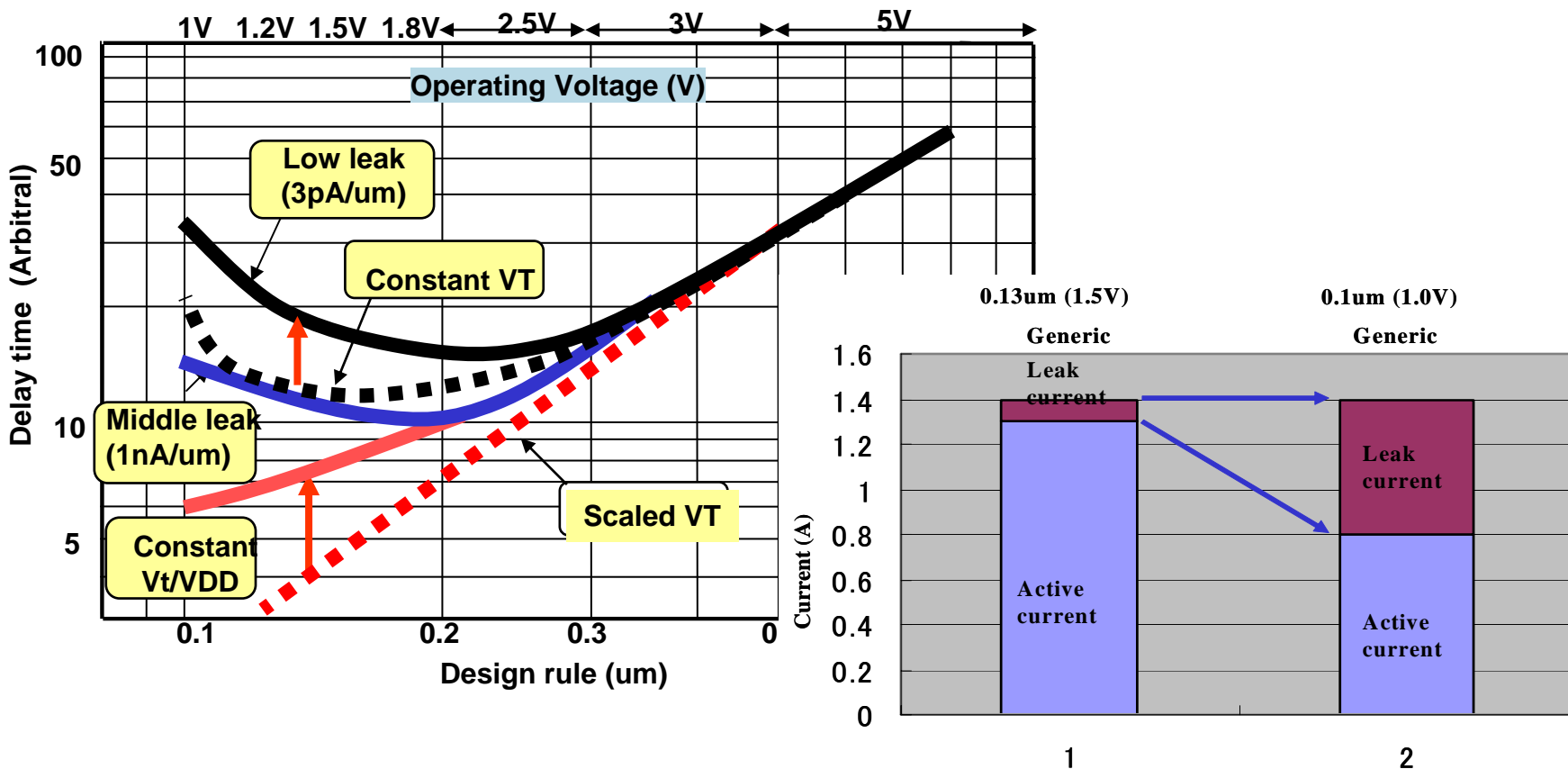
ITRS 2001 Edition, pp. 261.



日経マイクロデバイス: 2003年8月号, pp.26

トランジスタパラメータの選択

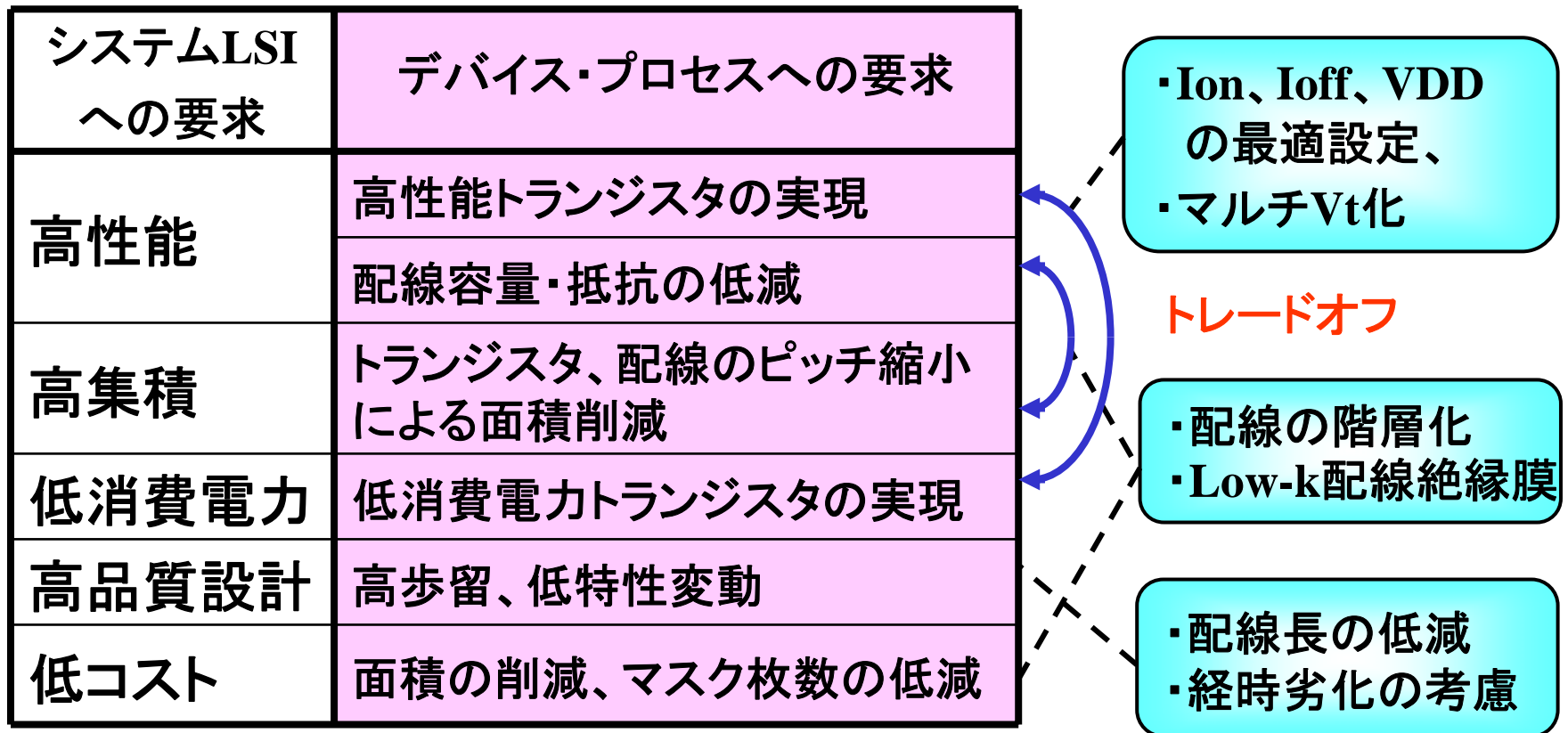
- ・プロセスの微細化・低電圧化に伴いリーク電流が大きな課題になってきた。
- ・携帯電話用途の低リーク電流トランジスタは速度劣化のおそれがある。
- ・デジタルTV用のトランジスタはそれなりの速度が要求されるが90nm世代ではリーク電流が全消費電流の半分近くを占めるおそれも出てきた



デジタル情報家電用SoCのプロセス

デジタルTV用SoC向けの仕様設定

⇒ 各種トレードオフの最適化と微細化の副作用への対策



テクノロジーへのインパクト:メモリー系

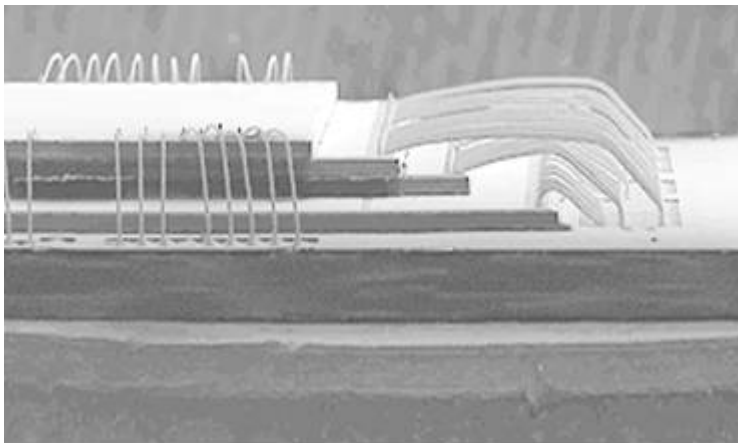
- デジタル情報家電機器はメモリー関連のテクノロジーに多大なインパクトを与えるものと思われる。
 - 不揮発性メモリーの大容量化への爆発的増加(1年で2倍)
(デジカメ用途など) 微細化では追いつかない(3年で2倍)
 - フラッシュの開発加速とMRAM, PRAM, などの他の大容量不揮発性メモリーの早期実用化の促進
 - 3次元積層パッケージ技術などの単位面積あたりのメモリー容量を増加させる技術開発が加速
 - メモリー・ロジック間の大容量データ転送が必要(デジタルテレビ、ゲーム機)
 - DRAM混載はコスト増と、用途によってメモリーサイズが異なるシステムが実現しにくいため、Chip On Chip技術などのチップ張り合わせ、もしくはなんらかの実装での解決が期待される。
 - 携帯機器向けにFeRAMなどの低電力・高速の不揮発メモリーの開発が加速

テクノロジーへのインパクト: メモリー系

メモリーシステム開発において実装技術が大きな鍵を握る

メモリーの積層集積

携帯電話では限られた面積に大量のメモリーを集積する必要がある。
また不揮発メモリーだけでなくSRAM, DRAMなど各種メモリーの組み合わせさせたシステムになるため混載では難しい。
高密度化・多層化は加速されるものと思われる。

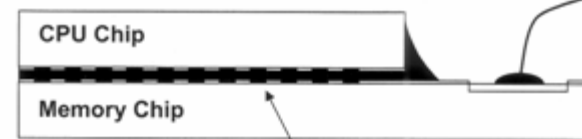


Chip On Chip 技術を用いた
CPU・メモリー間的高速・大容量接続

30um 径、60umピッチのCoC
接続点の電気特性は1mmの配線長と同等

Cross section of MCL chip.]

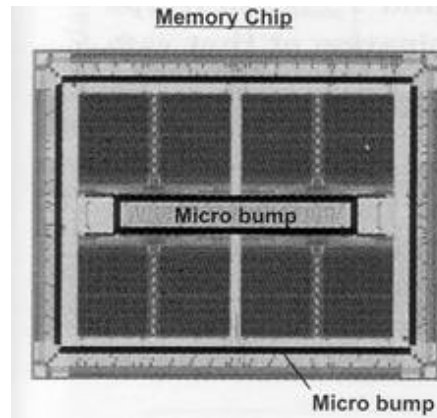
160Gb/s @123MHz



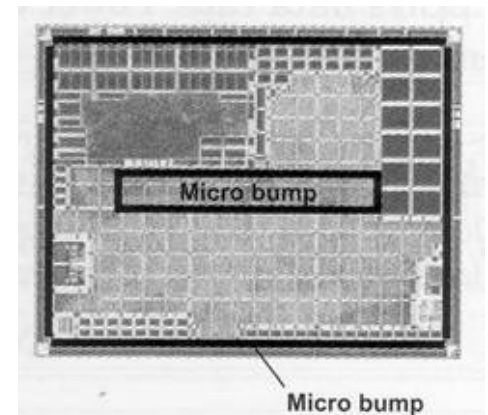
Micro bump

T. Ezaki, et al., ISSCC 2004, pp.140

Memory Chip



Micro bump



Micro bump

テクノロジーへのインパクト: アナログ系

- アナログ混載は必須になるが、搭載回路は極めて限定されたものになる。本質的に必要回路を除き、よりデジタル化される。
 - 微細化による動作電圧の低下、かなりの回路が動作困難に
 - アナログ部のコスト増
 - 本質的に必要なアナログはADC, DAC, Low Noise Amp, VCO
- アナログオプションは最低限必要だが回路技術で増加を抑える方向
 - 必要なオプション: 高精度MIM容量、厚膜配線、可変容量、トリプルウエル(高抵抗基板)
 - 必要な性能: 低 V_T ミスマッチ、低 $1/f$ ノイズ、高 f_T , f_{max} 、低基板ノイズ
- RFの再構成可能技術が重要に
 - MEMS スイッチ
 - 可変インダクター

ワイアレスSoCの開発

CMOSによるワイアレスネットワークの実現が当たり前になる。

Wireless LAN, 802.11 a/b/g
0.25um, 2.5V, 23mm², 5GHz

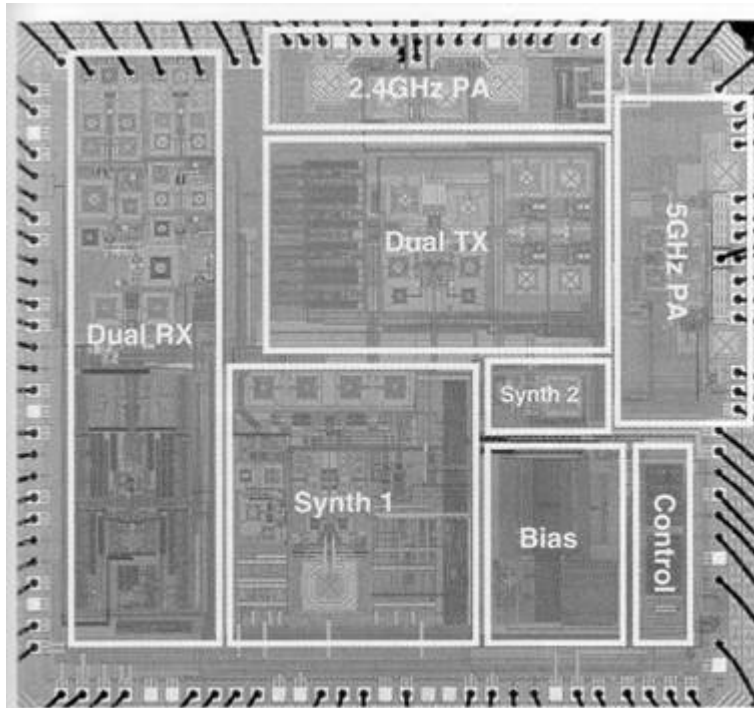


Figure 5.4.7: Die micrograph.

M. Zargari (Atheros), et al., ISSCC 2004, pp.96

Discrete-time Bluetooth
0.13um, 1.5V, 2.4GHz

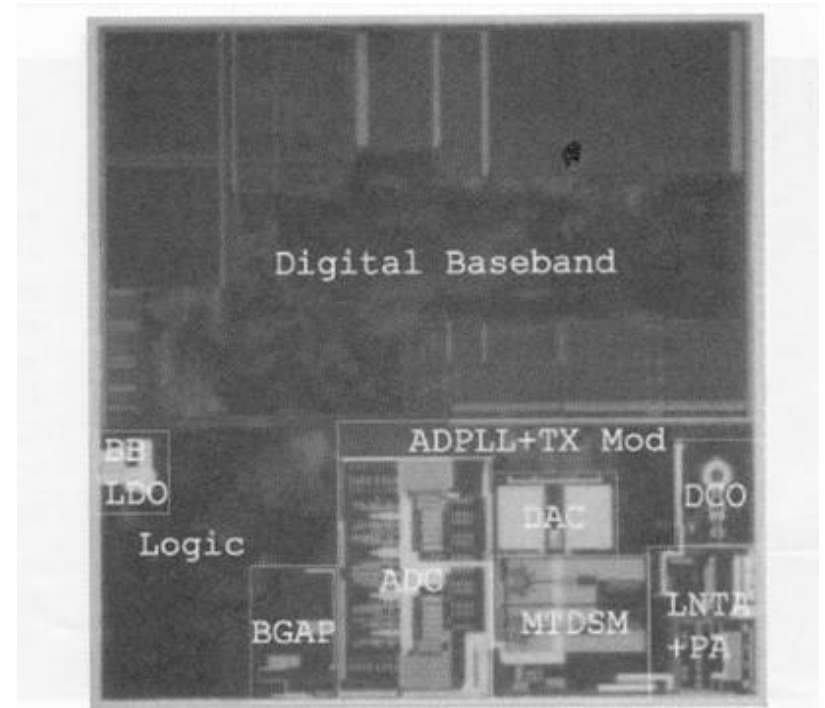


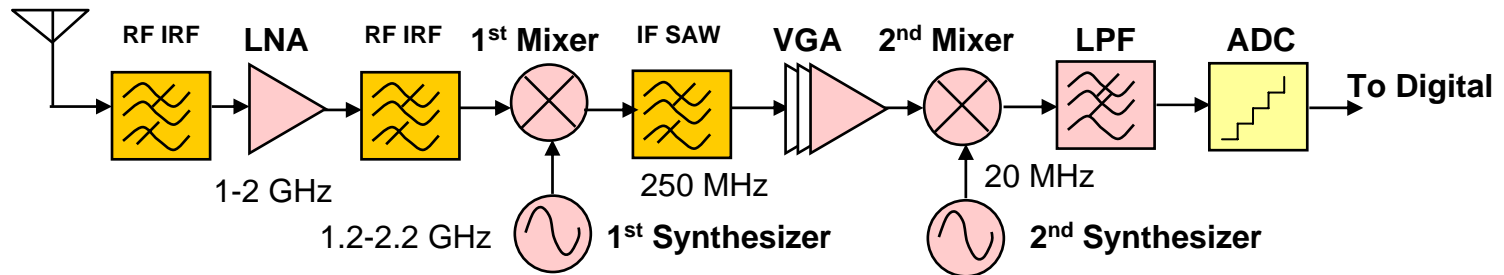
Figure 15.1.7: Die micrograph of the single-chip Bluetooth transceiver.

K. Muhammad (TI), et al., ISSCC2004, pp.268

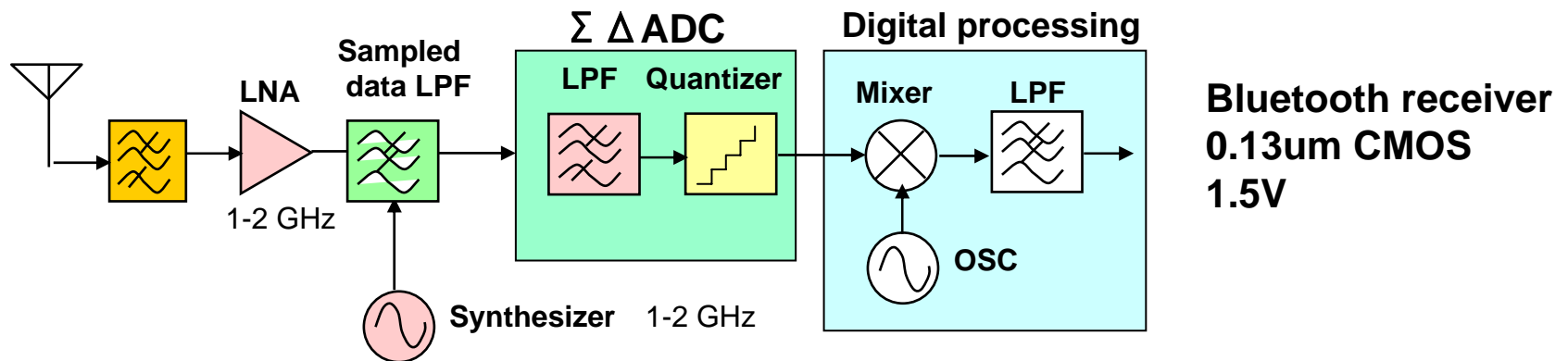
ワイアレスSoCの構成

今後のワイアレスSoCはアナログ回路が最小になるような構成になる。

Analog Architecture: Super Heterodyne (Larger power, cost)



Digital architecture: Direct conversion with discrete-time processing

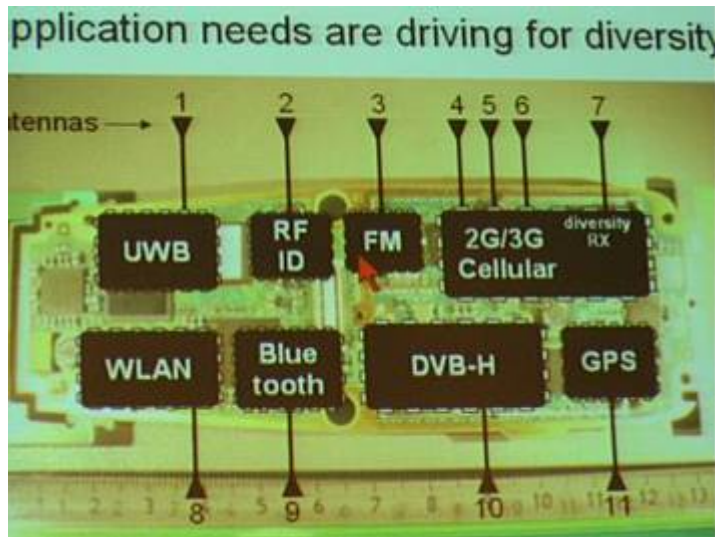


K. Muhammad (TI), et al., ISSCC2004, pp.268

ワイアレス分野の課題

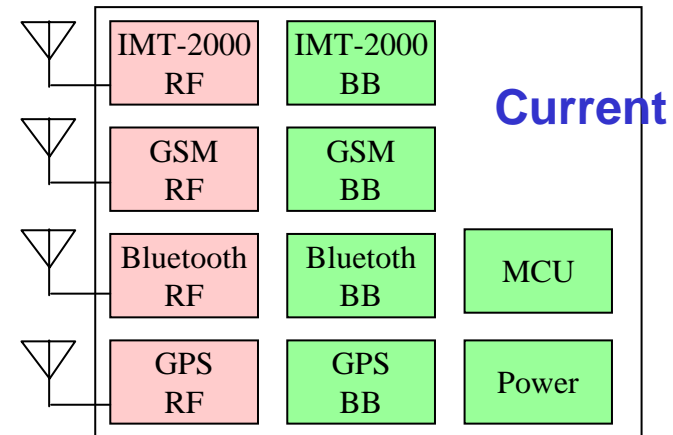
今後は携帯電話に11種類程度のRF通信・ネットワークが搭載される可能性があるためRF部分の統一化、再構成可能化が重要となる。

Future cellular phone needs
11 wireless standard!!

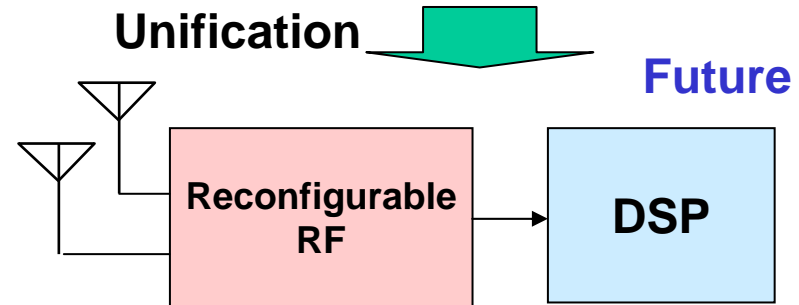


Yrjo Neuvo, ISSCC 2004, pp.32

Multi-standards and multi chips



Unification



Unified wireless system

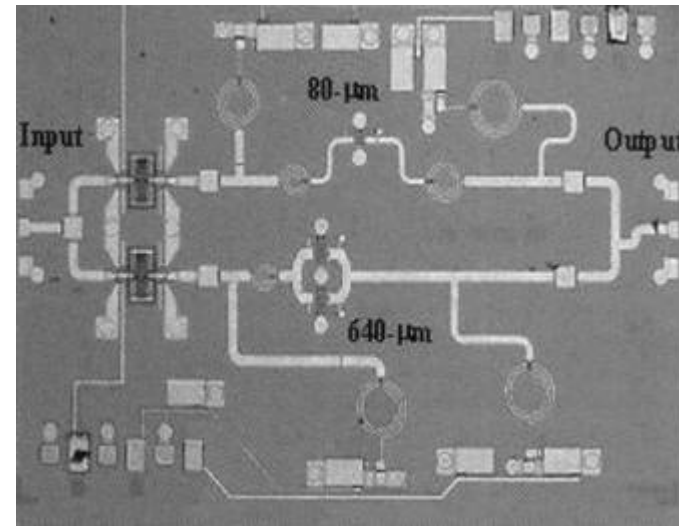
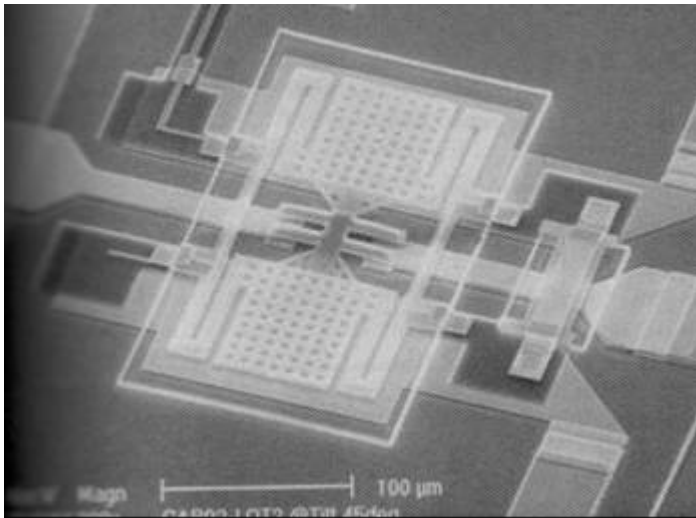
RF MEMS switch

低損失のMEMS スイッチにより各種の機能を実現する

Select or change inductance and capacitance

Select signals and circuits;

As a result, enables reconfigurable RF circuits



J. DeNatale, ISSCC 2004, pp. 310

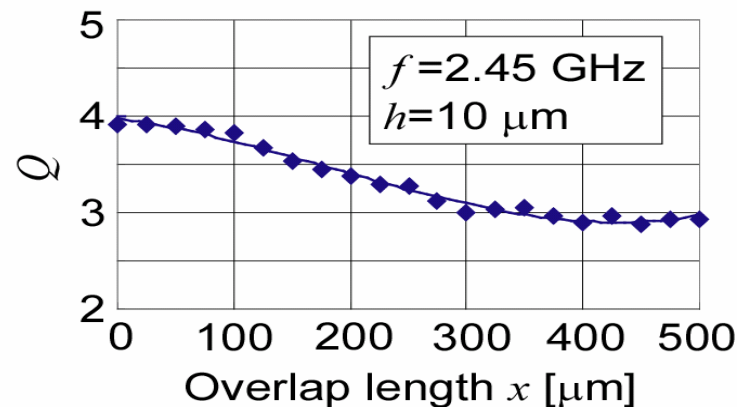
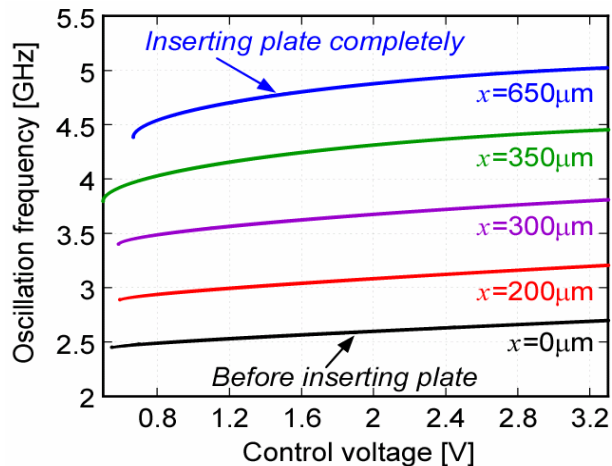
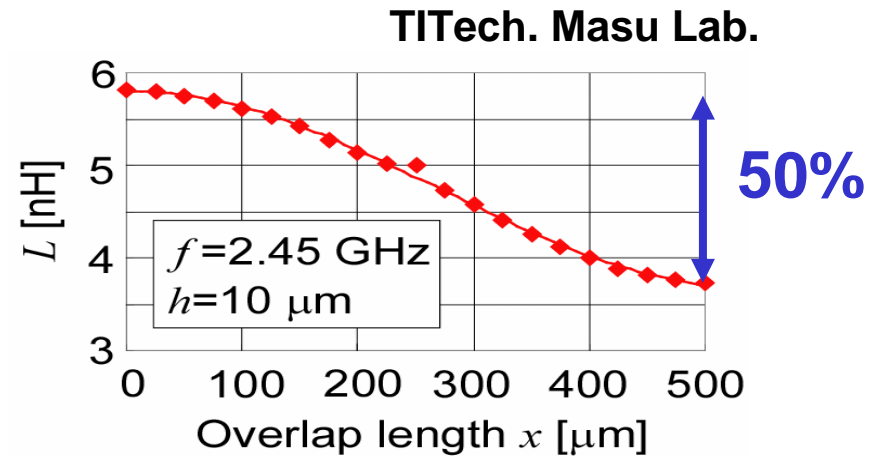
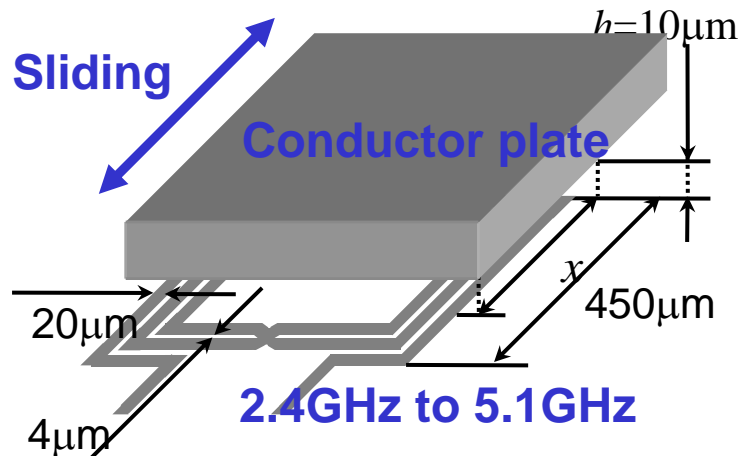
可変インダクター

可変インダクターの実現も重要である。

Sliding plate can vary inductance by 50%.

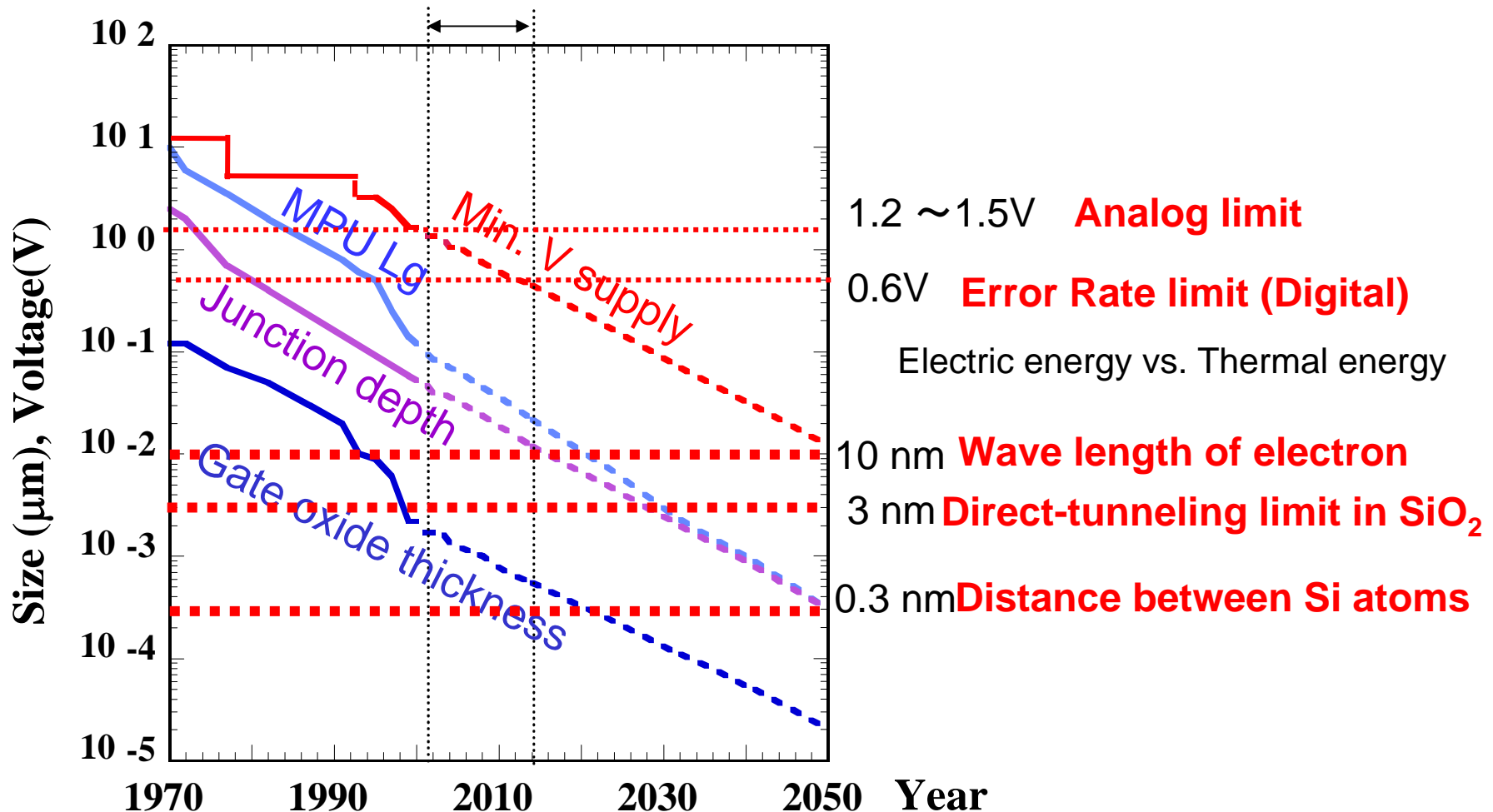
Y. Yokoyama, et al., JJAP, Vol. 42, No. 4B, pp. 2190-2192, 2003.

Wide tunable range VCO (2.4GHz to 5.1GHz) has been realized.



様々な限界

集積回路技術はすでに様々な限界に直面している。



デジタル情報家電がテクノロジーに与える本質的な影響

従来のテクノロジーロードマップはPC用の汎用CPUとメモリーが牽引。
デジタル情報家電がPC用と拮抗する市場を形成するとこれは今後どうなるか。

- 性能よりも製造・開発コスト、開発期間重視へ
→ロードマップにこれらの指標を取り入れる必要あり
 - 1品種あたりの生産個数が少なく、かつ価格が安い
 - 3月毎の製品チェンジ
 - 微細化によるマスクコストの急増
 - 内部回路よりもI/O律速でチップシュリンクの効果低減
- アプリケーション毎に必要なテクノロジーが分化
本流が後退、群雄割拠の時代へ
 - アプリケーション毎にテクノロジーロードマップが必要
 - 機能・性能・コストレンジが全て異なる
 - ユビキタス、車載、バイオ、ロボットなどが次に控える

まとめ

- デジタル情報家電が急成長、PCに匹敵する産業に発展し、SoCがこれらの情報家電機器を実現した。
- SoCは応用特化のアーキテクチャが取れるため汎用プロセッサに比べて高速処理かつ低電力を実現できるが、今後はメディアプロセッサの汎用化が進むため、汎用CPUに近い技術が求められる。
- SoCの場合、低コストかつ短期開発とともに、1品種あたりの売り上げが少ないため、低開発コストが強く求められる。
- テクノロジーへのインパクト：
 - ロジック: 低電力・低リークに重点が置かれる
 - メモリー: 不揮発性メモリーへの強い期待
より大容量化・高速化の要求によりSiP技術が不可欠に
 - アナログ・RF: MEMS スイッチなどの再構成可能なパッシブに注目
- より本質的な変化
 - 性能よりも製造・開発コスト、開発期間重視へ
 - 用途の多様化により、必要技術が分化。用途毎のロードマップが必要