

アナログ分野でのプロセス・デバイス技術

東京工業大学

松澤 昭

10年前の第1回アナログVLSIシンポ

10年前の第1回アナログVLSIシンポにおいて、これからはCMOSアナログが発展するであろうと述べたが、ほぼ的中した。

- 第1回「アナログVLSIシンポジウム」(1997)
- 日 時 4月4日(金)13:00~17:00
- 場 所 東京工業大学 百年記念館 フェライト会議室
- テーマ:「GHz時代の省電力アナログ回路技術はどうあるべきか」
- 1)GHz時代の省電力アナログ回路技術への期待 吉沢 寿康(日経BP社)
- 2)システムから見た回路技術への期待 村口 正弘(NTT)
- 3)バイポーラ回路技術への期待 谷本 洋(東芝)
- 4)MOS回路技術への期待 松澤 昭(松下電器産業)

この10年間の変化

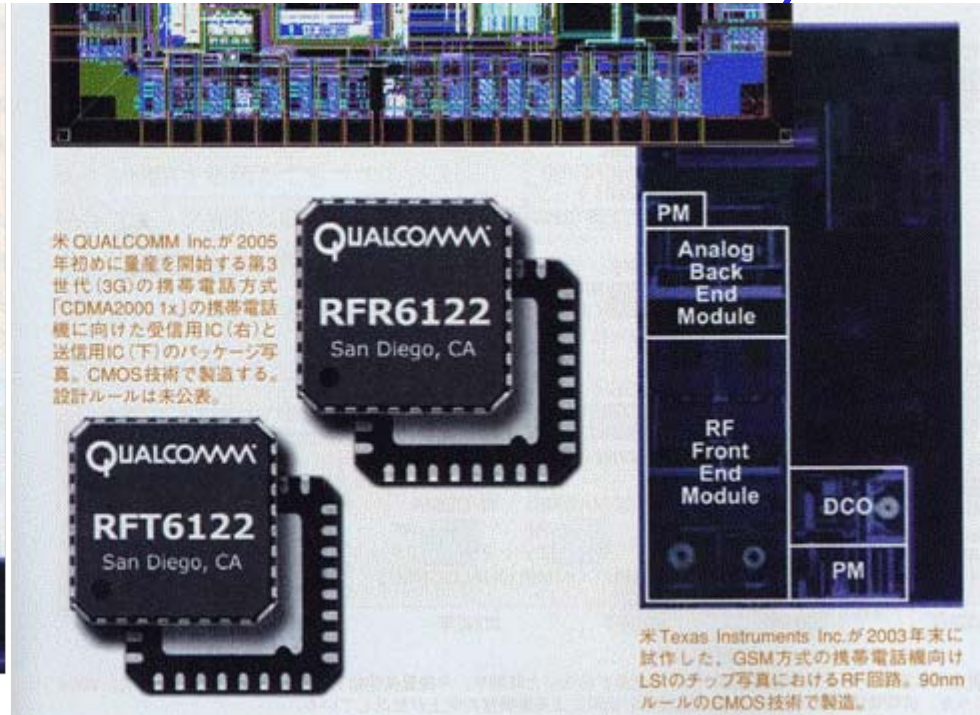
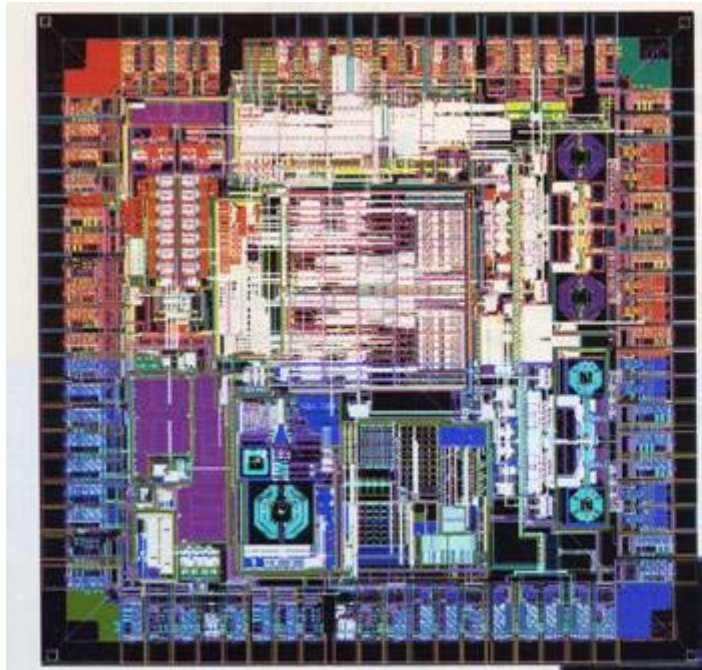
- CMOS技術の飛躍的発展
 - RF-CMOSがワイアレスの主流になった
 - CMOSセンサーが主流になろうとしている
 - 大規模アナ・デジ混載SoCの実現
- SiGe-BiCMOSの発展
 - 高性能ワイアレスや光通信システムで存在感
- SiPなどの実装技術の発展
 - SoCの補完
 - 高性能システムの実現
- ファウンダリービジネスが定着
 - アナログオプションが充実
- 大学でも最先端CMOSプロセスが利用可能になった

最新の携帯電話用RF CMOSチップ

ワイアレスLANについてはほぼ100%、携帯電話用も大部分CMOSに移行した

Infineon, GSM用, 0.13um CMOS

TI, GSM用, 90nm CMOS



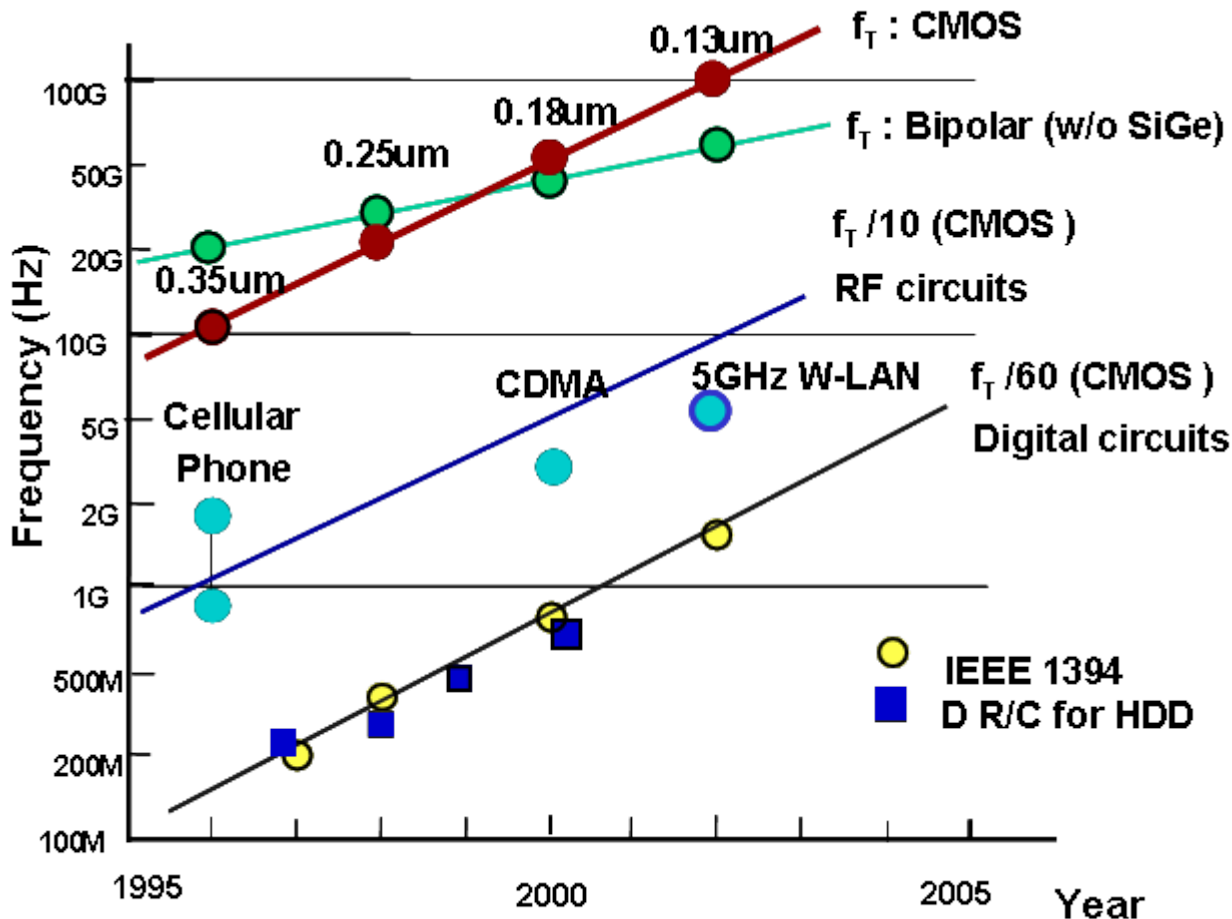
QUALCOM, CDMA2000用, CMOS

日経エレクトロニクス
2004年11-22号

CMOSの周波数特性の向上

CMOSは微細化により f_T を上げるのは容易なので、猛烈な微細化競争の結果周波数特性は急激に上昇した。

確実に読める未来がある。それを信じ切れるかどうか。

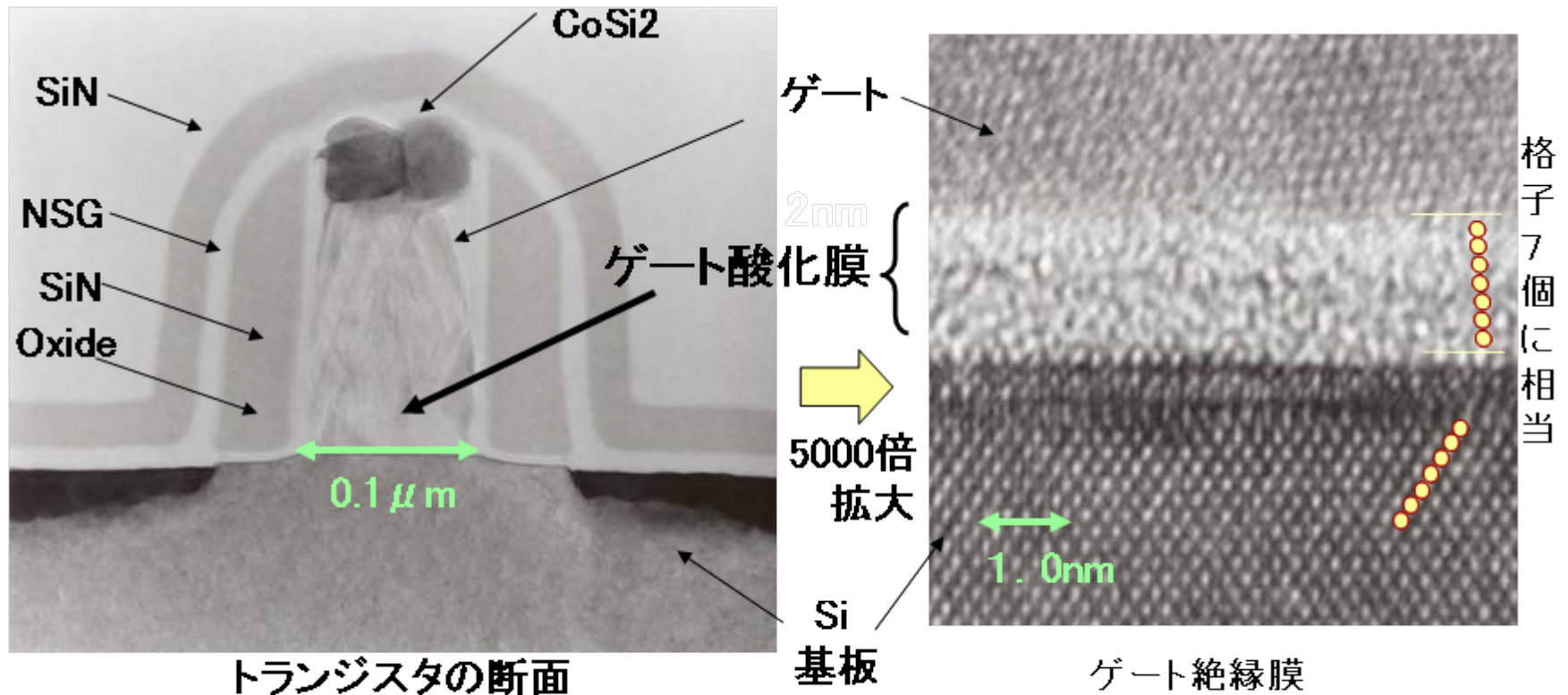


$$f_T \equiv \frac{g_m}{2\pi C_{in}}$$

$$f_{Tpeak} \approx \frac{v_{sat}}{2\pi L_{eff}}$$

現在のSoC用トランジスタ

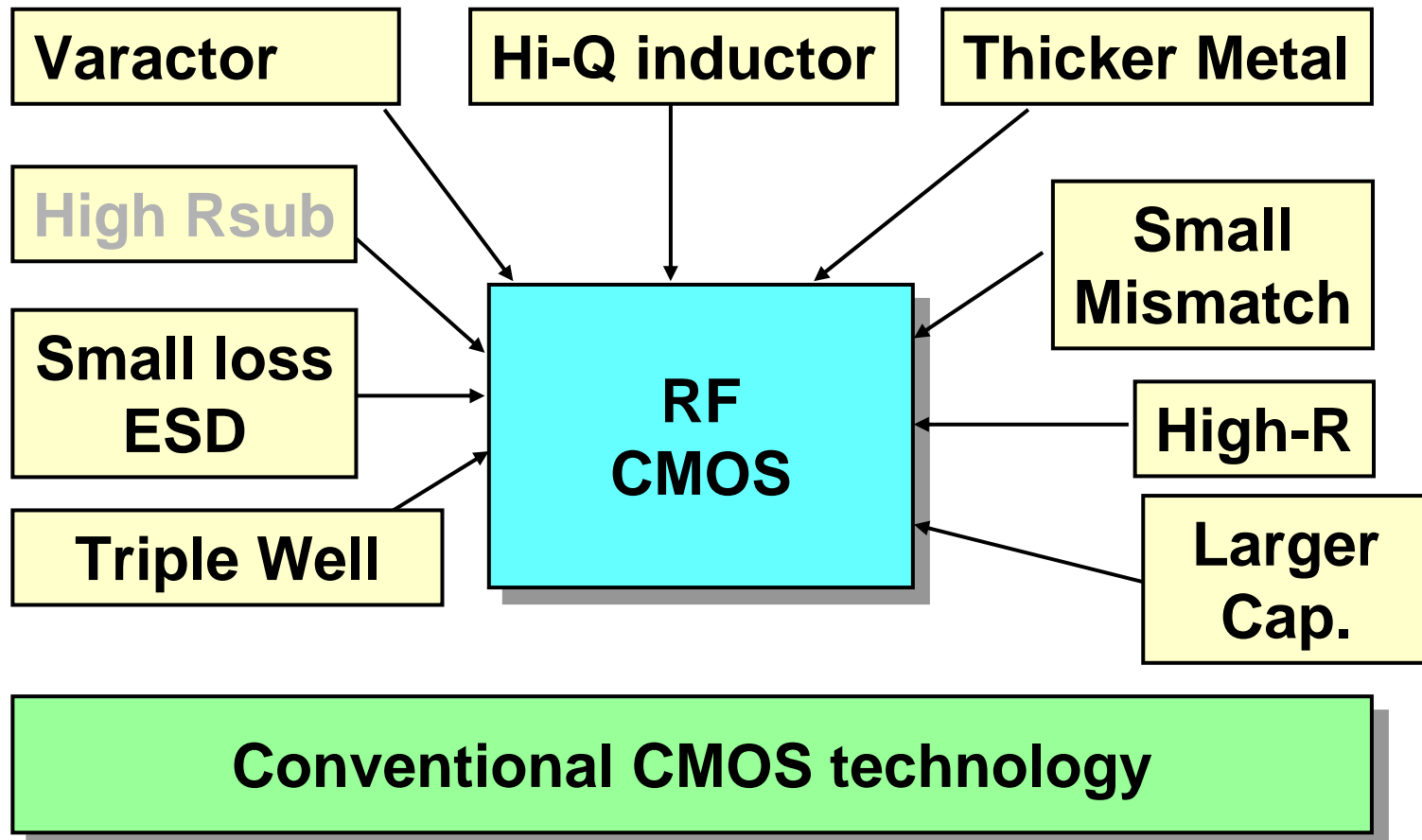
DVDや携帯電話などのありふれた製品に使用されている0.13umルールのトランジスタですらゲート酸化膜は7個程度の分子まで薄膜化されている



松下電器

RFオプション

アナログ・RF用として様々なプロセスオプションが用意されている



CMOSのミリ波応用

CMOSで60GHz帯を目指す試みが始まっている



0.13μm CMOS

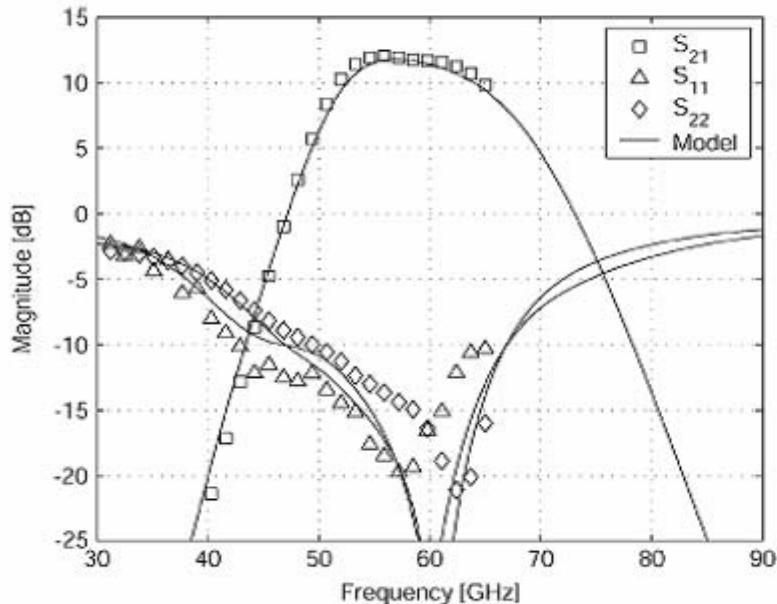


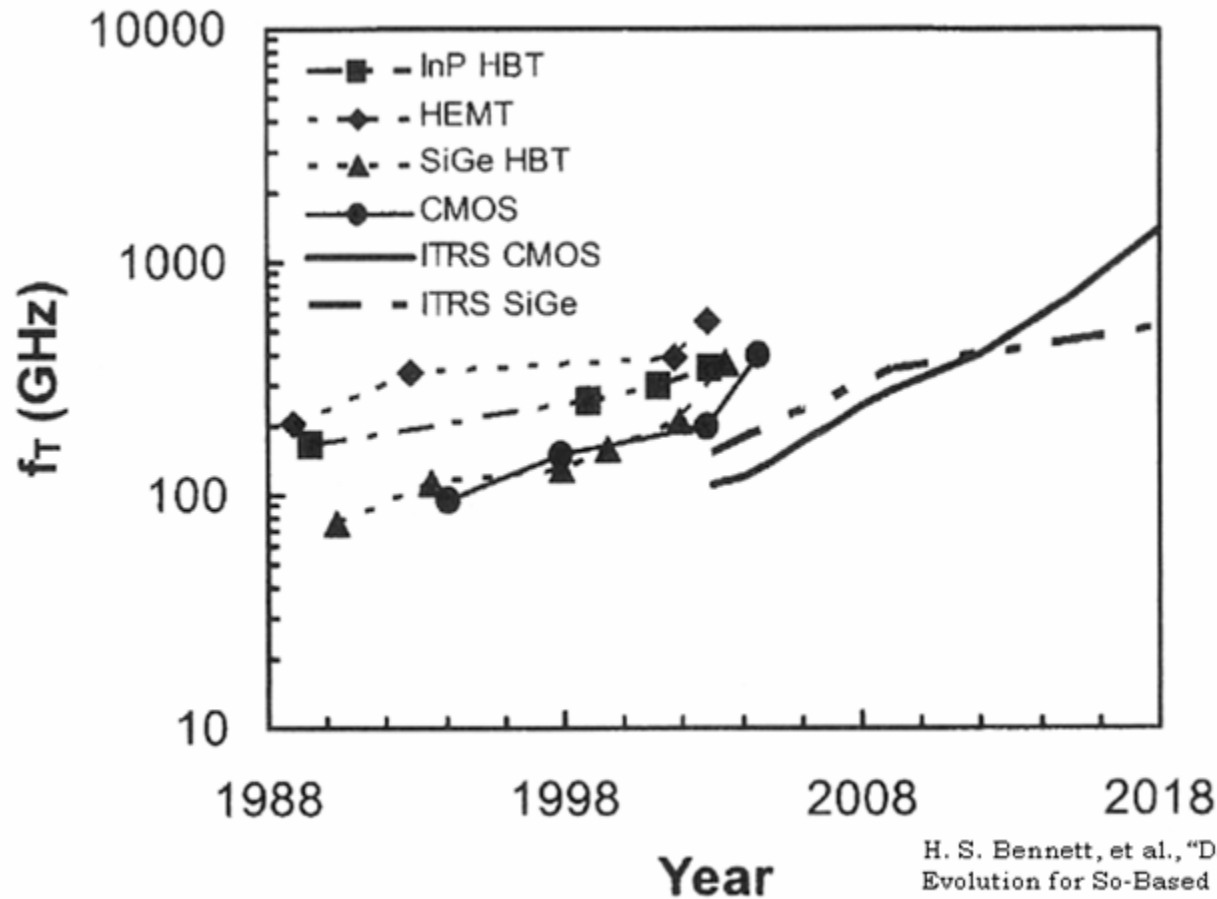
Fig. 18. Measured (markers) and simulated (lines) S-parameters for the 60-GHz amplifier.

TABLE I
COMPARISON WITH STATE-OF-THE-ART BULK-CMOS AMPLIFIERS

Technology	0.18- μ m CMOS	0.18- μ m CMOS	0.13- μ m CMOS	0.13- μ m CMOS
Frequency [GHz]	24	25.7	40	60
Gain [dB]	10	8.9	19	12
3-dB BW [GHz]	-	23-27.5	34-44	51-65
Output P_{1dB} [dBm]	-	-1.3	-0.9	+2.0
IIP3 [dBm]	-3.0	+2.8	-7.4	-
NF [dB]	6.0	6.9	-	8.8
S_{11} [dB]	-14	< -14	< -15	< -15
S_{22} [dB]	-	< -12	< -15	< -15
S_{12} [dB]	-	< -32.5	< -50	< -45
Power dissipation	47 mA	30 mA @ 1.8 V	24 mA @ 1.5 V	36 mA @ 1.5 V
Reference	[5]	[4]	This work	

各種デバイスの f_T の推移

研究レベルでの f_T は400GHz程度となり、化合物を含めデバイス差はほとんど無い



H. S. Bennett, et al., "Devices and Technology Evolution for So-Based RF Integrated Circuits," IEEE, ED, Vol. 52, No. 7, pp.1235-1258, July 2005.

SiGe Bipolar: ヘテロ構造の導入

バイポーラは自己矛盾があったためヘテロ構造の導入は必然であった

高周波化 従来のバイポーラの課題

ベース中の通過時間を短縮する→ベースを薄くする

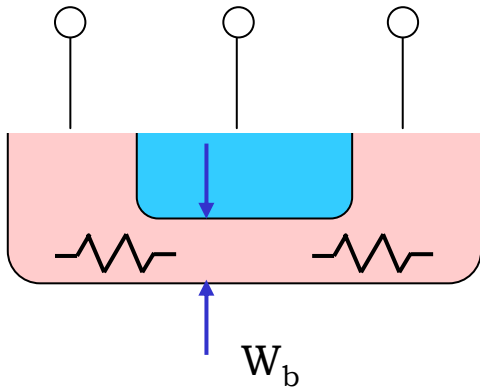
大なる矛盾

入出力時定数を短くする →ベースを厚くし、ベース抵抗を下げる

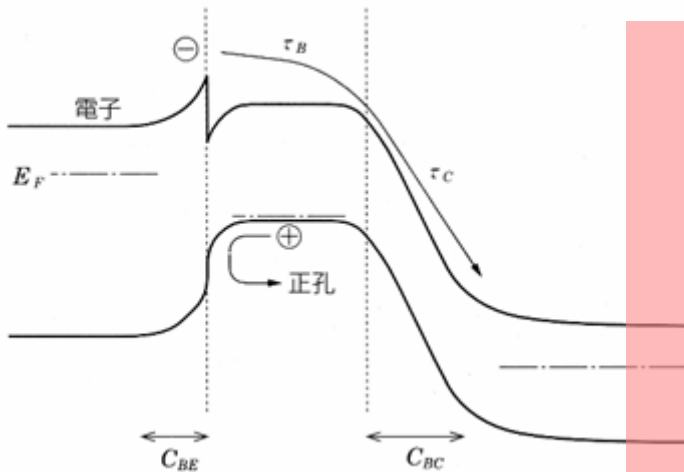
→ベース高濃度にする

ベース・エミッタ間のホール電流が増大
 h_{FE} が低下する

ベース エミッタ ベース



エミッタ ベース コレクタ



解決策:ヘテロ接合の導入

エミッタよりもベースの濃度を上げてても h_{FE} が低下しない

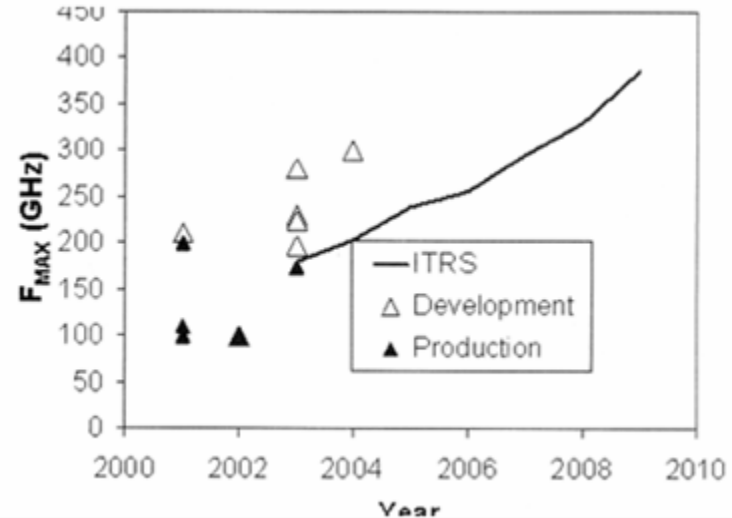
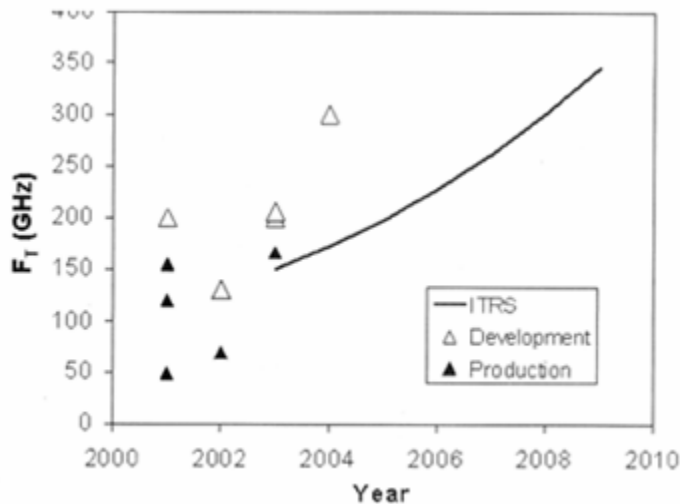
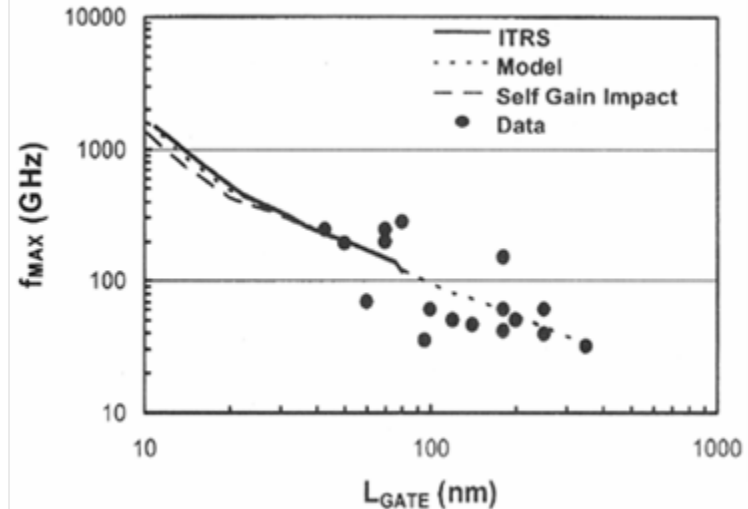
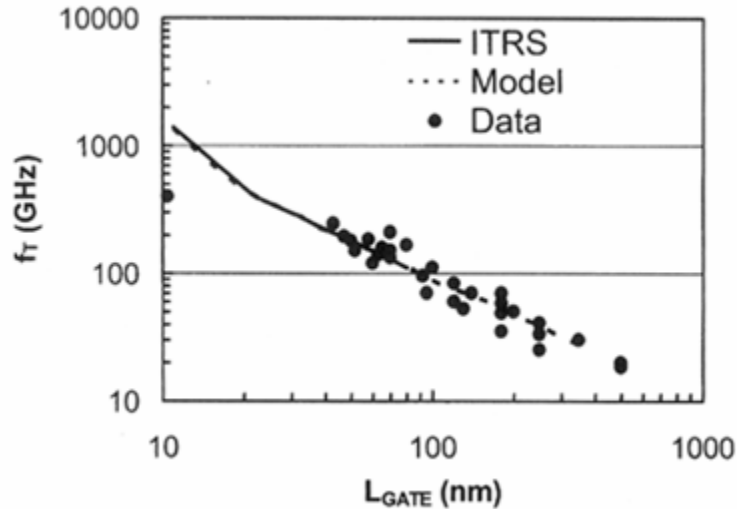
ベースを高濃度にして抵抗を下げながら、ベースを薄くできる

また、ベース中で加速電界を作り更に高速化可能

CMOS と SiGe-Bip の f_T , f_{max}

CMOS の f_T , f_{max} も高いが微細化に依存しすぎている

H. S. Bennett, et al., "Devices and Technology Evolution for So-Based RF Integrated Circuits,"
IEEE, ED, Vol. 52, No. 7, pp.1235-1258, July 2005.



CMOS と SiGe-Bip の f_T , f_{max} と NF

f_T , f_{max} , NF における CMOS と SiGe-Bipolar の差は縮まっている

A Comparison of State-of-the-Art NMOS and SiGe HBT Devices for Analog/Mixed-signal/RF Circuit Applications

K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post, P. Vandervoorn and I. Young

Intel Corporation, Portland Technology Development
5200 N.E. Elan Young Parkway, Hillsboro, OR 97124
Phone: 503-613-3135, FAX: 503-613-8963 EMAIL: kelin.ptd.kuhn@intel.com

VLSI Technology 2004

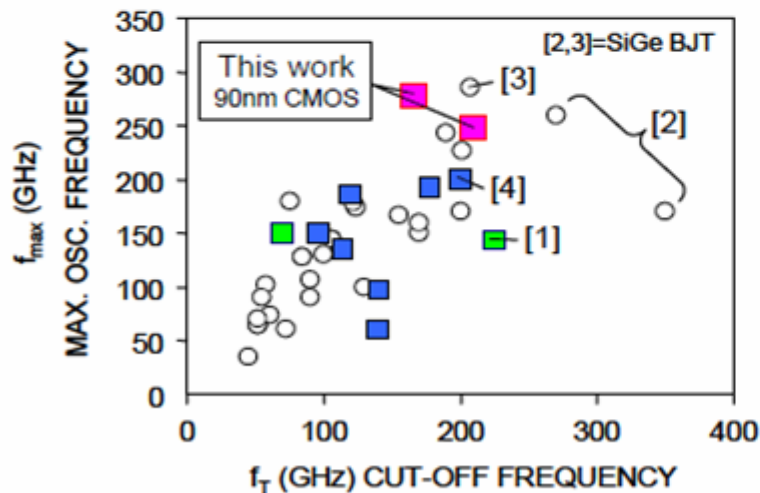


Fig. 3. f_T and f_{max} compared with the literature for CMOS devices from this work (squares) and BJT devices (circles).

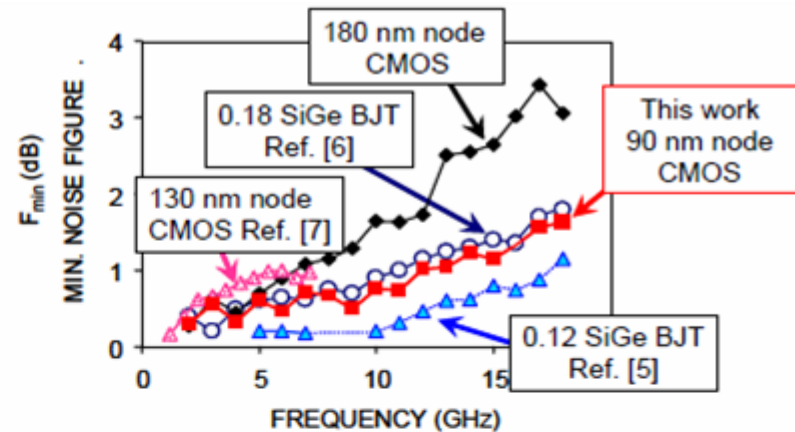


Fig. 4. F_{min} comparison versus frequency of RF CMOS (this work) against a variety of reported RF CMOS and BJT values.

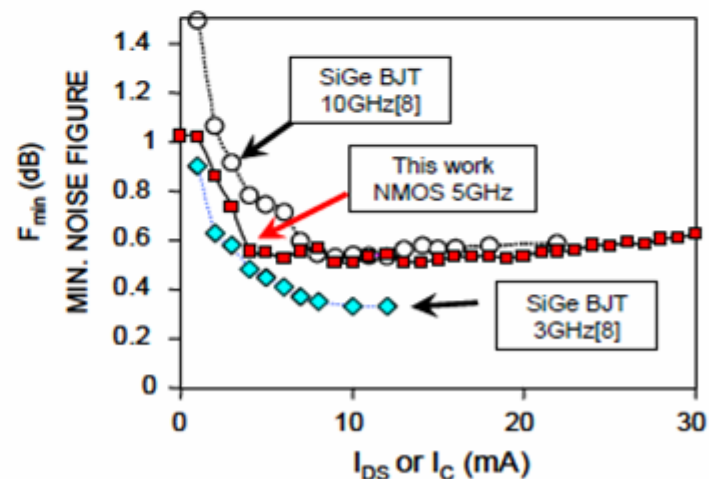


Fig. 5. F_{min} comparison versus bias of RF CMOS (this work) against a variety of reported RF CMOS and BJT values..

MOS vs SiGe-Bip

MOS

SiGe-Bip

g_m

$$\left(\frac{I_{ds}}{V_{eff}} \right) \approx \frac{I_{ds}}{100mV} \quad \xrightarrow{4x} \quad \frac{I_C}{U_T} \approx \frac{I_C}{26mV}$$

f_{Tpeak}

$$\approx \frac{1}{W_b^2} \quad \longleftrightarrow \quad \propto \frac{v_{sat}}{L_g}$$

Almost same

F_{min}



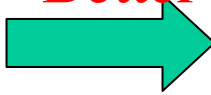
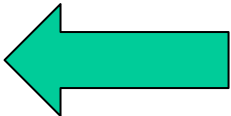
$$\approx 1 + 2 \sqrt{\frac{2G_p}{g_m} + 0.7 \left(\frac{f}{f_T} \right)^2} \quad \xrightarrow{\text{(larger } g_m)} \quad \approx 1 + 2 \sqrt{\frac{G_p}{2g_m} + 0.25 \left(\frac{f}{f_T} \right)^2}$$

Lower and low Id

$V * f_T$

$$100VGHz \quad \xrightarrow{2x} \quad 200VGHz$$

MOS vs SiGe-Bip

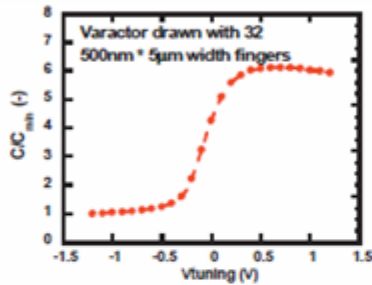
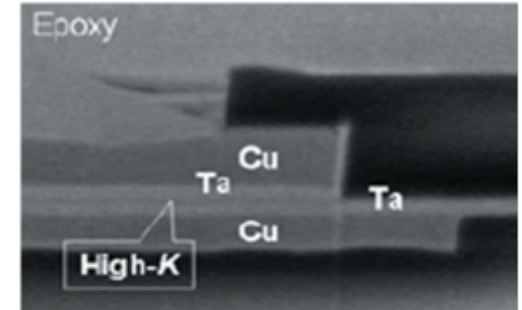
	MOS		SiGe-Bip
R_g, R_b		Same 	
1/f noise		Much better 	
Mismatch	$mV \approx \frac{T_{ox}(nm)}{\sqrt{LW}(um)}$	Better 	
Cost			(SiGe-BiCMOS)
	Low gm or larger current Voltage lowering Geometry dependence		High gm or smaller current Low noise and mismatch Less geometry dependence

オンチップ容量の進歩

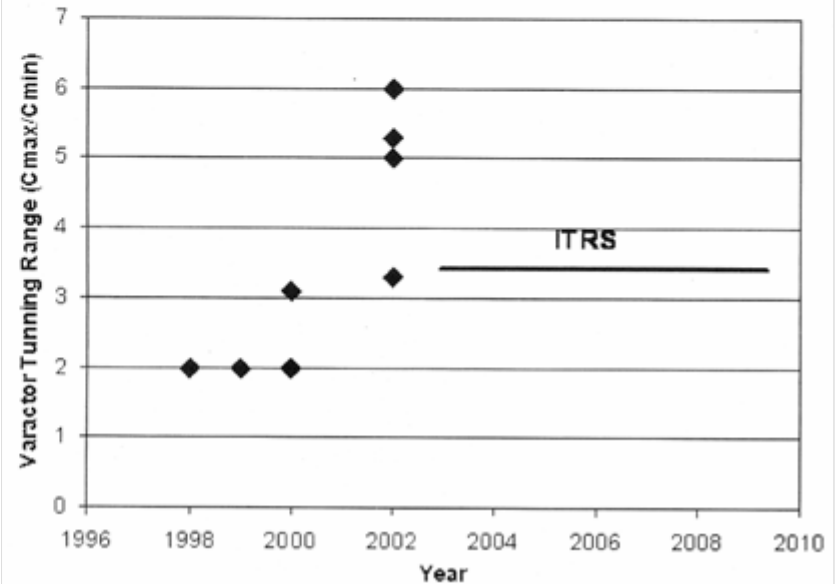
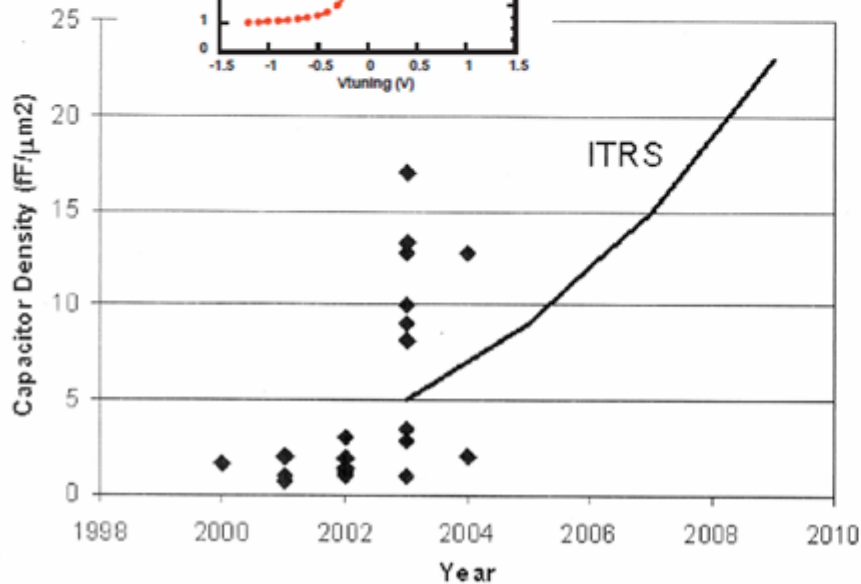
オンチップ容量の進歩は著しく、容量密度は10倍になった。
バラクタの容量可変範囲も3倍になっている。

Ki-K材料を用いて 17fF/ μm^2 を実現

High Capacitance Density ($> 17 \text{ fF}/\mu\text{m}^2$) Nb_2O_5 -based MIM Capacitors for Future RF IC Applications
Sun-Jung Kim¹, Byung Jin Cho¹, M. B. Yu², M. -F. Li^{1,2}, Y. -Z. Xiong², C. Zhu¹, A. Chin¹, and D. -L. Kwong²
¹Silicon Nano Device Lab (SNDL), Dept. of ECE, National University of Singapore, Singapore 119260
(Tel: 65-6874 6470, Fax: 65-6779-1103, email: alebicho@nus.edu.sg), ²Institute of Microelectronics (IME), Singapore

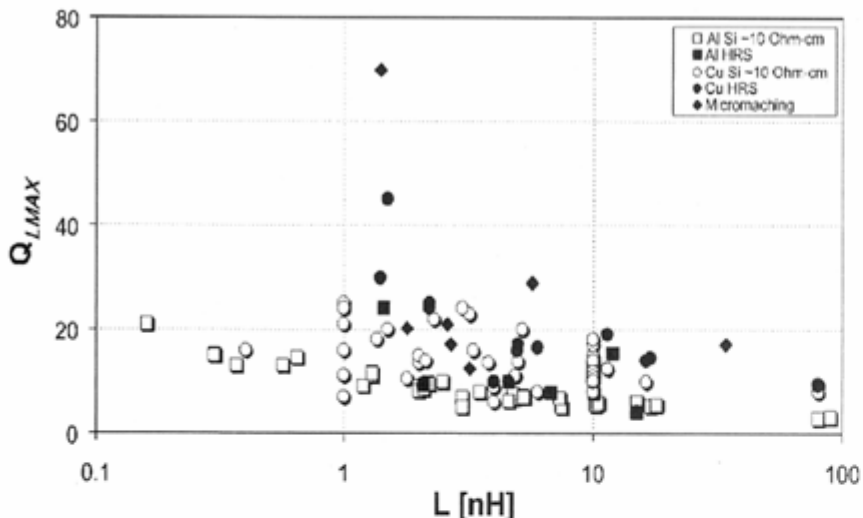


H. S. Bennett, et al., "Devices and Technology Evolution for So-Based RF Integrated Circuits,"
IEEE, ED, Vol. 52, No. 7, pp. 1235-1258, July 2005.

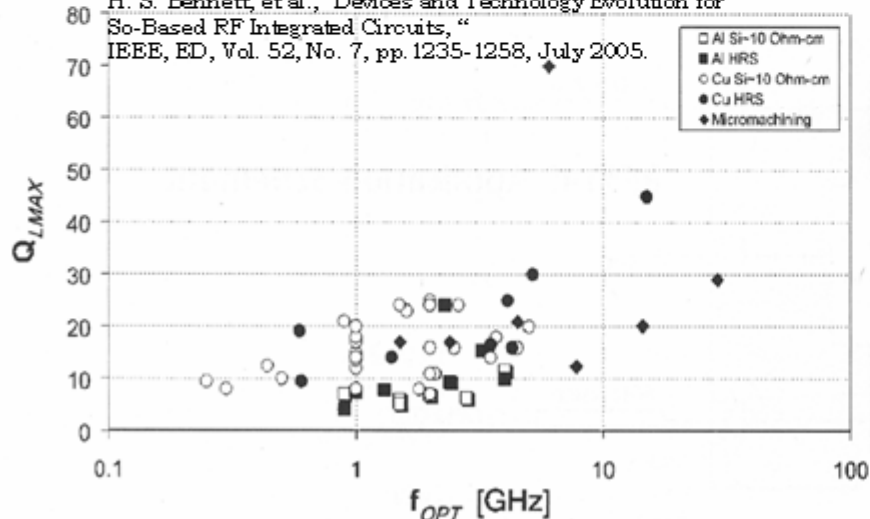


オンチップインダクタの進歩

オンチップインダクタのQも上昇している。



H. S. Bennett, et al., "Devices and Technology Evolution for So-Based RF Integrated Circuits," IEEE, ED, Vol. 52, No. 7, pp. 1235-1258, July 2005.



A low-cost 90nm RF-CMOS platform for record RF circuit performance
 W. Jeamsakiri, D. Linten¹, S. Thijs, G. Carchon, J. Ramos, A. Mercha, X. Sun, P. Soussan, M. Dehan, T. Chiarella, R. Venegas, V. Subramanian², A. Scholten³, P. Wambacq⁴, R. Velghe⁵, G. Mannaert, N. Heylen, R. Verbeeck, W. Boullart, I. Heyvaert, M. I. Natarajan, G. Groeseneken⁶, I. Debuschere, S. Biesemans and S. Decoutere
 IMEC, Kapeldreef 75, Leuven, Belgium 3001, ¹ is also a PhD student at ²VUB, Dept. ELEC-ETRO, ³ is also a PhD student at ⁴KU Leuven, ESAT-Department, Leuven, B-3001 Belgium, ⁵Philips Research Labs, Eindhoven, Netherlands, ⁶Philips Research Leuven, Belgium.

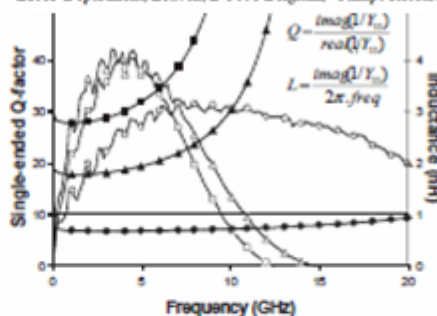


Fig. 9: Measured single-ended Q-factor/inductance for a 0.68nH (●/○), 1.78nH (▲/△) and 2.8nH (■/□) Above-IC inductor.

- ・Cu配線の普及
- ・多層配線化
- ・高比抵抗基板
- ・実装技術の進歩

従来のパッシベーション膜の上にインダクタを形成
 $Q=40$ を達成

VLSI Technology 2005

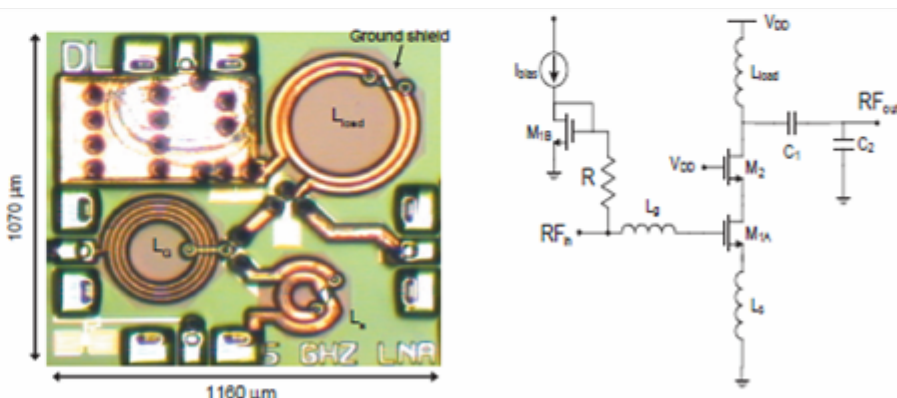
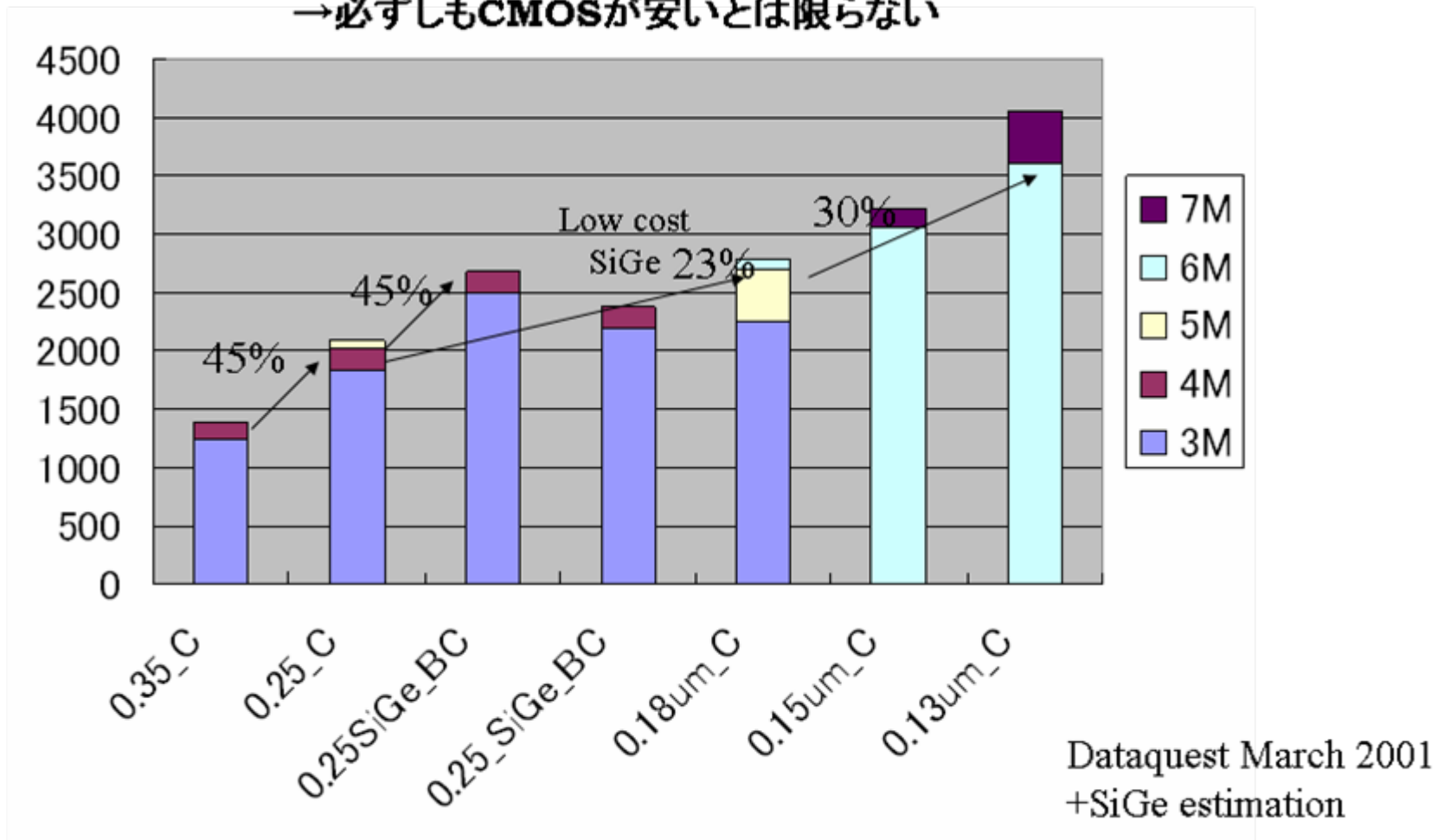


Fig 10: Microphotograph and schematic of the monolithic 5 GHz LNA with inductive source degeneration. The supply voltage is $V_{DD}=1.2V$ for 4mA current transistor M_{1A} , Transistor M_{1A} M_2 are respectively 110μm wide with 54 fingers, and 60μm wide with 20 fingers. L_{deg} , L_{load} and L_s are above IC inductors of 4nH, 2.7 nH and 0.7 nH with a single ended Q factor of 30,40 and 28 respectively.

完成品ウェファークロス

SiGe Bi-CMOSは同一デザインルール CMOSに比べ30%程度高い
一方、デザインルールが1世代進むとCMOSは30%程度高くなる。

→必ずしもCMOSが安いとは限らない



ミリ波SoC: 電子的ビームフォーミング

複数のトランシーバ回路をワンチップに集積できれば給電位相の変化により電子的なビームフォーミングが可能となる
シリコンでのシステム集積は新たな可能性を拓く

2502

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 12, DECEMBER 2005

A Fully Integrated 24-GHz Phased-Array Transmitter in CMOS

Arun Natarajan, *Student Member, IEEE*, Abbas Komijani, *Student Member, IEEE*, and Ali Hajimiri, *Member, IEEE*

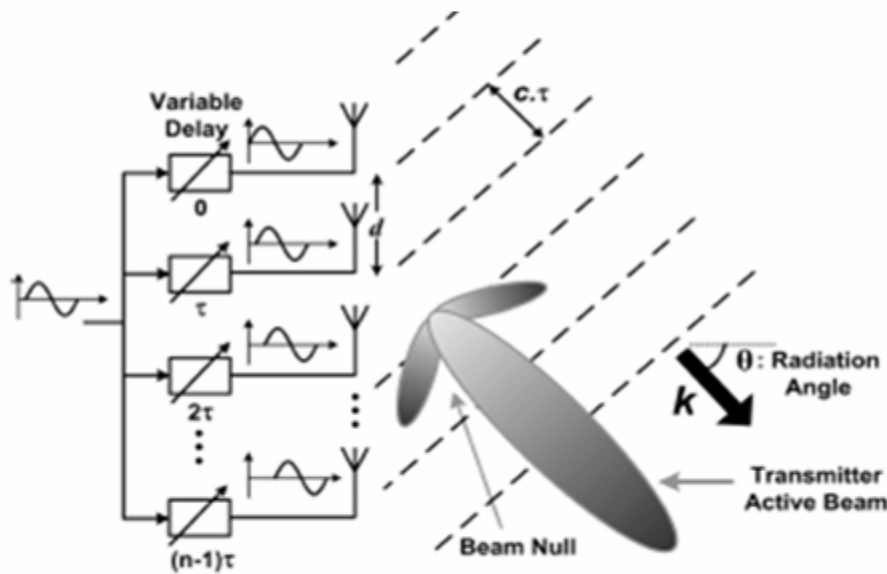


Fig. 1. n -element phased-array transmitter.

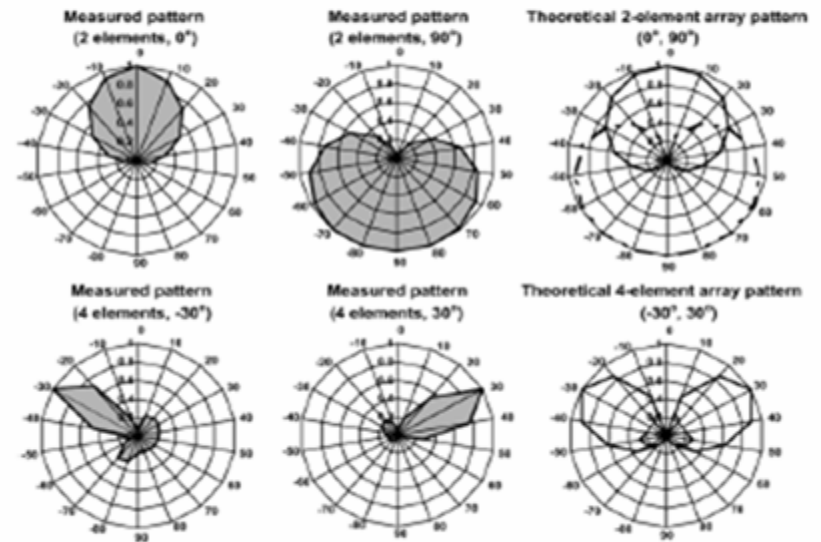


Fig. 21. Comparison of theoretical and measured array pattern with two elements and with four elements active.

ミリ波SoC: オンチップアンテナ+レンズ

77GHzのミリ波トランシーバ: オンチップアンテナとレンズを集積

10.1 A 77GHz 4-Element Phased Array Receiver with On-Chip Dipole Antennas in Silicon

A. Babakhani, X. Guan, A. Komijani, A. Natarajan, A. Hajimiri

California Institute of Technology, Pasadena, CA

0.13um SiGe-CMOS

ISSCC 2006

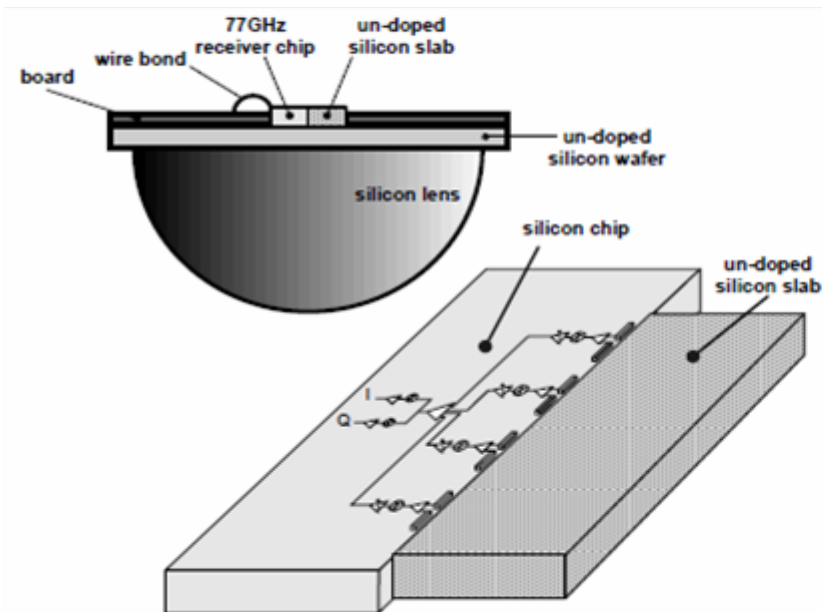


Figure 10.1.1: Chip, board, and lens antenna setup configuration.

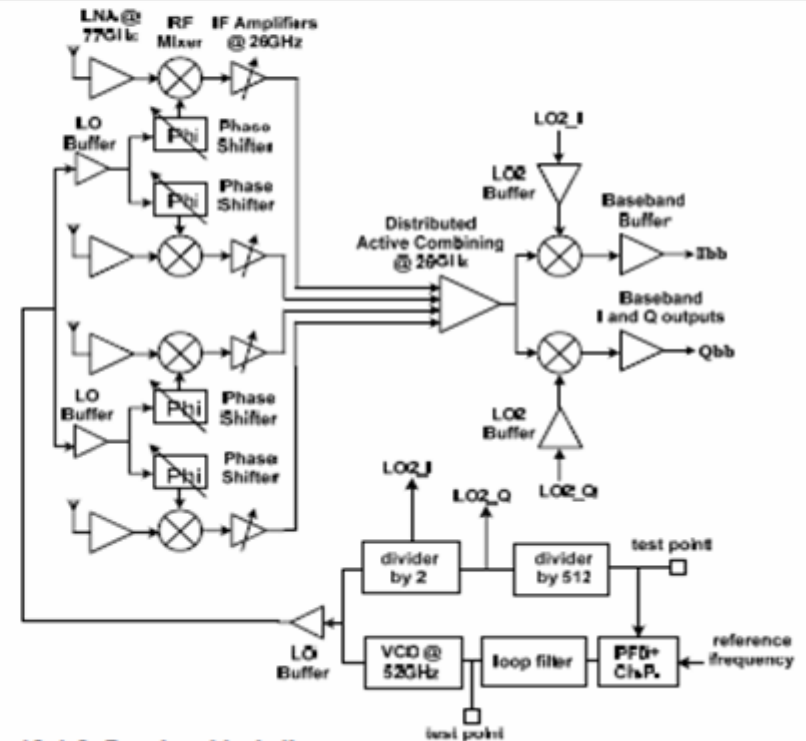


Figure 10.1.3: Receiver block diagram.

性能

レンズを用いることにより10数dBの感度アップ

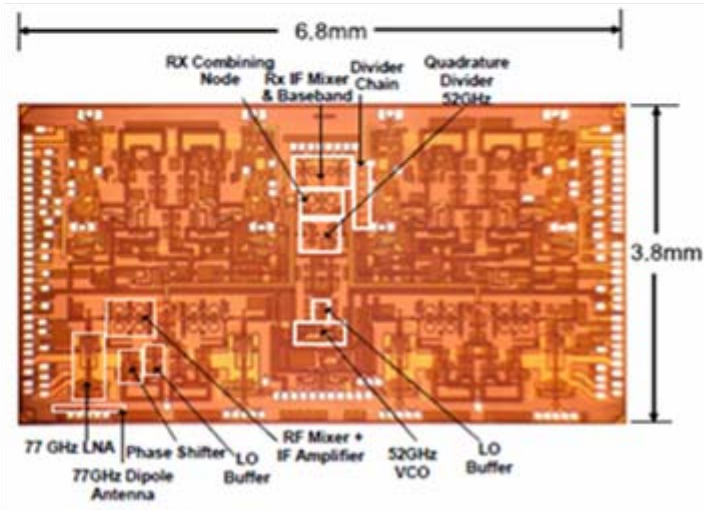
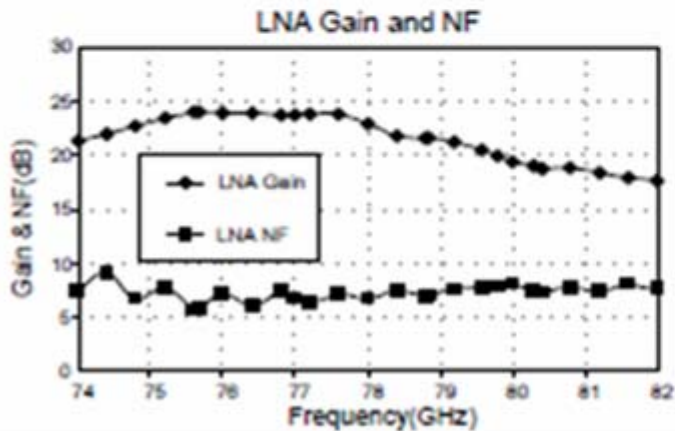
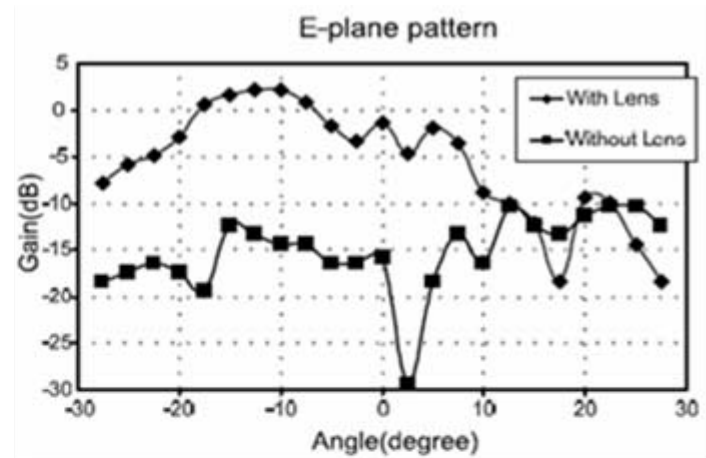
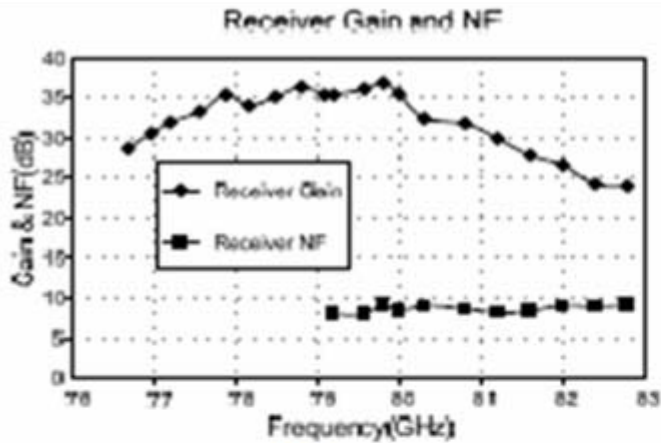


Figure 10.1.7: Chip micrograph.

CMOSイメージセンサー

CMOSイメージセンサーは画質が改善されて主流になろうとしている
また、コラムADCの搭載により超高速フレーム転送が可能になった

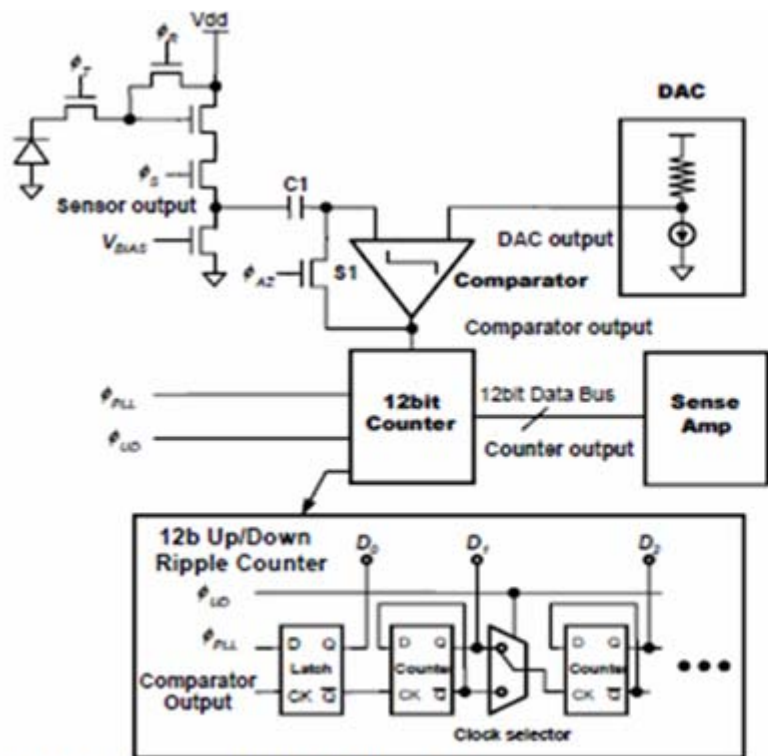


Figure 27.5.2: Column-inline dual CDS architecture.

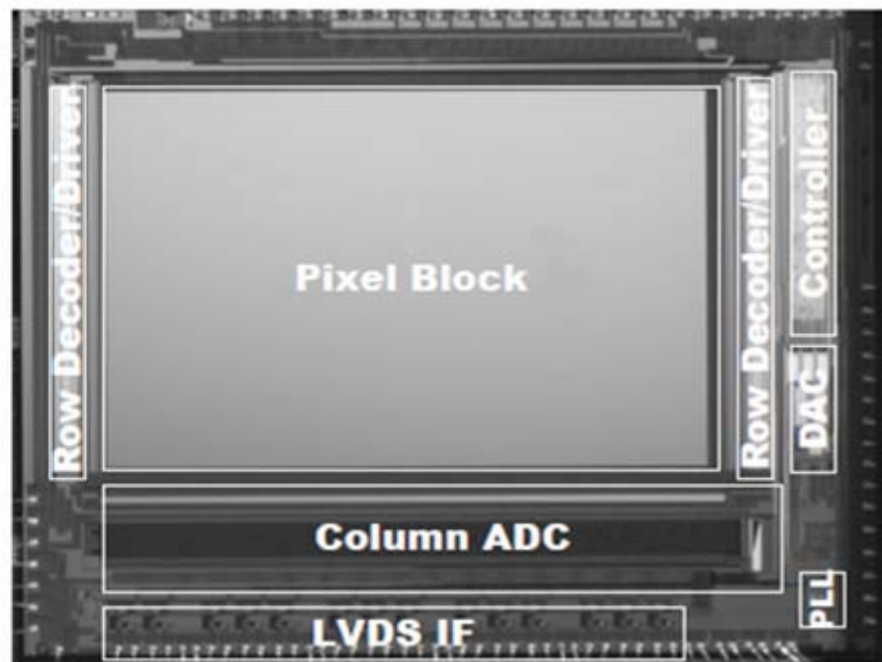
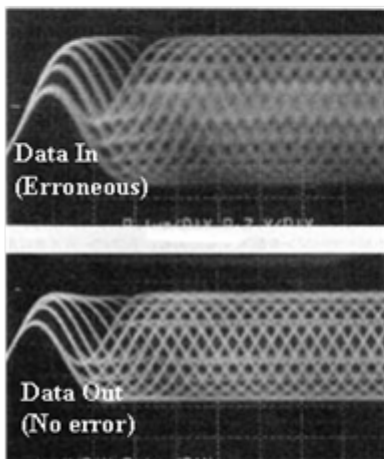
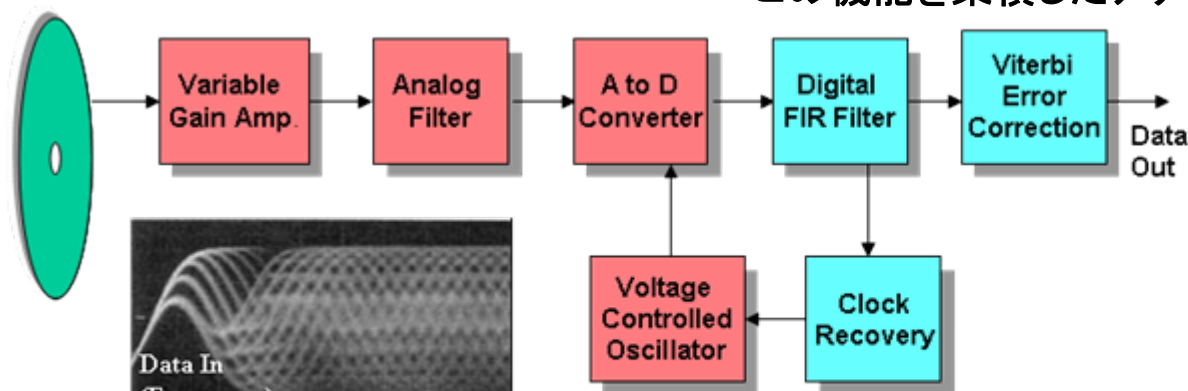


Figure 27.5.4: Chip micrograph.

アナ・デジ混在SoCの発展

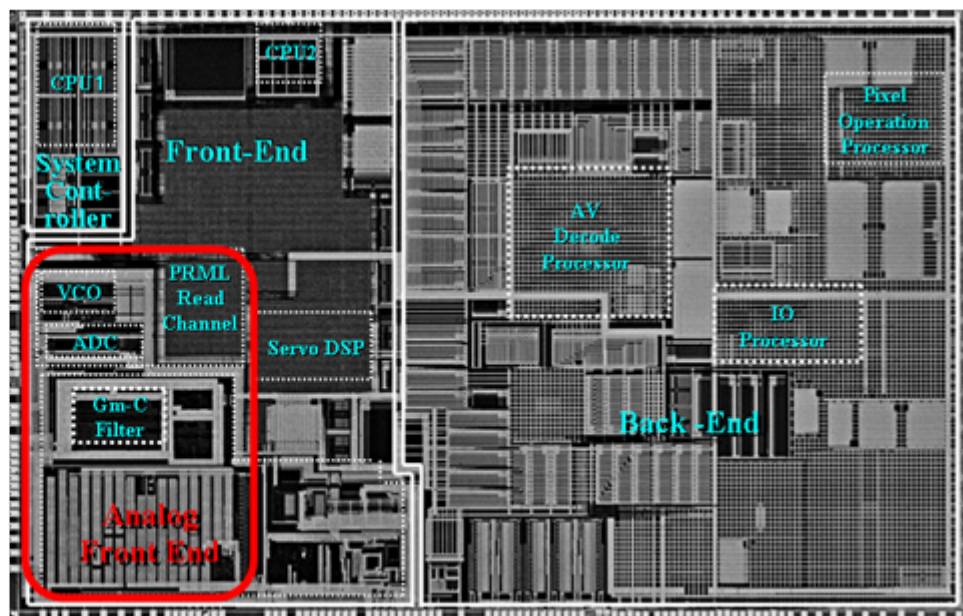
DVD用アナデジ混在信号処理システム

電子機器の信号処理システムはアナ・デジ混在型となり、この機能を集積したアナデジ混在SoCが発展した



世界初の完全ワンチップ
アナ・デジ混載SoC

0.13um CMOS 24Mtr

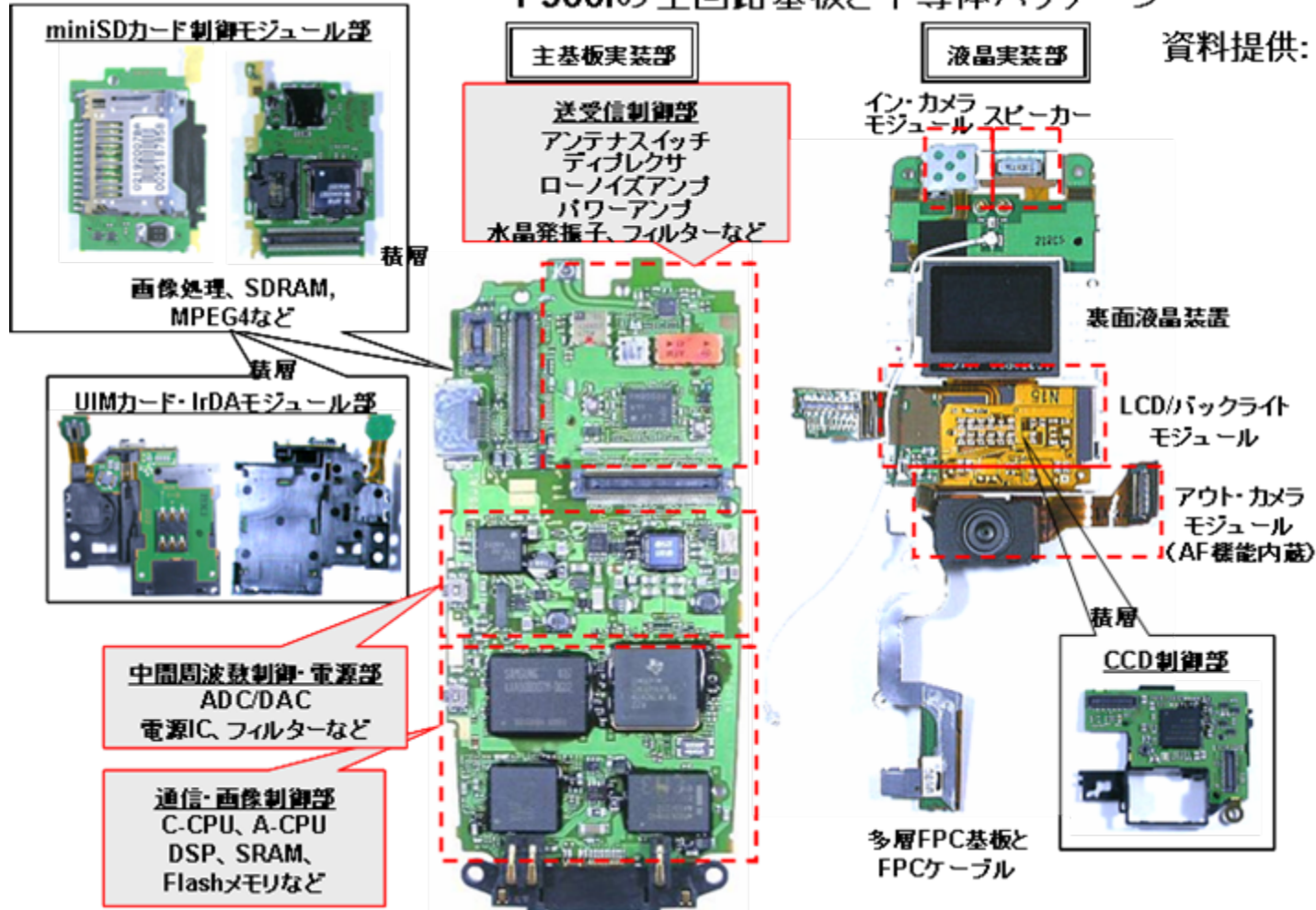


携帯電話システム

現代の携帯電話は画像処理回路やデジカメ機能まで集積している。

P900iの主回路基板と半導体パッケージ

資料提供: SemiConsult



携帯電話用SiP

実装技術は大きく進歩し、3次元構造を取るまでになった
携帯電話には既に数チップを積み重ねたSiPが多く用いられている

Chip stacked CSP

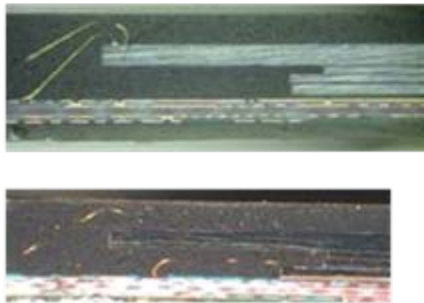


Package Stacked CSP

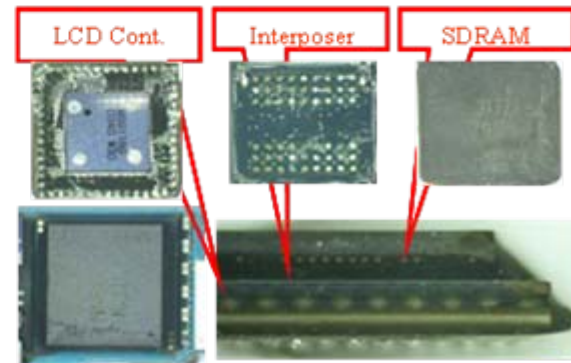


By SemiConsult

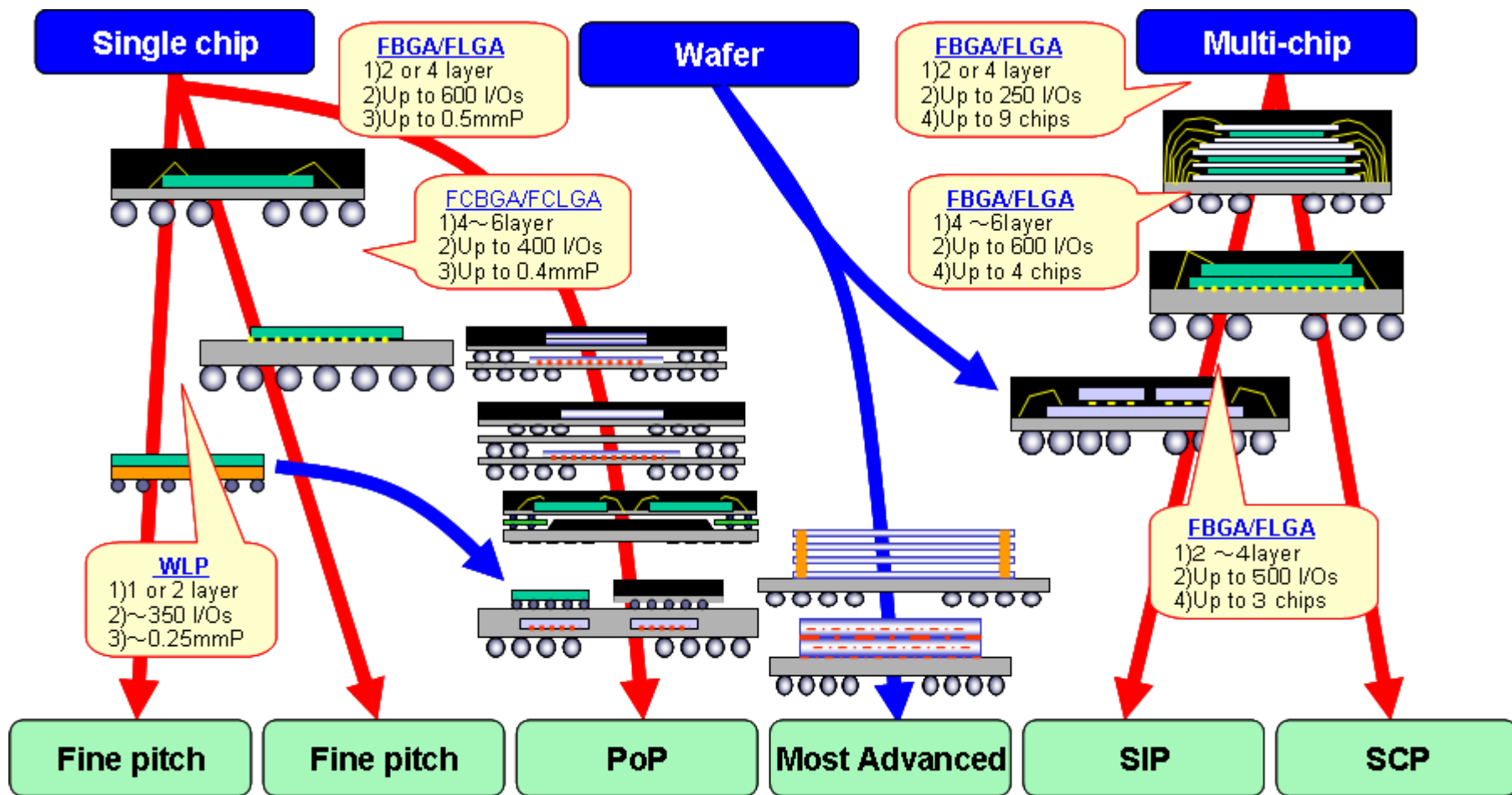
Chip stacked CSP



Package Stacked CSP



実装技術の多様化



Remarks: 1) Necessary substrate layers, 2) Existing pin count, 3) Terminal pitch

By Semiconsult

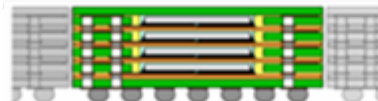
各種3次元集積技術

集積技術はついに3次元集積化に向いたした。

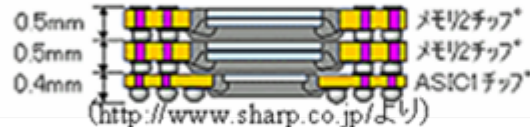
[1] Package

レベル3D:

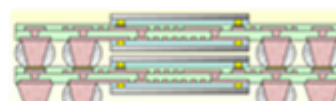
System Block Module (東芝)



(ECTC2001 Proceedings, p555 より)

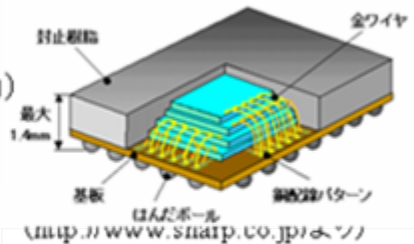


NMTI(ノース社)



(http://www.northcorp.co.jp/より)

Stacked CSP



[2] Chipレベル

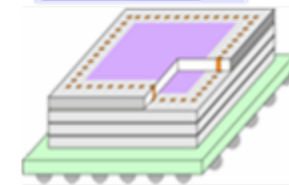
3D:

- ピラミッドタイプ(大小チップ混合)
- Face-to-Faceタイプ
- チップ側面接続タイプ
- 貫通電極接続タイプ



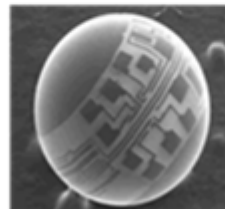
(http://www.irvine-sensors.com/より)

ASET-3D



[3] 回路面3D化:

- 球状タイプ

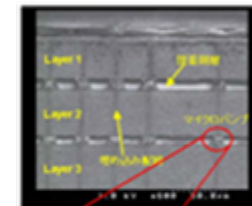


(http://www.ballsemi.com/より)

① Chip積層

② Wafer積層

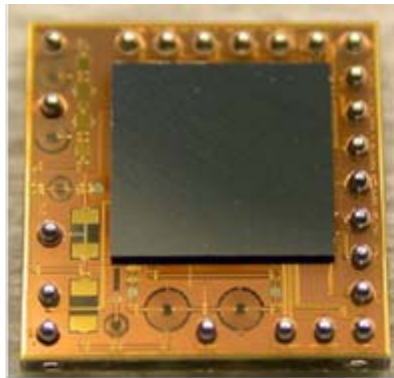
東北大 小柳研
Wafer積層品



(http://www.sd.mech.tohoku.ac.jp/research/3d/index.htmより)

資料提供: ASET盆子原氏

小型RFモジュールの威力



RF回路はフィルター・スイッチ・インダクタ・キャパシタなどの受動部品を必要とするため完全なシリコンLSIには集積できない。
 結局、従来はプリントボードで実装していたが、最近LTCC技術により画期的な小型化が達成された。
 このことにより全ての機器への搭載が可能になり、5億台の市場を射程に入れることができた。

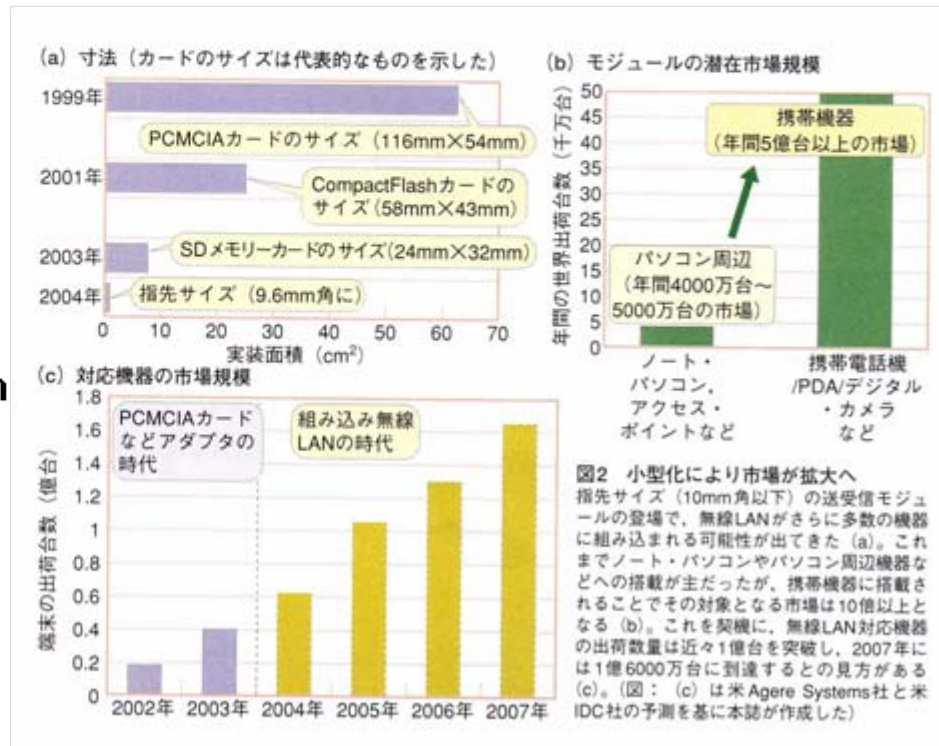
IMECの開発品: 同様のコンセプト



村田

9.6mm x 9.6mm

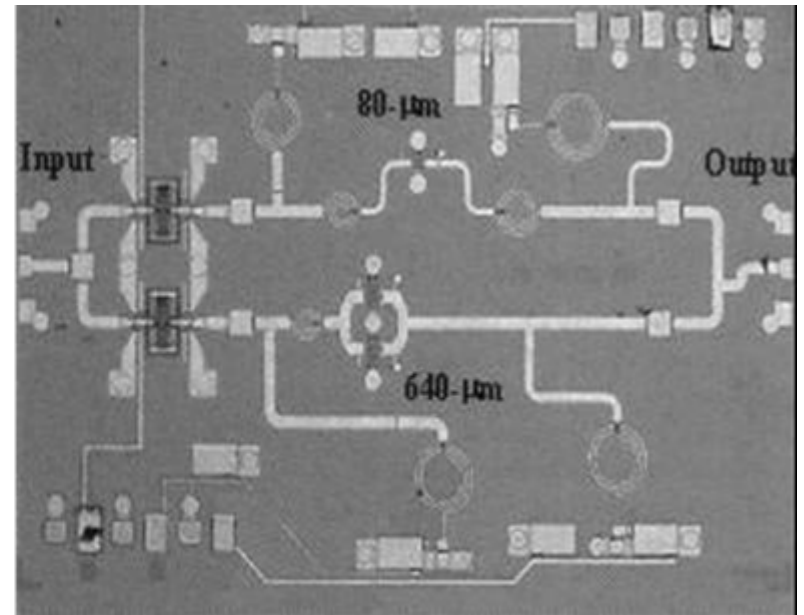
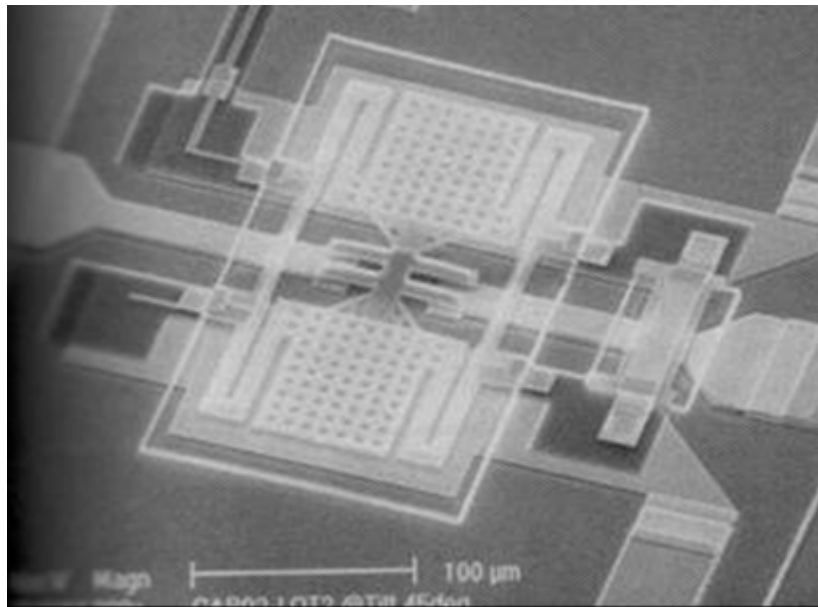
開発したIEEE802.11b/g
 対応モジュール



日経エレクトロニクス 2004.8.16

機能素子の進化: RF MEMS

RFシステムの高性能化・多機能化にとってMEMS技術が重要になってきており、いずれチップに集積されるであろう

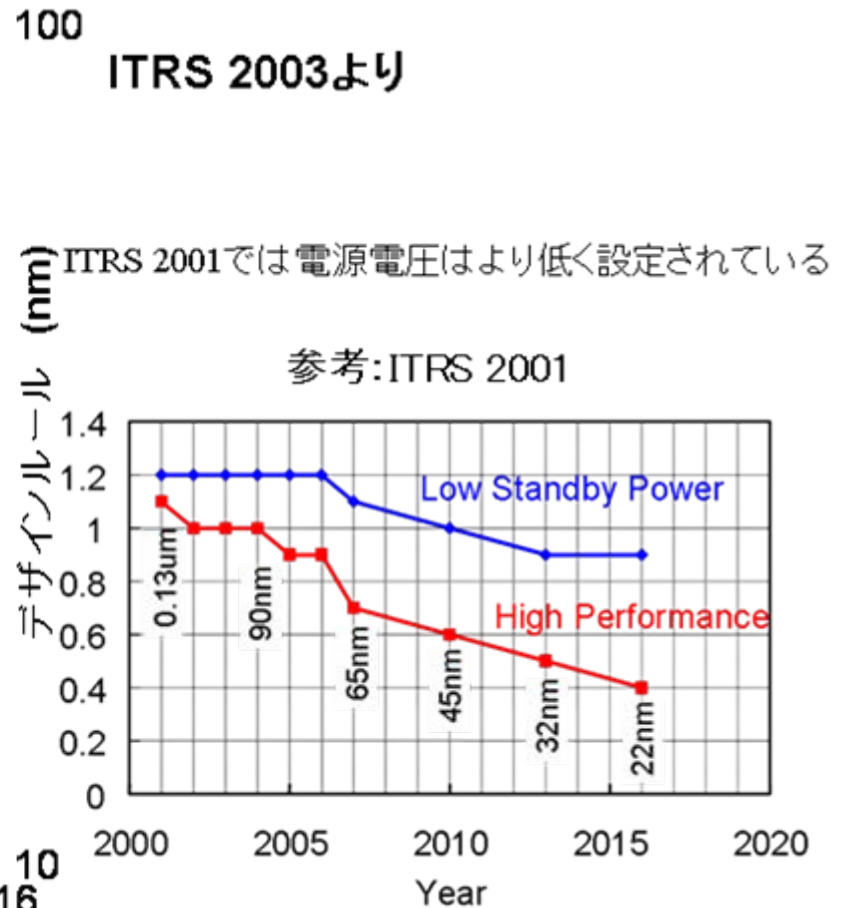
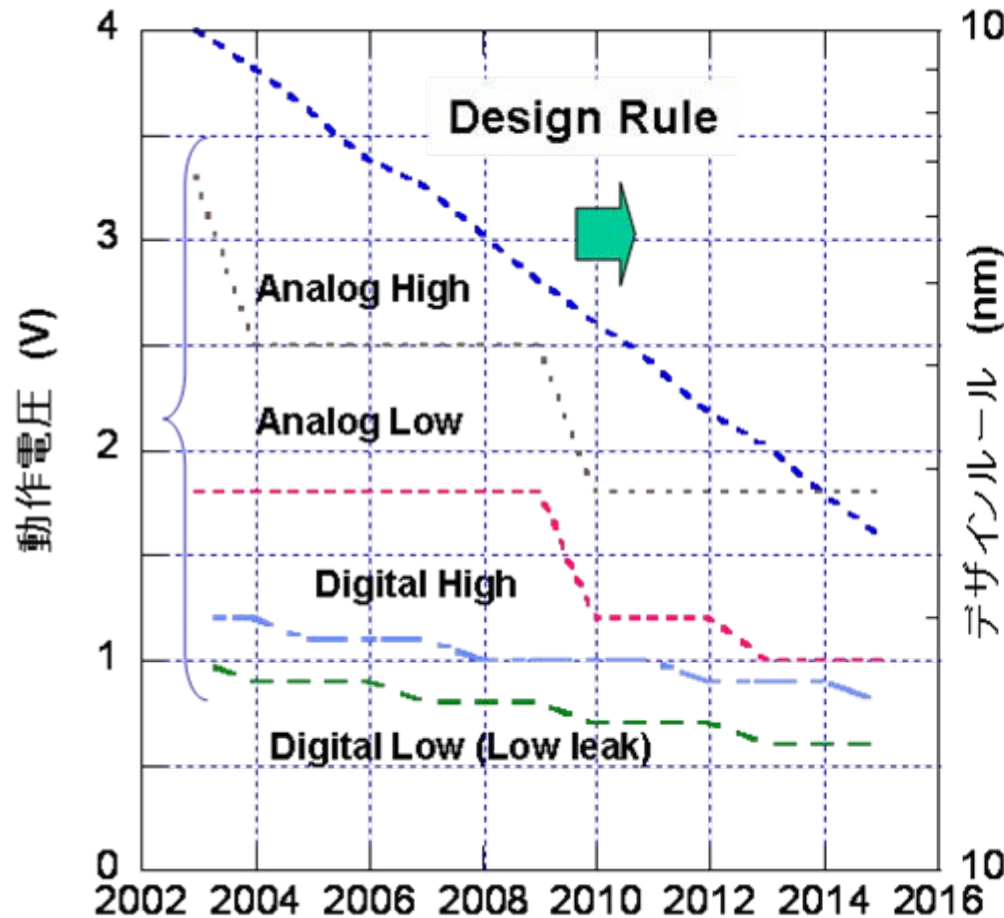


J. DeNatale, ISSCC 2004, pp. 310

今後のプロセス・デバイス課題

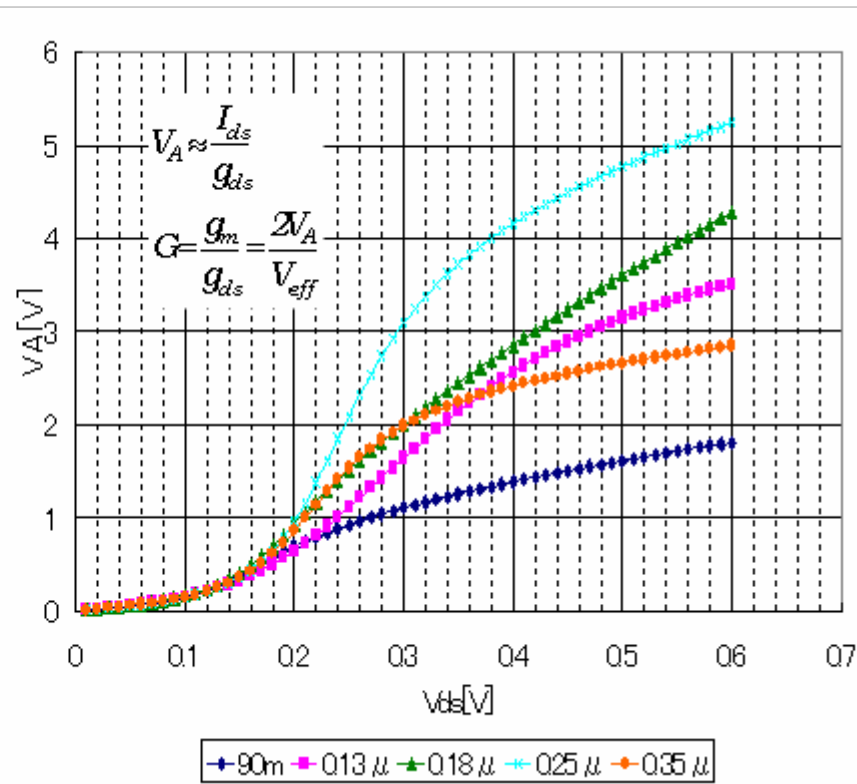
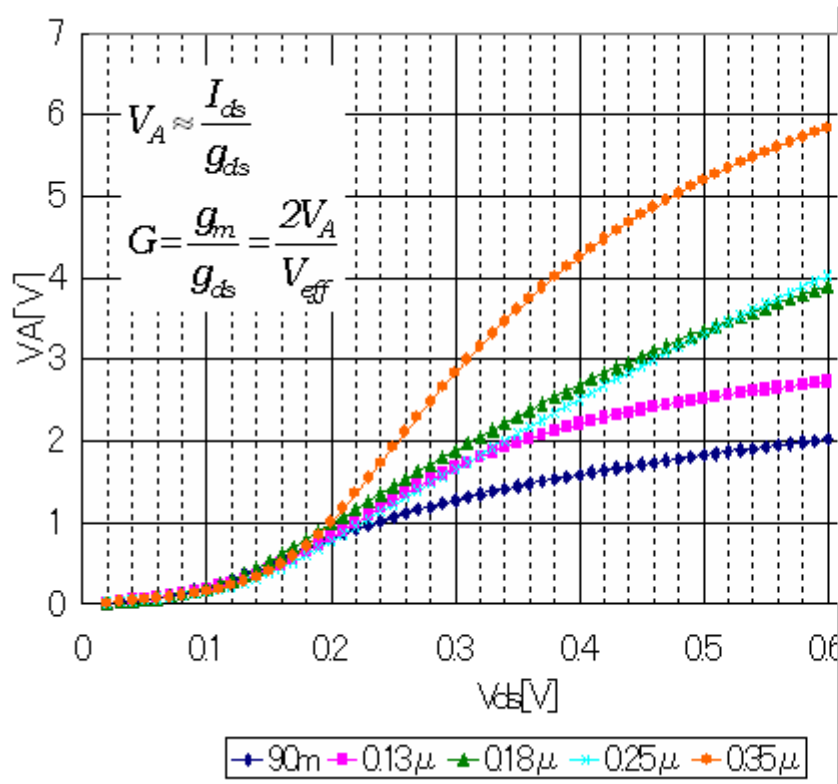
低電圧動作

今後は内部コアTrでも1V前後の動作電圧で推移。急激には低下しない。
かなりのアナログ回路は構成可能だが、非常に苦しくなる。



ドレイン抵抗の低下

微細化とともにドレイン抵抗は低下し、高利得増幅器の実現は困難になりつつある



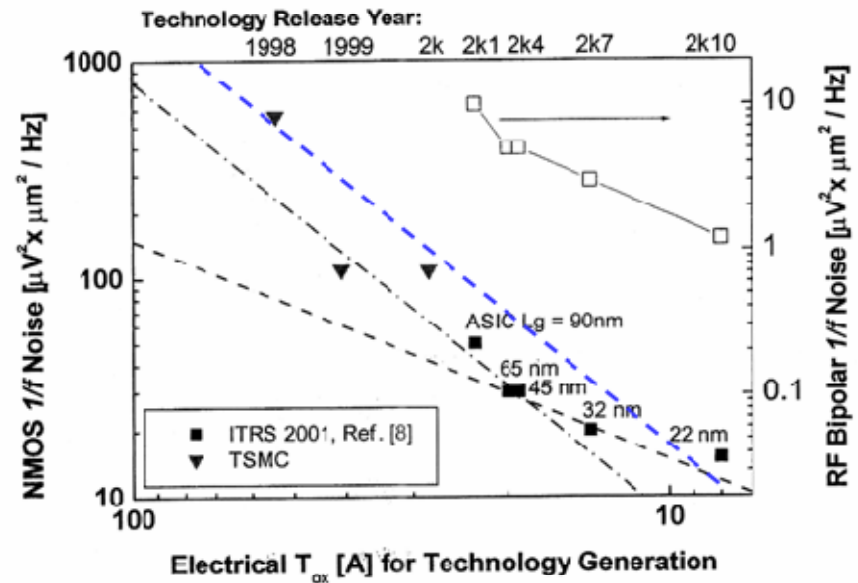
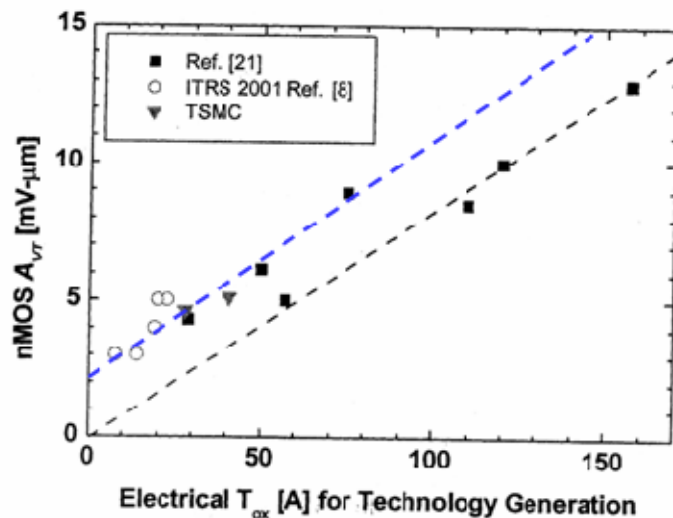
MOSの V_T ばらつきと1/fノイズ

MOSの V_T ばらつき係数は飽和する

1/fノイズ係数は穏やかに減少

$$\Delta V_{TH}(mV) \approx \frac{1}{\sqrt{2}} \left(\frac{T_{ox}(nm) + 2}{\sqrt{LW(\mu m)}} \right)$$

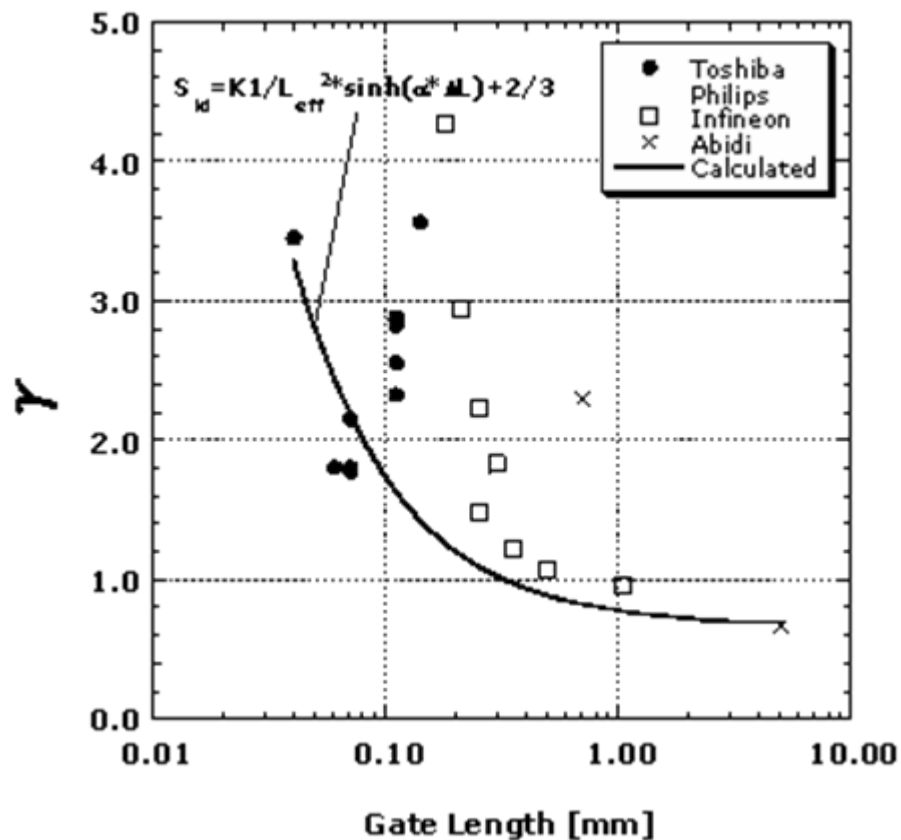
$$V_{flick}^2 (\mu V^2 / Hz) = \frac{16T_{ox}^2 (nm)}{LW(\mu m^2) \cdot f(Hz)}$$



C. H. Diaz, et al., "CMOS Technology for MS/RF SoC," IEEE Trans. Electron Devices, Vol. 50, No.3, March, 2003.

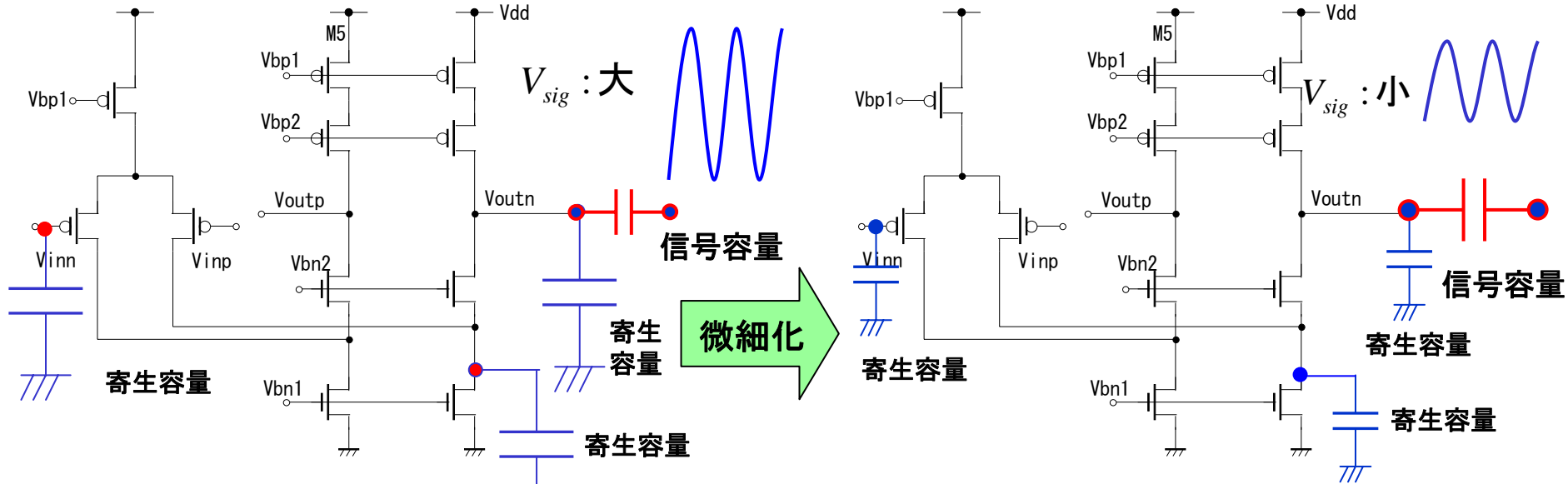
微細化とノイズ

微細化とともに熱雑音係数は増大



微細化とアナログ性能の関係

微細化により寄生容量は減るが、帰還容量は大きくなる。
微細化とADC性能の関係を明確にする



$$V_{sig} = V_{dd} - 4V_{ref}$$

$$SNR \propto \frac{C_L V_{sig}^2}{kT}$$

$$\omega_u \approx \frac{g_m}{C_L}$$

V_{sig} が小さくても
同じSNRを得るためには
信号容量を増やす。

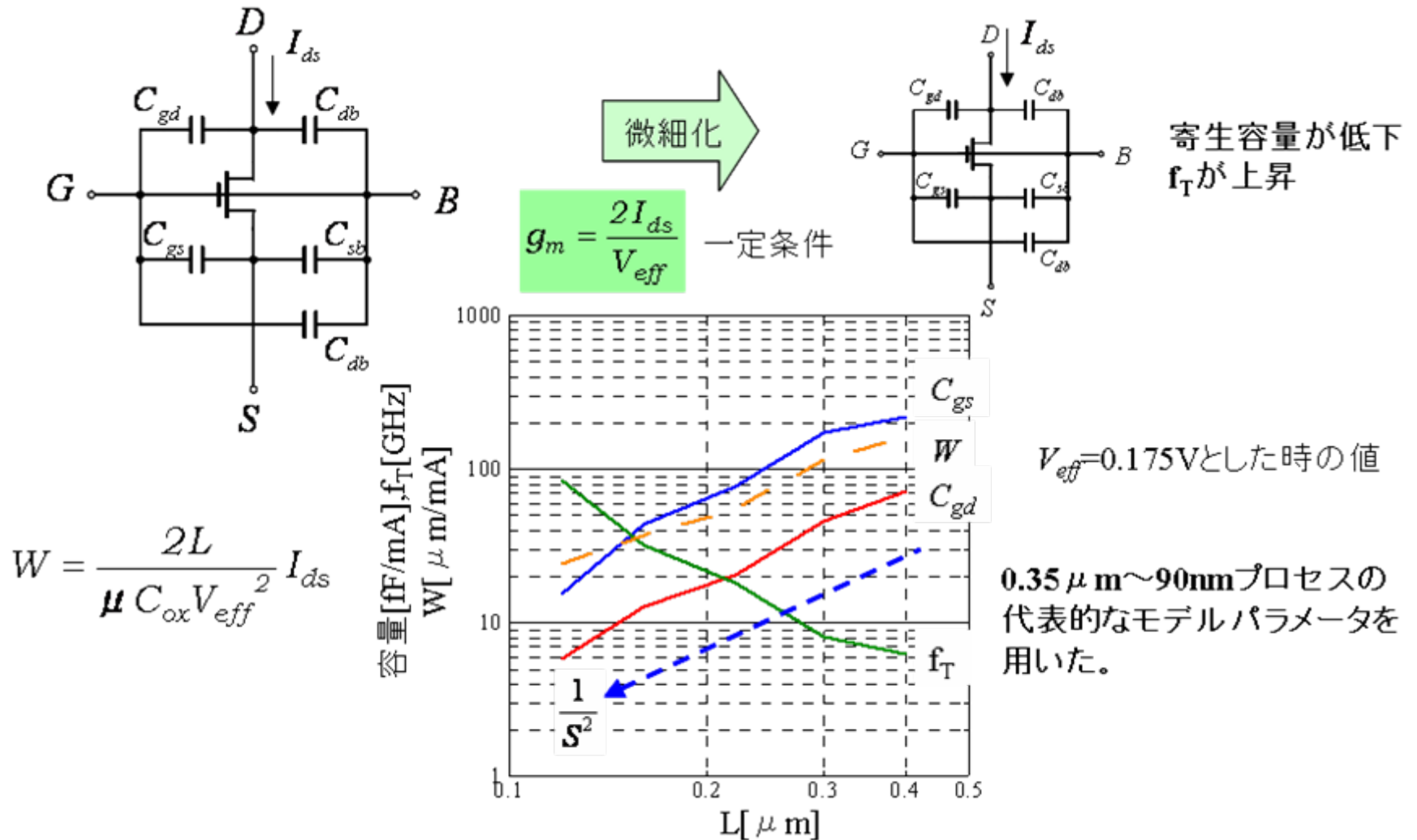
微細化により

- ・寄生容量・・・減
- ・信号振幅・・・減
- ・信号容量・・・大

これらのトレードオフの関係を明らかにし、
デザインルールを考慮した最適設計を実現する

アナログにおけるトランジスタの微細化

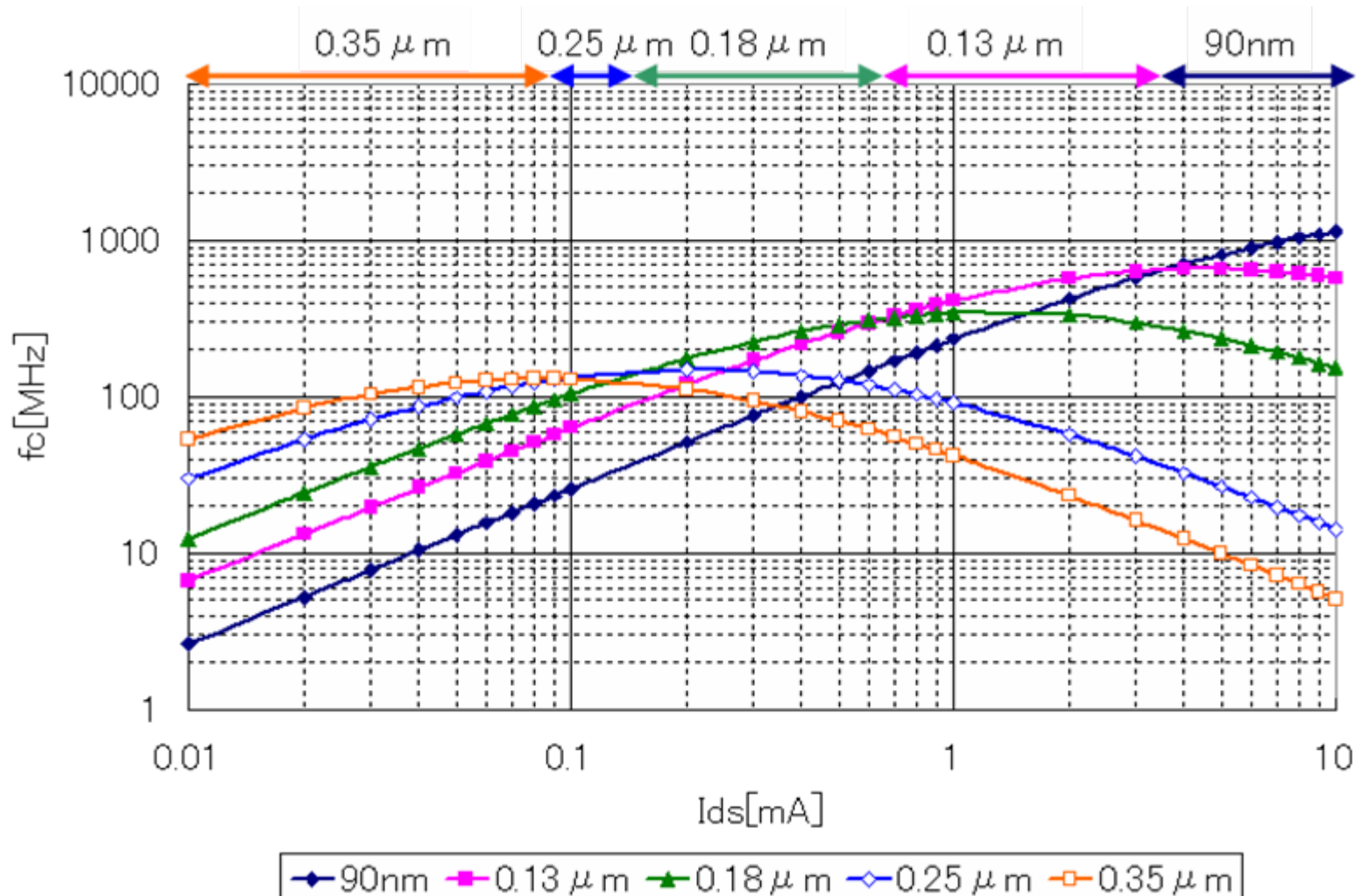
アナログにおいて微細化とは同一 g_m (=電流)において容量と面積が減少することである。



ADCの変換周波数の推定

信号振幅を最適化(10bit)

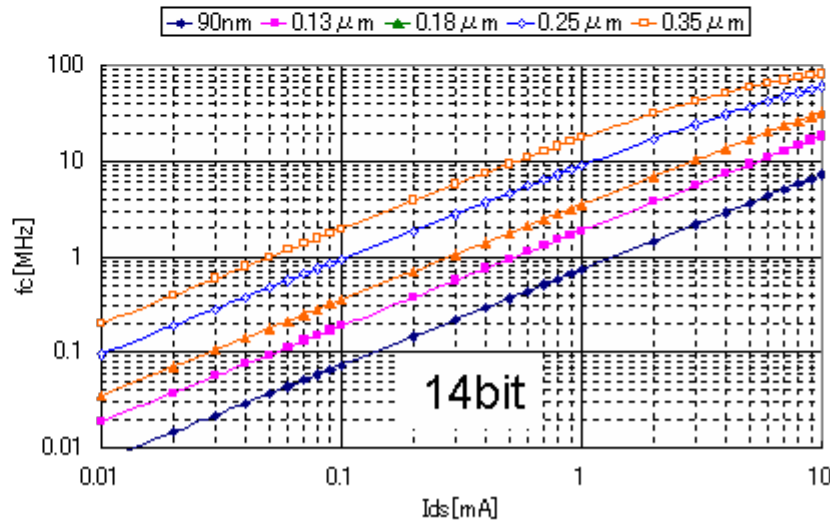
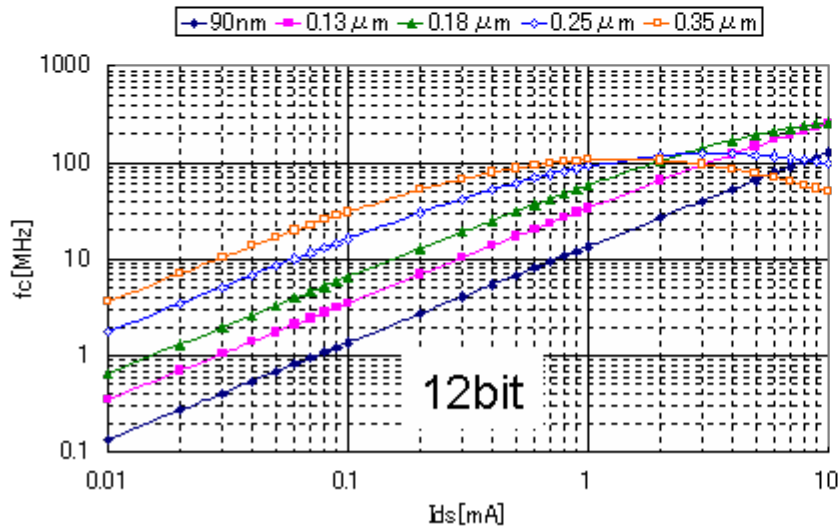
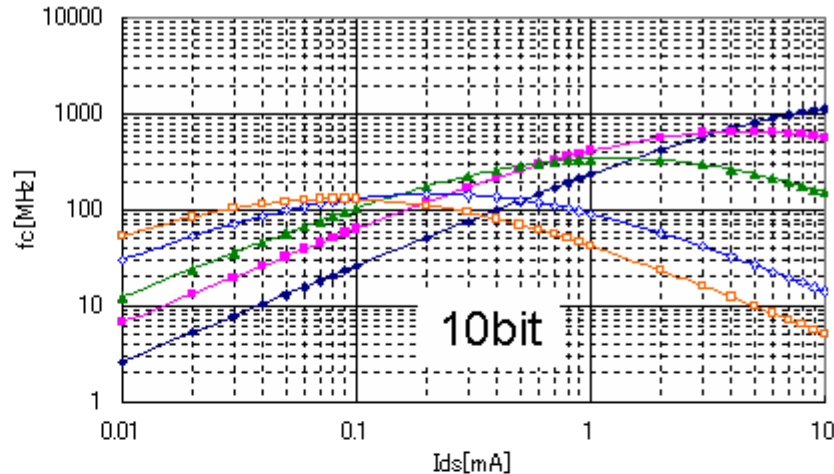
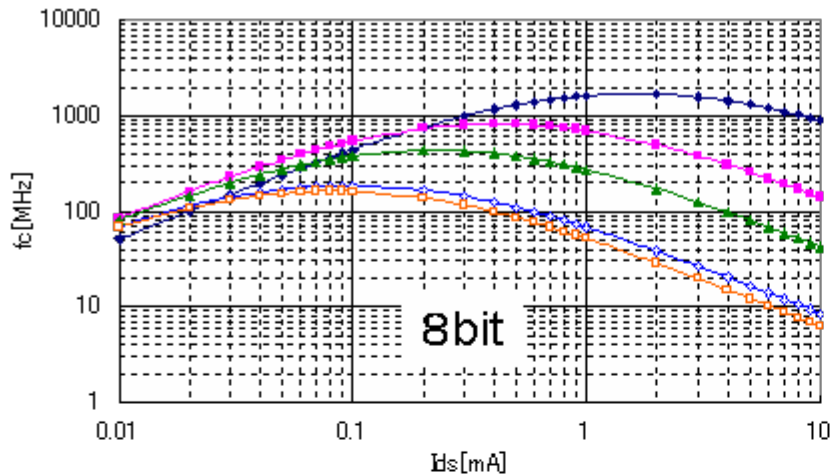
各デザインルールで有利な領域が存在する。



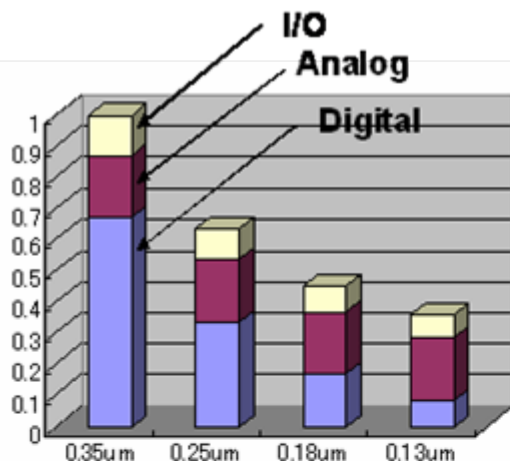
ADCの変換周波数の推定

信号振幅を最適化

低分解能では微細化、高分解能では緩いプロセスが有利。



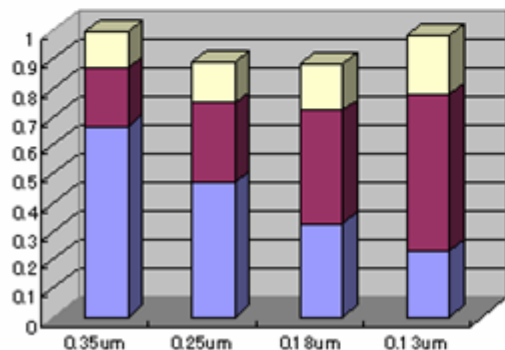
アナログ混載技術の課題



Chip area

Wafer cost increases 1.3x for one generation

(0.35um : 1)



Chip cost

微細化CMOSへのアナログ混載の大きな課題はアナログ部の面積縮小が困難なことによるコストアップである。

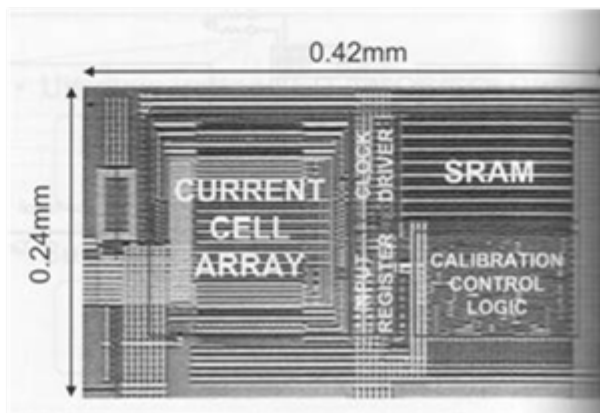
高精度が必要→面積が増大
低電圧化が困難→面積縮小が困難

今後の方向性

微細素子を用いて低電力化・高速化・小面積化を図り
精度劣化はデジタル補正技術などで補う方向

14b 100MS/s DAC

1.5V, 17mW, 0.1mm², 0.13um



Area: 1/50

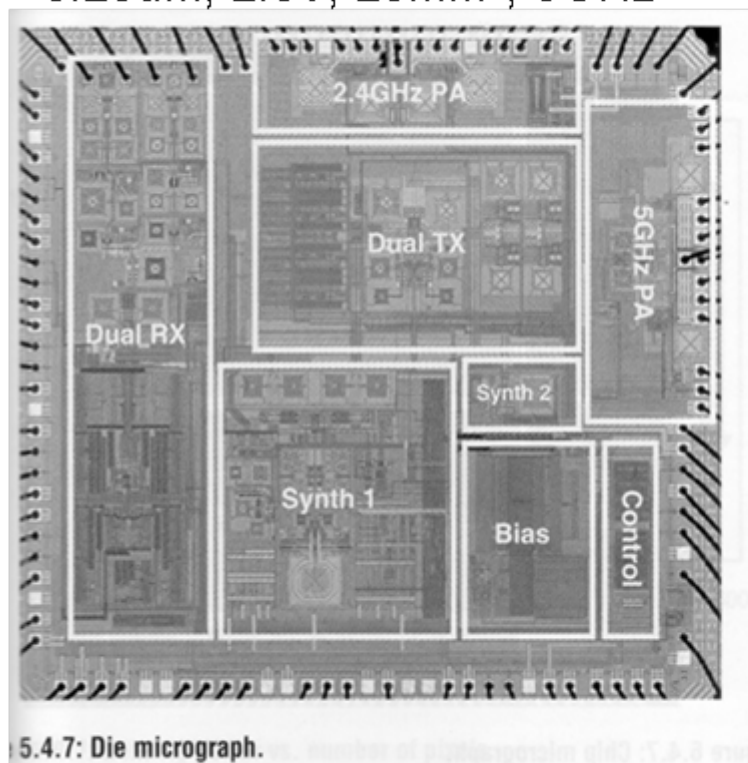
Pd: 1/20

Y. Cong and R. L. Geiger,
ISSCC 2003

最近のRF CMOS LSI

最近のRF-CMOS LSIはできるだけアナログの面積を縮小させる方向にある

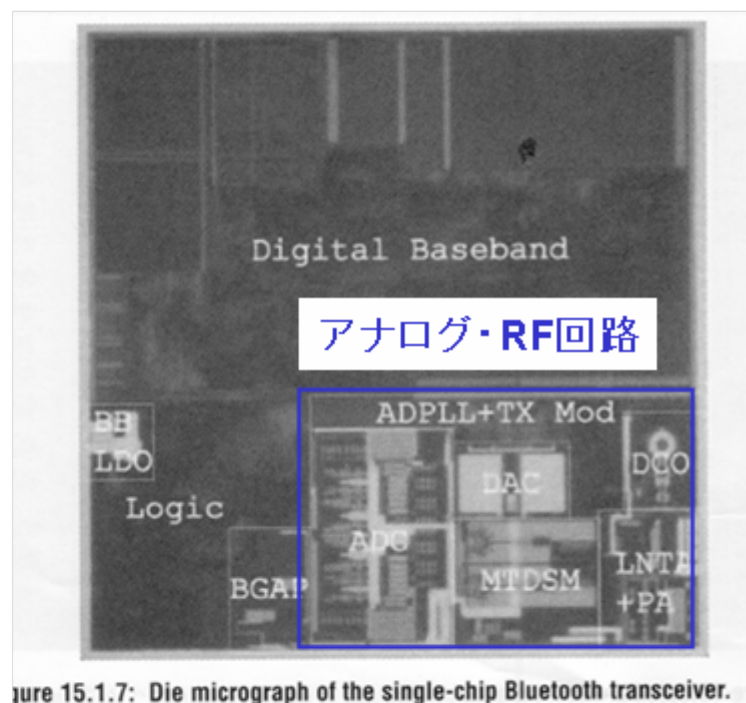
Wireless LAN, 802.11 a/b/g
0.25um, 2.5V, 23mm², 5GHz



SoC化



Discrete-time Bluetooth
0.13um, 1.5V, 2.4GHz



M. Zargari (Atheros), et al., ISSCC 2004, pp.96

K. Muhammad (TI), et al., ISSCC2004, pp.268

まとめ

- CMOSの優位がはっきりした10年であった
- アナログ・RFはデジタルに従属するものではなく、アナログ・RF特性を高めるプロセス・デバイスが開発された
- 一方、実装技術がCMOS技術を補完するものとして飛躍的に進歩し。3次元化に向かうようになった
- しかし、今後は1V程度の低電圧化という大きな課題がある
- 低電圧動作は材料やデバイス固有の問題ではなく、アナログにとって本質的な課題あるため、解決は困難を伴うであろう